



## (19) 대한민국특허청(KR)

## (12) 등록특허공보(B1)

(45) 공고일자 2014년04월25일

(11) 등록번호 10-1389293

(24) 등록일자 2014년04월21일

(51) 국제특허분류(Int. Cl.)

H01L 29/78 (2006.01) H01L 21/336 (2006.01)

(21) 출원번호 10-2009-7009009

(22) 출원일자(국제) 2007년08월30일

심사청구일자 2012년08월30일

(85) 번역문제출일자 2009년04월30일

(65) 공개번호 10-2009-0093938

(43) 공개일자 2009년09월02일

(86) 국제출원번호 PCT/US2007/077170

(87) 국제공개번호 WO 2008/054919

국제공개일자 2008년05월08일

(30) 우선권주장

11/554,851 2006년10월31일 미국(US)

(56) 선행기술조사문헌

JP2005109233 A\*

JP2006080280 A\*

US20050077574 A1\*

US06044011 A

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

프리스케일 세미컨덕터, 인크.

미합중국 텍사스 (우편번호 78735) 오스틴 월리암  
캐논 드라이브 웨스트 6501

(72) 발명자

베넷, 제임스 디.

프랑스 메밀랑 에프-38240, 체민 듀 끌로 뷔송 8  
원스티드, 브라이언 에이.미국 텍사스 78756, 오스틴, 조 세이어스 에비뉴  
5709

(74) 대리인

장훈

전체 청구항 수 : 총 4 항

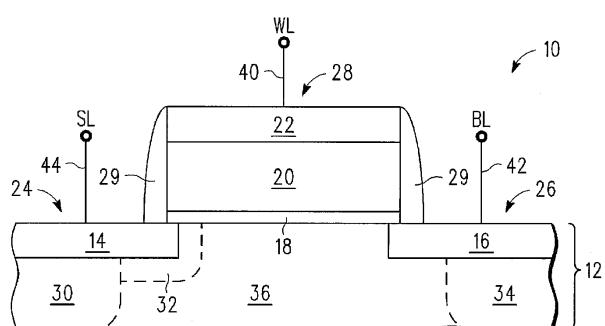
심사관 : 최정민

(54) 발명의 명칭 단일 트랜지스터 DRAM 셀 구조 및 형성 방법

## (57) 요약

단일 트랜지스터 다이내믹 랜덤 액세스 메모리(dynamic random access memory:DRAM) 셀은 제 1 소스/드레인 영역(26), 제 2 소스/드레인 영역(24), 제 1 및 제 2 소스/드레인 영역들 사이의 본체 영역(36), 및 본체 영역 위의 게이트(28)를 갖는 트랜지스터(10)를 포함한다. 제 1 소스/드레인 영역은 상기 본체 영역과의 쇼트키(Schottky) 다이오드 접합을 포함하고, 상기 제 2 소스/드레인 영역은 본체 영역과의 n-p 다이오드 접합을 포함한다.

대 표 도 - 도1



## 특허청구의 범위

### 청구항 1

단일 트랜지스터 다이내믹 랜덤 액세스 메모리(dynamic random access memory:DRAM) 셀에 있어서:

제 1 소스/드레인 영역, 제 2 소스/드레인 영역, 상기 제 1 및 제 2 소스/드레인 영역들 사이의 본체 영역, 및 상기 본체 영역 위의 게이트를 갖는 트랜지스터를 포함하고, 상기 제 1 소스/드레인 영역은 상기 본체 영역과의 쇼트키(Schottky) 다이오드 접합을 포함하고, 상기 제 2 소스/드레인 영역은 상기 본체 영역과의 n-p 다이오드 접합 및 상기 n-p 다이오드 접합과 직렬로 옴 접촉(ohmic contact)을 포함하고,

상기 제 1 소스/드레인 영역은 상기 게이트 아래에서 확장하는 제 1 실리사이드(silicide) 층을 포함하고,

상기 제 2 소스/드레인 영역은 상기 게이트 아래에서 확장하는 제 2 실리사이드 층 및 상기 게이트 아래에서 확장하는 소스/드레인 확장 영역을 포함하고,

상기 제 1 및 제 2 소스/드레인 영역들 각각은 깊은 소스/드레인 영역(deep source/drain region)을 포함하고, 상기 제 1 소스/드레인 영역은 소스/드레인 확장 영역이 없고,

상기 트랜지스터가 N 채널 트랜지스터로서 특징지어질 때, 다수 캐리어들(majority carriers)은 상기 제 2 소스/드레인 영역에서의 전위보다 낮은 상기 제 1 소스/드레인 영역에서의 전위에 응답하여 상기 DRAM 셀의 기록 동작 동안 상기 쇼트키 다이오드 접합을 통해 상기 본체 영역으로부터 제거되고,

상기 트랜지스터가 P 채널 트랜지스터로서 특징지어질 때, 다수 캐리어들은 상기 제 2 소스/드레인 영역에서의 전위보다 높은 상기 제 1 소스/드레인 영역에서의 전위에 응답하여 상기 DRAM 셀의 기록 동작 동안 상기 쇼트키 다이오드 접합을 통해 상기 본체 영역으로부터 제거되는, 단일 트랜지스터 다이내믹 랜덤 액세스 메모리 셀.

### 청구항 2

단일 트랜지스터 다이내믹 랜덤 액세스 메모리(DRAM) 셀에 있어서:

제 1 소스/드레인 영역, 제 2 소스/드레인 영역, 상기 제 1 및 제 2 소스/드레인 영역들 사이의 본체 영역, 및 상기 본체 영역 위의 게이트를 갖는 트랜지스터를 포함하고, 상기 제 1 소스/드레인 영역은 상기 본체 영역과의 쇼트키 다이오드 접합을 포함하고, 상기 제 2 소스/드레인 영역은 상기 본체 영역과의 n-p 다이오드 접합을 포함하고,

상기 제 1 소스/드레인 영역은 상기 게이트 아래에서 확장하는 제 1 실리사이드 층을 포함하고,

상기 제 2 소스/드레인 영역은 상기 게이트 아래에서 확장하는 제 2 실리사이드 층 및 상기 게이트 아래에서 확장하는 소스/드레인 확장 영역을 포함하고,

상기 제 1 및 제 2 소스/드레인 영역들 각각은 깊은 소스/드레인 영역을 포함하고, 상기 제 1 소스/드레인 영역은 소스/드레인 확장 영역이 없는, 단일 트랜지스터 다이내믹 랜덤 액세스 메모리 셀.

### 청구항 3

단일 트랜지스터 다이내믹 랜덤 액세스 메모리(DRAM) 셀을 형성하기 위한 방법에 있어서:

제 1 소스/드레인 영역, 제 2 소스/드레인 영역, 상기 제 1 및 제 2 소스/드레인 영역들 사이의 본체 영역, 및 상기 본체 영역 위의 게이트를 갖는 트랜지스터를 형성하는 단계로서, 상기 제 1 소스/드레인 영역은 상기 본체 영역과의 쇼트키 다이오드 접합을 포함하고, 상기 제 2 소스/드레인 영역은 상기 본체 영역과의 n-p 다이오드 접합 및 상기 n-p 다이오드 접합과 직렬로 옴 접촉을 포함하는, 상기 트랜지스터 형성 단계를 포함하고,

상기 제 1 소스/드레인 영역은 상기 게이트 아래에서 확장하는 제 1 실리사이드 층을 포함하고,

상기 제 2 소스/드레인 영역은 상기 게이트 아래에서 확장하는 제 2 실리사이드 층 및 상기 게이트 아래에서 확장하는 소스/드레인 확장 영역을 포함하고,

상기 제 1 및 제 2 소스/드레인 영역들 각각은 깊은 소스/드레인 영역을 포함하고, 상기 제 1 소스/드레인 영역은 소스/드레인 확장 영역이 없는,

상기 트랜지스터가 N 채널 트랜지스터로서 특징지어질 때, 다수 캐리어들은 상기 제 2 소스/드레인 영역에서의

전위보다 낮은 상기 제 1 소스/드레인 영역에서의 전위에 응답하여 상기 DRAM 셀의 기록 동작 동안 상기 쇼트카 다이오드 접합을 통해 상기 본체 영역으로부터 제거되고,

상기 트랜지스터가 P 채널 트랜지스터로서 특징지어질 때, 다수 캐리어들은 상기 제 2 소스/드레인 영역에서의 전위보다 높은 상기 제 1 소스/드레인 영역에서의 전위에 응답하여 상기 DRAM 셀의 기록 동작 동안 상기 쇼트카 다이오드 접합을 통해 상기 본체 영역으로부터 제거되는, 단일 트랜지스터 다이내믹 랜덤 액세스 메모리 셀의 형성 방법.

#### 청구항 4

제 1 항 또는 제 2 항에 있어서,

상기 소스/드레인 확장 영역은 상기 제 2 실리사이드 층과 상기 소스/드레인 확장 영역 사이의 옴 접촉을 제공하는 도편트 농도(dopant concentration)를 갖는, 단일 트랜지스터 다이내믹 랜덤 액세스 메모리 셀.

#### 청구항 5

삭제

#### 청구항 6

삭제

#### 청구항 7

삭제

#### 청구항 8

삭제

#### 청구항 9

삭제

#### 청구항 10

삭제

#### 청구항 11

삭제

#### 청구항 12

삭제

#### 청구항 13

삭제

#### 청구항 14

삭제

#### 청구항 15

삭제

#### 청구항 16

삭제

**청구항 17**

삭제

**청구항 18**

삭제

**청구항 19**

삭제

**청구항 20**

삭제

## 명세서

### 기술 분야

[0001]

본 발명은 일반적으로 반도체 디바이스들에 관한 것으로, 특히 단일 트랜지스터를 갖는 DRAM 셀에 관한 것이다.

### 배경 기술

[0002]

DRAM들(dynamic random access memories)은 일반적으로, 고속의 고밀도이므로 기본적으로 크게 성공하였다. 더 높은 밀도의 추구에서, 단일 트랜지스터 DRAM들에 대한 기술이 개발되었다. 개별 셀은 격리된 트랜지스터 본체들을 갖는 벌크 기판 또는 절연체 상의 반도체(semiconductor on insulator)(SOI) 기판에 제공되고, 역사적으로 DRAM들 내에 사용된 캐패시터에 대한 필요성을 제거한 단일의 트랜지스터만을 필요로 한다. 이러한 유형들의 DRAM 셀들은 또한, 캐패시터를 필요로 하지 않으므로 캐패시터 없는 DRAM 셀들로서 공지되어 있다. 이러한 단일 트랜지스터 DRAM 셀에서, 트랜지스터의 본체는 플로팅(floating)으로 되고, 트랜지스터들의 본체들이 서로 격리되므로, 전하가 본체에 축적된다. 이것은 트랜지스터의 임계치를 변경시키고, 이러한 차이가 검출될 수 있다.

### 발명의 상세한 설명

[0003]

기록(writing)하기 위한 기술은, 통상적인 경우인 N 채널 트랜지스터들에 대해, 전기적으로 플로팅하는 트랜지스터 본체에 트랩(trap)되는 홀들(holes)을 생성하는 것이다. 이것은 트랜지스터가 홀들을 제거하기보다는 더 많은 홀/전자 쌍을 생성하기 위해 동작하도록 게이트, 소스, 및 드레인 전압들을 선택함으로써 달성된다. 삭제(erasing)를 위해, 홀들은 홀 제거가 홀/전자 쌍 생성보다 빠르게 일어나도록 게이트, 소스, 및 드레인 전압들을 조정함으로써 또한 제거된다. 어려움들 중 하나는 충분한 속도로 기록과 삭제 둘 모두를 달성하는 것이다. 홀 제거가 삭제 모드에서 홀/전자 쌍 생성보다 충분히 빠르지 않으면, 삭제는 너무 느리다. 유사하게, 기록 모드에서, 홀/전자 생성은 홀 제거보다 충분히 빠르지 않으면, 기록은 너무 느리다. 판독들 및 기록들 둘 모두에 대해 충분한 속도를 갖는 것이 문제가 되어 왔다. 그러므로, 판독 동작들 및 기록 동작들 둘 모두에 대해 충분한 속도를 달성하기 위한 기술을 찾을 필요성이 존재한다.

[0004]

본 발명은 예로서 도시되며, 유사한 도면번호들이 유사한 요소들을 나타내는 첨부된 도면들에 의해 제한되지 않는다.

### 실시예

[0010]

도면들 내 요소들이 간단성 및 명료성을 위해 도시되어 있으며, 반드시 스케일에 따라 도시된 것이 아님을 당업자들은 이해한다. 예를 들어, 도면들 내 요소들 일부의 크기들은 본 발명의 실시예들에 대한 이해를 돋기 위해 다른 요소들에 비해 확대될 수 있다.

[0011]

주제인 단일 트랜지스터 DRAM 셀 구조 및 형성 방법의 철저한 이해를 위해, 위에서 설명된 도면들과 연계하여, 첨부된 청구범위를 포함하는 아래의 상세한 설명이 참조된다.

[0012]

아래에서 주로 나타나게 되는 방식에서, 본 발명은 한 가지 형태로, 단일 트랜지스터 캐패시터 없는(single-transistor capacitorless)(1T/0C) 메모리 셀을 프로그래밍하는 구조 및 방법에 포함된다. 특히, 플로팅(즉, 격리된) 본체 영역을 포함하는 메모리 셀은 본체 영역 및 각각의 드레인과 소스 영역들을 포함하는 MOS 트랜지

스터의 임계 전압( $V_T$ )을 변조함으로써 프로그래밍된다.  $V_T$  변조는 밴드-투-밴드 터널링(band-to-band tunneling: BTBT)의 결과로서, 본체 영역 내의 주요 캐리어들의 축적을 통해 실행된다. 이 방식에서 메모리 셀을 프로그래밍하는 것은, 그 중에서도 BTBT에 의한 주요 캐리어들의 생성이 상당히 낮은 드레인 전류를 요구한다는 점에서 다른 공지된 기술들에 대해 바람직하다.

[0013] 플로팅 본체 영역으로부터 홀들을 제거할 때 한 가지 문제가 발생한다. 종래의 n-p 접합은 본체 영역으로부터 홀들을 어떻게 효과적으로 제거할 수 있는지에 제한된다. 이것은 n-p 접합의 비교적 약한 순방향 바이어스 전류 때문이다. 결국, (1T/0C) 메모리 셀에 대한 기록 "0" 동작 후에, 본체 전위는 "0"과 "1" 상태들 사이의 확고한 판독 마진(read margin)을 제공하기 위해 충분히 낮지 않다. 결국, 큰 메모리 어레이에서 모든 비트들에서 후속 "0"의 판독 및 "1"의 판독을 정확히 구별하는 문제가 존재할 수 있다. 이 문제는 특별히, 메모리 셀들의 큰 어레이의 외부 또는 꼬리 비트들(outlying or tail bits)에 대해 표명될 수 있다.

[0014] 상당히 낮은 역 바이어스 전류를 제공하면서, 몇몇 쇼트키 접합들(Schottky junctions)은 n-p 접합보다 상당히 큰 순방향 바이어스 전류를 가질 수 있다. 이 상당히 큰 순방향 바이어스 전류는 홀들로 하여금 본체 영역으로부터 더 효과적으로 제거되게 한다. 결국, (1T/0C) 메모리 셀에 대한 기록 "0" 동작 후에, 본체 전위는 "0"과 "1" 상태들 사이에서 견고한 판독 마진을 제공하기 위해 충분히 낮다. 결국, 큰 메모리 어레이에서 모든 비트들에서 후속 "0"의 판독 및 "1"의 판독을 정확하게 구별하는 문제가 거의 존재하지 않는다. 이것은 특별히, 메모리 셀들의 큰 어레이의 외부 또는 꼬리 비트들에 대해 유용하다.

[0015] 쇼트키 접합들은 서로 다른 장벽 높이들을 가질 수 있다. 일 실시예에서, 쇼트키 접합의 장벽 높이는 기록 "0" 동작 동안 강한 순방향 전류를 제공하기 위해 충분히 낮지만, (1T/0C) 메모리 셀에 저장된 데이터 값에 방해하기에 충분한 역 누설(reverse leakage)이 존재하도록 낮지는 않다.

[0016] 하지만, 소스측 상의 쇼트키 접합을 사용하면, 판독 동작 동안 중요한 문제점들을 야기할 수 있다. "1"의 판독 동작 동안, 본체 대 소스 접합은 순방향 바이어스된다. 소스가 쇼트키 접합을 사용하면, 본체는 쇼트키 접합의 상당히 큰 순방향 바이어스 전류로 인해 보다 빨리 그것의 전하를 손실한다. 하지만, 이때, 본체 영역에서의 홀들의 빠른 손실이 문제이다. 본체 영역에서 홀들의 빠른 제거는 데이터를 손실하게 하는 "1"의 판독을 야기할 수 있다. 결국, 판독 동작 동안 쇼트키 접합보다는 n-p 접합을 사용하는 것이 이롭다.

[0017] 결국, 쇼트키 접합의 순방향 바이어스는 기록 "0" 동작 동안 홀들의 효과적인 제거를 제공하기 위해 사용될 수 있고, n-p 접합은 판독 "1" 동작 동안 쇼트키 접합으로 하여금 데이터의 손실을 야기하는 것을 방지하기 위해 판독 동작 동안 소스에 사용될 수 있다.

[0018] 도 1은 일 실시예에 따라 제조시의 단계 동안 디바이스(10)의 단면도를 도시한다. 도 1에서 이해할 수 있는 바와 같이, 메모리 셀은 기판(12) 상에 형성된 MOS 트랜지스터를 포함한다. 기판(12)은 플로팅 본체 영역을 갖는 벌크 기판 또는 SOI 기판일 수 있다. 공지된 공정 기술들은 기판(12) 상에 MOS(예컨대, NMOS) 트랜지스터를 형성하도록 사용될 수 있다. 얻어진 디바이스(10)는 (예컨대, p 유형 도전성의) 본체 영역(36)을 포함한다. 드레인 영역(26)(예컨대, n 유형)은 본체 영역(36)의 한 끝에 형성되고, 소스 영역(24)(예컨대, n 유형)은 본체 영역(36)의 반대쪽에 형성된다. 대안적 일 실시예에서, 극성이 적절히 변화로, NMOS 트랜지스터 대신에 PMOS 트랜지스터가 형성될 수 있다. 설명된 실시예에서, 실리사이드 층(silicide layer)(14)은 소스 영역(30) 위에 놓이고, 실리사이드 층(16)은 드레인 영역(34) 위에 놓일 수 있다. 몇몇 실시예들에서, 실리사이드 영역(22)은 게이트(20) 위에 놓인다. 대안적 실시예들은 실리사이드 층(22)을 사용하지 않을 수 있다.

[0019] 몇몇 실시예들에 대해, 드레인 영역(26)이 깊은 드레인 영역(34)을 포함하고, 소스 영역(24)은 깊은 소스 영역(30) 및 소스 확장 영역(32)을 포함함을 유의한다. 게이트 실리사이드(22), 게이트 물질(20), 및 게이트 유전체(18)를 포함하는 게이트 구조 또는 게이트 스택(gate stack)(28)은 본체 영역(36) 위에 놓여 피착된다. 바람직한 실시예에서, MOS 트랜지스터(10)는 드레인 영역(26) 및 소스 영역(24)이 게이트 스택(28)과 자동정렬되도록(self-aligned) 제조된다. 마지막으로, 게이트 스택(28)에 접속된 워드 라인(word line:WL)(40), 드레인(26)에 접속된 비트 라인(bit line:BL)(42), 및 소스(24)에 접속된 소스 라인(source line:SL)(44)을 포함하는 상호접속 시스템이 제공된다.

[0020] 설명된 실시예에서, 실리사이드(14)가 소스 영역(24)의 일부로서 형성되고, 실리사이드(16)가 드레인 영역(26)의 일부로서 형성된다는 점에 유의하자. 소스 확장 영역(32)(n 유형)은 소스(24)의 일부로서 형성된다. 소스 확장 영역(32)의 도편트(dopant) 농도는 소스측 실리사이드(14)와 소스 확장 영역(32) 사이에 옴 접촉(ohmic contact)을 제공하기 위해 충분히 높아야 한다. 일 실시예에서, 소스 영역들(30, 32)과 드레인 영역(34)에서의

도편트 농도는  $3 \times 10^{19}$  내지  $3 \times 10^{20}$  atoms/cm<sup>3</sup>의 범위에 일 수 있고, 본체 영역(36) 내의 도편트 농도들은 대략  $5 \times 10^{16}$  내지  $5 \times 10^{17}$  atoms/cm<sup>3</sup>의 범위에 있을 수 있다. 대안적 실시예들은 서로 다른 도편트 농도들을 사용할 수 있다.

[0021] 도 1의 디바이스(10)를 형성하기 위해 다양한 방법들이 사용될 수 있다. 예를 들어, 각진 임플란트(angled implant)가 소스 확장 영역(32)을 형성하기 위해 사용될 수 있다. 도 1을 참조하면, 각진 임플란트는 대략 45도의 수직으로부터 한 각도로 소스측(왼쪽)으로부터 디바이스(10)에 대각으로 접근할 수 있다. 대안적 실시예들은 수직에 대해 0도에서부터 수직으로 대략 60도에 걸치는 임플란트 각도를 사용할 수 있다. 도 1의 디바이스(10)를 형성하는 데 사용되는 다른 방법들은 수직 임플란트를 사용할 수 있다.

[0022] 일 실시예에서, 마스크(도시되지 않음)는 소스 확장 영역(32)이 소스측 상에만 형성되도록 드레인측(26)을 벗기는 데 사용될 수 있다. 이 경우에, 수직 임플란트는 소스측 상에 소스 확장 영역(32)을 형성하는 데 사용될 수 있다. 대안적 실시예들은 소스와 드레인 측들 상에 원하는 도편트 프로파일들(dopant profiles)을 생성하기 위해 마스킹(masking)과 임플란트 각도의 조합을 사용할 수 있다. 드레인측을 벗겨내기 위해 사용되는 마스크가 수정된 확장 임플란트 마스크일 수 있고, 확장 임플란트 마스크가 p 채널 디바이스들을 벗겨내고, 수정된 확장 임플란트 마스크가 p 채널 디바이스들 및 n 채널 디바이스들의 드레인 영역들을 벗겨낸다는 것에 유의하자. 그러므로, 수정된 확장 임플란트 마스크는 제조 과정 동안 만드는 데 매우 쉽고 저렴할 수 있다.

[0023] 도 1의 디바이스(10)를 형성하는 데 사용되는 몇몇 방법들은 희생될 수 있고(즉, 최종 디바이스를 위해 제거됨) 도 1에 도시된 스페이서들(29)보다 클 수 있는 스페이서들(spacers)(도시되지 않음)을 사용할 수 있다. 다른 방법들에서, 참조번호(14, 16, 및 22)를 포함하는 실리사이드 층은 소스 확장 영역(32)의 임플란트 전 또는 후에 피착될 수 있다.

[0024] 일 실시예에서, 실리사이드 층은 ErSi<sub>x</sub>(erbium silicide), YbSi<sub>x</sub>(ytterbium silicide), 및/또는 PtSi(platinum silicide) 중 하나 이상을 포함할 수 있다. 일반적으로, NMOS 디바이스에 대해, ErSi<sub>x</sub> 및/또는 YbSi<sub>x</sub> 물질들 중 하나 이상이 사용될 수 있다. 일반적으로, PMOS 디바이스에 대해, PtSi가 사용될 수 있다. 또 다른 실시예에서, 실리사이드 층은 인터페이스 패시베이션(interface passivation)에 의해 장벽 높이를 조정하기 위해 실리사이드/실리콘 접합에 개재된 매우 얇은(대략 모노층(monolayer))을 포함할 수 있다. 일 실시예에서, 선택된 실리사이드 물질들은 쇼트키 접합의 원하는 동작을 위해 충분히 낮은 장벽을 제공한다. 몇몇 실시예들에 대해, 낮은 장벽 물질들은 NMOS 디바이스들에 대한 도전 대역 에지(conduction band edge)의 약 400mV 및 PMOS 디바이스들에 대한 밸런스 대역 에지(valence band edge)의 약 400mV 내에서 장벽 높이들을 갖는 물질들로 정의될 수 있다. 몇몇 실시예들에 대해, 낮은 장벽 물질들은 NMOS 디바이스들에 대한 도전 대역 에지의 약 300mV 및 PMOS 디바이스들에 대한 밸런스 대역 에지의 약 300mV 내에서 장벽 높이들을 갖는 물질들로 정의될 수 있다. 대안적 실시예들은 쇼트키 접합들을 형성하기 위해 상이한 물질들 및/또는 상이한 장벽들을 갖는 물질들을 사용할 수 있다.

[0025] 도 1의 디바이스(10)를 형성하는 데 사용되는 방법 중 하나의 예가 이하 설명된다. 임플란트는 소스 확장 영역(32)을 형성하는 데 사용될 수 있다. 임플란트는 드레인 측(26) 상의 임플란트를 차단하기 위해 마스킹 층(도시되지 않음)을 사용하는 수직 임플란트일 수 있고, 또는 임플란트는 드레인 측(26) 상의 임플란트를 차단하기 위해 게이트 스택(gate stack)(28)을 사용하는 각진 임플란트일 수 있다. 스페이서들(29)보다 넓은 희생 스페이서들이(도시 안됨) 깊은 소스 영역(30) 및 깊은 드레인 영역(34)을 형성하기 위해 후속 임플란트 동안 사용될 수 있다는 것에 유의하자. 이어서, 이들 희생 스페이서들(도시되지 않음)은 실리사이드 층(14, 16, 및 22) 피착 전에 제거될 수 있다.

[0026] 도 1의 디바이스(10)를 형성하는 데 사용되는 방법의 대안적 예가 이하 설명된다. 실리사이드 층(14, 16, 및 22)이 피착될 수 있다. 임플란트는 소스 확장 영역(32)을 형성하는 데 사용될 수 있다. 임플란트는 드레인 측(26) 상의 임플란트를 차단하기 위해 마스킹 층(도시되지 않음)을 사용하는 수직 임플란트일 수 있거나, 또는 임플란트는 드레인 측(26) 상의 임플란트를 차단하기 위해 게이트 스택(28)을 사용하는 각진 임플란트일 수 있다. 측벽 스페이서들(29)보다 넓은 희생 스페이서들(도시되지 않음)이 깊은 소스 영역(30)과 깊은 드레인 영역(34)을 형성하기 위해 후속 임플란트 동안 사용될 수 있다는 것에 유의하자. 이어서, 이들 희생 스페이서들은 제거될 수 있다.

[0027] 도 1에 도시된 트랜지스터(10)가 소스 영역(24)에서의 p-n 접합 및 드레인 영역(26)에서의 쇼트키 접합을 갖는다는 것에 유의하자. 소스 영역(24)에서의 n-p 접합은 n 유형 영역들(30, 32)과 p 유형 본체(36) 사이에 있다.

트레인 영역(26)에서의 쇼트키 접합은 실리사이드 층(16)과 p 유형 본체 영역(36) 사이에 있다.

[0028] 도 2는 다수의 메모리 셀들(10)을 포함하는 메모리 어레이가 제조되는 반도체 디바이스를 위한 동작 마스크 레이아웃(operative mask layout)을 도시한다. 도 2에 도시된 바와 같이, 복수의 워드라인들(WLs)(116)은 수평 방향으로 확장하고, 실질적으로, 디바이스의 표면에 평행하다. 각각의 WL(116)은 또한, 메모리 어레이의 주어진 행(row)에서 각각의 메모리 셀의 폴리실리콘 게이트 도전체(20)를 구성한다. BL(117)과 SL(118)은 수직방향으로 WLs(116) 위에 확장한다. SL(118)은 필요한 수의 도전 비아들(vias)(121) 중 각각의 하나를 통해 어레이에서 각각의 메모리 셀(10)의 소스 영역(24)에 전기 접속된다. 유사하게, BL(117)은 필요한 수의 도전 비아들(122)을 통해 어레이에서 각각의 메모리 셀(10)의 드레인 영역(26)에 전기 접속된다. 메모리 셀들(10)의 활성 부분들은 도 2에 도시된 활성 부분(123)에 형성된다.

[0029] 반도체 메모리 설계 및 제조 분야에서 경험있는 당업자들은, 바로 위에서 설명된 RAM 셀 구조가 통상적으로 제공되는 것 이상의 부가적인 도전 요소를 필요로 한다는 것을 이해한다. 즉, 종래의 메모리 어레이 아키텍처는 예컨대, 단일 소스 라인을 포함함으로써 만족된다. 하지만, 부가적인 도전 트레이스(additional conductive trace)에 대한 필요성은 여기에서 중요한 손해로서 고려되지 않는다. 이것은, 메모리 셀(10)에 의해 생성된 비교적 낮은 전류가 그 밖의 나타내지는 것 보다 다소 큰 디바이스 폭을 필요로 하기 때문이다. 즉, 논리 "1"에서의 메모리 셀과 논리 "0"에서의 메모리 셀 사이의 전류차가 작아지는 경향이 있으므로, 메모리 셀들은 다운스트림 감지 증폭기를 편안하게 구동시키는 방식으로 전류차를 강화하기 위해, 최소 폭 보다 큰 폭을 갖도록 설계된다. 예를 들어, 디바이스 폭을 배가시킴으로써, 5 마이크로앰프들(microamps)에서 10 마이크로앰프들까지 온/오프 전류차를 증가시켜, 감지 증폭기들과 연관된 설계 성능 요구사항들을 완화시킬 수 있다. 결국, 수직 방향에서의 부가적인 도전체는 비교적 큰 디바이스 폭에 의해 용이하게 수용된다.

[0030] 또한, 부가적인 도전체는 선택되지 않은 WL들 상에서 일어날 수 있는 누설 전류를 최소화하는 데 사용될 수 있다는 점에서 이롭다. 특히, SL(118) 없이, 모든 셀들의 소스들은 단일의 기준 전압에 차례로 접속되는 금속 스트랩 도전체(metallic strap conductor)에 의해 공통으로 접속된다. 선택되지 않은 메모리 셀들의 누설 전류가 나노앰프들(nanoamps)/디바이스에 도달할 수 있기 때문에, 그리고, 메모리 어레이 내의 주어진 열(column)이 수백 개의 메모리 셀들(예컨대, 256 또는 512개)을 포함할 수 있으므로, 최악의 경우에 누적 누설 전류는 통상적인 판독 전류에 비교될 수 있다. 대책으로서, 하드 턴 오프(hard turn-off)를 달성하기 위해 소스 바이어스가 선택되지 않은 셀들에 인가될 수 있다. 이것은, 턴 오프 바이어스가 전체 어레이 상에 단지 광범위하게 보다는, 열마다의 바이어스 상에 인가하기 위해 이용가능할 때 보다 쉽게 달성된다. 디바이스(10)를 이용하는 메모리 어레이의 콘텐트들을 어드레싱하기 위한 방책들은 본 발명에 대해 부수적인 것으로 고려되고, 따라서 여기서는 다뤄지지 않는다. 하지만, 메모리 어레이 이용 디바이스(10)의 콘텐트들을 프로그래밍하고, 삭제하고, 판독하는 방법들에 관한 특정 세부사항들이 관련되고, 이하에서 논의된다.

[0031] 본 발명에 따라 RAM 셀에 요구된 논리 레벨(예컨대 "1")을 기록하는 데 사용될 수 있는 대안적 바이어싱 기술들(biasing techniques)을 각각 도시하는 도 3, 도 4, 및 도 5를 고려하자. 하지만, 이들 도면들에 개시된 기술들이 포괄적이거나 배타적임을 나타내지 않는다.

[0032] 도 3은 선택된 행 및 열에서 디바이스(10)를 사용하는 메모리 셀 사용에 대해 "1"을 기록하는 데 사용될 수 있는 접근법을 나타낸다. 이 접근법은 홀들이 본체 영역(36)에서 저장되도록 드레인 영역(26)에서 쇼트키 접합을 바이어싱한다. 이 접근법에서, 1.8V의 양의 전압이 선택된 열에서 셀들의 SL에 인가된다. -1.5V의 음의 전압이 선택된 행의 WL에 인가된다. 0V 또는 GND(그라운드)의 전압이 선택되지 않은 행의 WL에 인가된다. 선택된 열의 BL 상의 전압이 플로트(float)하도록 허용된다. 그리고, 선택되지 않은 열들에서 셀들의 SL 및 BL 상의 전압이 플로트하도록 허용된다.

[0033] 도 4는 선택된 행 및 열에서 디바이스(10)를 사용하는 메모리 셀에 "0"을 기록하는 데 사용될 수 있는 접근법을 도시한다. 이 접근법은 홀들이 제거되고 전자들이 본체 영역(36)에 저장되도록 드레인 영역(26)에서 쇼트키 접합을 바이어싱한다. 이 접근법에서, 1.8V의 양의 전압이 선택된 열에서 셀들의 SL에 인가된다. 1.8V의 양의 전압이 선택된 행의 WL에 인가된다. 0V 또는 GND(그라운드)의 전압은 선택되지 않은 행의 WL에 인가된다. 0V 또는 GND(그라운드)의 전압은 선택된 열의 BL 상에 인가된다. 그리고, 0V 또는 GND(그라운드)의 전압은 선택되지 않은 열들에서 셀들의 SL 및 BL에 인가된다.

[0034] 도 5는 선택된 행 및 열에서 디바이스(10)를 사용하는 메모리 셀을 판독하는 데 사용될 수 있는 접근법을 나타낸다. p-n 접합(n 유형(30,32)과 p 유형 본체(36) 사이)은, 쇼트기 접합(실리사이드(16)와 p 유형 본체(36) 사이)이 판독 "1" 동작 동안 데이터의 손실을 야기할 수 있는 가능성을 줄이기 위해 판독 동작 동안 소스(24)에

사용된다. 판독 "0" 동작은 임의의 상당한 전하를 저장하기 위해 본체(36)를 필요로 하지 않기 때문에 일반적으로 동일한 문제점을 갖지 않는다. 이 접근법에서, 0.5V의 양의 전압이 선택된 열에서 셀들의 BL에 인가된다. 0.8V의 양의 전압이 선택된 행의 WL에 인가된다. 0V 또는 GND(그라운드)의 전압은 선택되지 않은 행의 WL에 인가된다. 0V 또는 GND(그라운드)의 전압은 선택된 열의 SL 상에 인가된다. 그리고, 0V 또는 GND(그라운드)의 전압은 선택되지 않은 열들에서 셀들의 SL 및 BL에 인가된다.

[0035] 위의 도 3 내지 도 5에 대해 설명된 전압들의 실제 값들이 단지 예시적인 목적임에 유의하자. 디바이스(10)의 치수들이 보다 크거나 보다 작은 치수로 스케일되므로, 전압들의 값들 또한 스케일된다. 전압들의 실제 값들이 변할 수 있는 반면에, 전압들 간의 관계들(예컨대, 전압들이 보다 높은 전위 및 보다 낮은 전위에 있음)이 동일한 채 남아 있을 수 있다. 하지만, 대안적 실시예들은 디바이스들(10)로부터 상이한 동작들을 나타내도록 상이한 방식들로 디바이스들(10)을 바이어싱 할 수 있다.

[0036] 따라서, 위의 설명으로부터, 단일 트랜지스터 DRAM 셀이 그것이 인에이블하는 많은 특징들, 이점들, 및 능력들에 대해 이롭다는 것이 명백해야 한다. 특히, 즉시, 디바이스(10)는, 보다 견고한 기록 "0" 동작을 지원하고 해로운 판독 동작을 감소시키면서, 간단하고 콤팩트한 셀 설계를 제공한다.

[0037] 진술 1[Statement 1]. 단일 트랜지스터 다이내믹 랜덤 액세스 메모리(DRAM) 셀은: 제 1 소스/드레인 영역, 제 2 소스/드레인 영역, 제 1과 제 2 소스/드레인 영역들 사이의 본체 영역, 및 본체 영역 위의 게이트를 갖는 트랜지스터를 포함하고, 상기 제 1 소스/드레인 영역은 본체 영역과의 쇼트키 다이오드 접합을 포함하고, 제 2 소스/드레인 영역은 본체 영역과의 n-p 다이오드 접합을 포함한다.

[0038] 진술 2. 진술 1의 DRAM 셀에 있어서, 제 2 소스/드레인 영역은 n-p 다이오드 접합과 직렬로 옴 접촉을 포함한다.

[0039] 진술 3. 진술 1의 DRAM 셀에 있어서, 제 1 소스/드레인 영역은 게이트 아래에서 확장하는 제 1 실리사이드 층을 포함하고, 제 2 소스/드레인 영역은 게이트 아래에서 확장하는 제 2 실리사이드 층 및 게이트 아래에서 확장하는 소스/드레인 확장 영역을 포함한다.

[0040] 진술 4. 진술 3의 DRAM 셀에 있어서, 본체 영역과의 쇼트키 다이오드 접합은 제 1 실리사이드 층과 본체 영역 사이에 형성되고, 본체 영역과의 n-p 다이오드 접합은 소스/드레인 확장 영역과 본체 영역 사이에 형성된다.

[0041] 진술 5. 진술 4의 DRAM 셀에 있어서, 본체 영역은 제 1 도전 유형을 가지며, 소스/드레인 확장 영역은 제 1 도전 유형과는 다른 제 2 도전 유형을 갖는다.

[0042] 진술 6. 진술 3의 DRAM 셀에 있어서, 제 1 및 제 2 소스/드레인 영역들 각각은 깊은 소스/드레인 영역을 포함하고, 제 1 소스/드레인 영역은 소스/드레인 확장 영역이 없다.

[0043] 진술 7. 진술 1의 DRAM 셀에 있어서, 쇼트키 다이오드 접합은 DRAM 셀의 제 1 기록 동작 동안 제 1 상태를 기록하기 위해 본체 영역으로부터 주요 캐리어들을 제거한다.

[0044] 진술 8. 진술 7의 DRAM 셀에 있어서, 트랜지스터가 N 채널 트랜지스터로서 특징지어질 때, 주요 캐리어들은 제 2 소스/드레인 영역에서의 전위보다 낮은 제 1 소스/드레인 영역에서의 전위에 응답하여 본체 영역으로부터 제거된다.

[0045] 진술 9. 진술 7의 DRAM 셀에 있어서, 트랜지스터가 P 채널 트랜지스터로서 특징지어질 때, 주요 캐리어들은 제 2 소스/드레인 영역에서의 전위보다 높은 제 1 소스/드레인 영역에서의 전위에 응답하여 본체 영역으로부터 제거된다.

[0046] 진술 10. 진술 1의 DRAM 셀에 있어서, 트랜지스터가 N 채널 트랜지스터로서 특징지어질 때, DRAM 셀 내의 저장된 값은 제 1 소스/드레인 영역에서의 전위보다 낮은 제 2 소스/드레인 영역에서의 전위에 응답하여 감지된다.

[0047] 진술 11. 진술 1의 DRAM 셀에 있어서, 트랜지스터가 P 채널 트랜지스터로서 특징지어질 때, DRAM 셀 내의 저장된 값은 제 1 소스/드레인 영역에서의 전위보다 높은 제 2 소스/드레인 영역에서의 전위에 응답하여 감지된다.

[0048] 진술 12. 진술 1의 DRAM 셀에 있어서, 제 1 소스/드레인 영역은 게이트 아래에서 확장하고 주요 캐리어에 대해 낮은 장벽 실리사이드 물질을 포함하는 제 1 실리사이드 층을 포함한다.

[0049] 진술 13. 단일 트랜지스터 다이내믹 랜덤 액세스 메모리(DRAM) 셀은: 제 1 소스/드레인 영역, 제 2 소스/드레인 영역, 제 1과 제 2 소스/드레인 영역들 사이의 본체 영역, 및 본체 영역 위의 게이트를 갖는 트랜지스터를 포함

하고, 제 1 소스/드레인 영역은 본체 영역과의 셀트키 다이오드 접합을 포함하고, 제 2 소스/드레인 영역은 n-p 다이오드 접합과 직렬로 옴 접촉 및 본체 영역과의 n-p 다이오드 접합을 포함하며,

[0050] 트랜지스터가 N 채널 트랜지스터로서 특징지어질 때, 주요 캐리어들은 제 2 소스/드레인 영역에서의 전위보다 낮은 제 1 소스/드레인 영역에서의 전위에 응답하여 DRAM 셀의 기록 동작 동안 셀트키 다이오드 접합을 통해 본체 영역으로부터 제거되고,

[0051] 트랜지스터가 P 채널 트랜지스터로서 특징지어질 때, 주요 캐리어들은 제 2 소스/드레인 영역에서의 전위보다 높은 제 1 소스/드레인 영역에서의 전위에 응답하여 DRAM 셀의 기록 동작 동안 셀트키 다이오드 접합을 통해 본체 영역으로부터 제거된다.

[0052] 진술 14. 진술 13의 DRAM 셀에 있어서:

제 1 소스/드레인 영역은 게이트 아래에서 확장하는 제 1 실리사이드 층을 포함하고,

[0054] 제 2 소스/드레인 영역은 게이트 아래에서 확장하는 제 2 실리사이드 층 및 게이트 아래에서 확장하는 소스/드레인 확장 영역을 포함하고,

[0055] 본체 영역과의 셀트키 다이오드 접합이 제 1 실리사이드 층과 본체 영역 사이에 형성되고, 본체 영역과의 n-p 다이오드 접합이 소스/드레인 확장 영역과 본체 영역 사이에 형성된다.

[0056] 진술 15. 진술 14의 DRAM 셀에 있어서, 제 1 실리사이드 층은 본체 영역과 물리적으로 접촉하고, 제 2 실리사이드 층은 본체 영역과 물리적으로 접촉하지 않는다.

[0057] 진술 16. 진술 13의 DRAM 셀에 있어서,

트랜지스터가 N 채널 트랜지스터로서 특징지어질 때, DRAM 셀 내의 저장된 값은 제 1 소스/드레인 영역에서의 전위보다 낮은 제 2 소스/드레인 영역에서의 전위에 응답하여 감지되고,

[0059] 트랜지스터가 P 채널 트랜지스터로서 특징지어질 때, DRAM 셀 내의 저장된 값은 제 1 소스/드레인 영역에서의 전위보다 높은 제 2 소스/드레인 영역에서의 전위에 응답하여 감지된다.

[0060] 진술 17. 진술 13의 DRAM 셀에 있어서, 제 1 소스/드레인 영역은 게이트 아래에서 확장하고, 주요 캐리어에 대해 낮은 장벽 실리사이드 물질을 포함하는 제 1 실리사이드 층을 포함한다.

[0061] 진술 18. 단일 트랜지스터 다이내믹 랜덤 액세스 메모리(DRAM)를 형성하는 방법은:

[0062] DRAM 메모리 셀의 본체 영역 위에 게이트를 형성하는 단계로서, 반도체 층에 형성된 DRAM 메모리 셀의 본체는 제 1 도전 유형을 갖는, 상기 게이트 형성 단계;

[0063] 본체 영역에 인접 및 그와 반대 측들 상의 반도체 층에 제 1 및 제 2 소스/드레인 영역들을 형성하는 단계로서, 제 1 소스/드레인 영역은 본체 영역과의 셀트키 다이오드 접합을 포함하고, 제 2 소스/드레인 영역은 본체 영역과의 n-p 다이오드 접합을 포함하는, 상기 제 1 및 제 2 소스/드레인 영역들의 형성 단계를 포함한다.

[0064] 진술 19. 진술 18의 방법에 있어서:

제 1 소스/드레인 영역은 게이트 아래에서 확장하는 제 1 실리사이드 층을 포함하고,

[0066] 제 2 소스/드레인 영역은 게이트 아래에서 확장하는 제 2 실리사이드 층 및 게이트 아래에서 확장하는 소스/드레인 확장 영역을 포함하고, 상기 소스/드레인 확장 영역은 제 1 도전 유형과는 다른 제 2 도전 유형을 가지며,

[0067] 본체 영역과의 셀트키 다이오드 접합이 제 1 실리사이드 층과 본체 영역 사이에 형성되고, 본체 영역과의 n-p 다이오드 접합이 소스/드레인 확장 영역과 본체 영역 사이에 형성된다.

[0068] 진술 20. 진술 19의 방법에 있어서, 제 1 및 제 2 소스/드레인 영역들을 형성하는 단계는 제 1 및 제 2 소스/드레인 영역들 각각에서 깊은 소스/드레인 영역들을 형성하는 단계를 포함하고, 제 1 소스/드레인 영역은 제 1 실리사이드 층이 본체 영역과 물리적으로 접촉하도록 소스/드레인 확장 영역이 없다.

[0069] 위의 설명에서, 본 발명은 본 발명의 철저한 이해를 돋기 위해 예시적 방식으로, 특정한 다수의 실시예들을 바탕으로 설명하였다. 하지만, 반도체 비휘발성 메모리 디바이스들의 설계 및 제조에 관련된 기술분야의 당업자는 다양한 수정들 및 변경들이 본 발명의 범위에서 벗어나지 않고 특별히 설명된 실시예들에 추가될 수 있음을 이해할 것이다. 결국, 본 발명은, 첨부된 청구범위의 범위 내에 포함된 모든 주제와 그것의 등가물들을 포함하는

것으로 이해되어야 한다. 예를 들어, 본 발명은 본 명세서에서 식별된 특정 물질들 및 두께들에 제한되는 것으로 해석되지 않는다. 유사하게는, 기술분야의 당업자들은, 요구된 일관성이 유지되면, 도전성 유형들(P 유형, N 유형) 및 캐리어 유형들(홀들, 전자들)이 일반적으로 반대로 될 수 있음을 이해한다. 따라서, 상세한 설명 및 도면들은 본 발명을 제한하기 보다는 예시하는 것으로 적절히 해석되며, 그것들에 대한 모든 수정들 또는 변경들이 본 발명의 범위에 의해 결과적으로 이해된다.

[0070] 도 1의 디바이스(10)가 메모리 셀을 바탕으로 설명되었지만, 대안적 실시예들은 임의의 요구된 및 적절한 회로에서 디바이스(10)를 사용할 수 있다. 예를 들어, n-p 접합을 포함하는 하나의 전류 전극 및 쇼트키 다이오드를 포함하는 제 2 전류 전극을 갖는 트랜지스터가 임의의 원하는 회로에서 임의의 원하는 방식으로 사용될 수 있고, 메모리 어레이에서의 사용에 전혀 제한되지 않는다. 이 트랜지스터는 원하는 동작을 야기하기 위해 임의의 원하는 방식으로 바이어싱될 수 있다.

[0071] 유사하게는, 동작 또는 다른 기술적인 난점들에 대한 이익들, 이점들, 능력들, 및 해결법들이, 본 명세서에서 제공되는 바와 같이, 본 발명의 특정 실시예들에 대해 열거되었다. 하지만, 이익들, 이점들, 능력들, 해결법들, 및 임의의 이러한 이익, 이점, 성능 및 솔루션을 야기하거나 또는 이것들이 더욱 공고되도록 하는 임의의 요소(들) 또는 제한(들)은, 명백히 또는 암시적으로 또는 금반언(estoppel)으로서, 청구항들 중 임의의 것 또는 모두에 대한 중요하고, 요구되고 또는 필요한 요소 또는 제한으로서 고려되거나 해석되지는 않아야 한다. 또한, 본 명세서에서 사용된 바와 같이, 용어 "포함하다", "포함하는", 또는 그것의 임의의 변형이 비배타적으로 적용되고자 하여, 기재된 요소들의 열거를 포함하는 프로세스, 방법, 물품, 또는 장치가 기재된 요소들 뿐만이 아니라, 명확하게 기재되거나 열거되지는 않지만 이러한 프로세스, 방법, 물품, 또는 장치에 고유한 다른 요소들도 포함한다.

[0072] 본 명세서에서 설명된 모든 회로가 실리콘 또는 다른 반도체 물질에서 또는 대안적으로 실리콘 또는 다른 반도체 물질의 소프트웨어 코드 표현에 의해 구현될 수 있음을 이해해야 한다.

### 도면의 간단한 설명

[0005] 도 1은 일 실시예에 따라 제조시의 단계 동안 디바이스의 단면을 도시하는 도면.

[0006] 도 2는 일 실시예에 따라 도 1의 디바이스를 사용하는 메모리 셀에 응용가능한 마스크 레이아웃(mask layout)을 도시하는 도면.

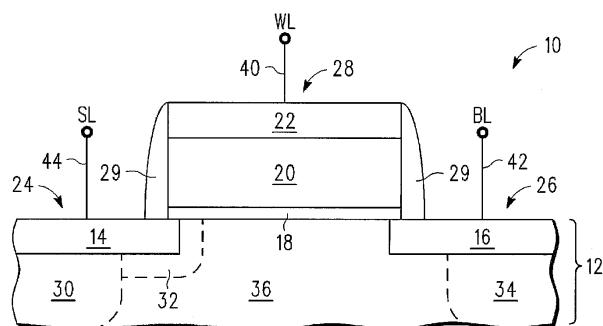
[0007] 도 3은 도 1의 디바이스를 사용하는 메모리 어레이가 일 실시예에 따라 기록 "1" 동작 동안 바이어싱될 수 있는 방식을 도시하는 도면.

[0008] 도 4는 도 1의 디바이스를 사용하는 메모리 어레이가 일 실시예에 따라 기록 "0" 동작 동안 바이어싱될 수 있는 방식을 도시하는 도면.

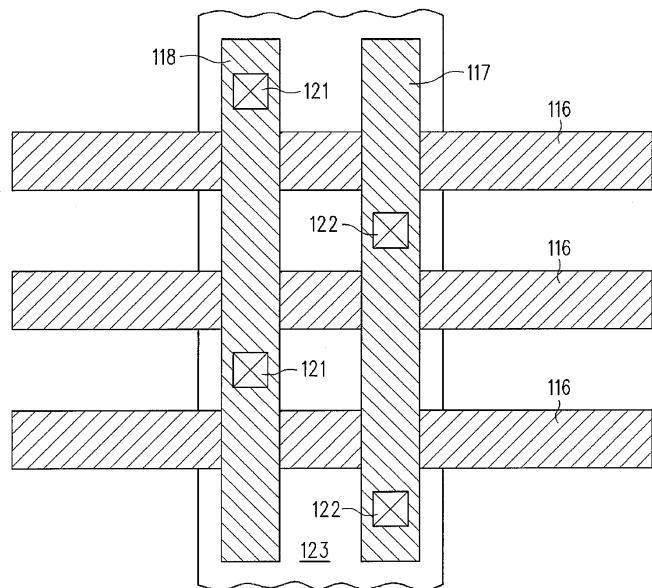
[0009] 도 5는 도 1의 디바이스를 사용하는 메모리 어레이가 일 실시예에 따라 편독 동작 동안 바이어싱될 수 있는 방식을 도시하는 도면.

### 도면

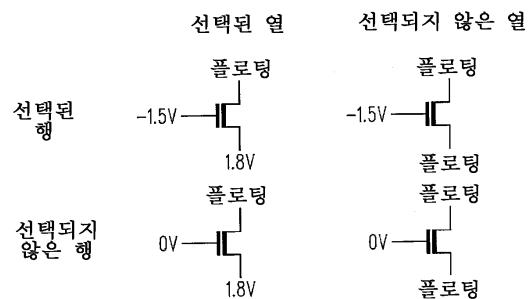
#### 도면1



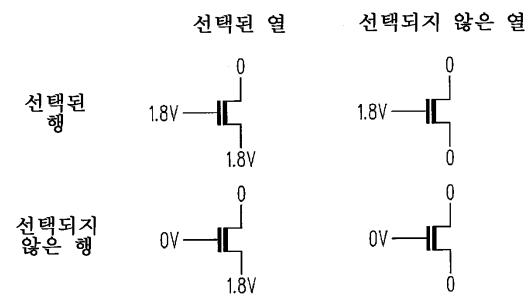
## 도면2



## 도면3



## 도면4



**도면5**