

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成30年10月18日(2018.10.18)

【公表番号】特表2017-535958(P2017-535958A)

【公表日】平成29年11月30日(2017.11.30)

【年通号数】公開・登録公報2017-046

【出願番号】特願2017-525055(P2017-525055)

【国際特許分類】

H 01 L 21/336 (2006.01)

H 01 L 29/78 (2006.01)

H 01 L 29/417 (2006.01)

【F I】

H 01 L 29/78 301S

H 01 L 29/78 301X

H 01 L 29/50 M

【手続補正書】

【提出日】平成30年9月4日(2018.9.4)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

フィン型電界効果トランジスタ(FinFET)デバイスであって、

ゲートスタックと、

前記FinFETデバイスのフィンであって、前記フィンはベースフィン部およびソース/ドレイン領域を含み、前記ベースフィン部は前記FinFETデバイスのシャロートレンチ分離(STI)領域に囲まれており、前記ソース/ドレイン領域は前記ベースフィン部上に、および前記STI領域の上に形成されており、前記ソース/ドレイン領域はドープ材料を含み、前記ソース/ドレイン領域は前記ゲートスタックに近接しており、および実質的に平行な側壁を有している、フィンと、

ラップアラウンド型非シリサイドコンタクトであって、前記ラップアラウンド型コンタクトは、前記フィンの前記ソース/ドレイン領域を囲み、および前記フィンの前記ソース/ドレイン領域の前記実質的に平行な側壁に接触するように配置されており、前記ラップアラウンド型コンタクトは、金属絶縁体半導体(MIS)コンタクトまたはダイレクトコンタクトを含む、ラップアラウンド型非シリサイドコンタクトとを備えるFinFETデバイス。

【請求項2】

前記ゲートスタックは、前記フィンの前記ベースフィン部の表面上に位置する、請求項1に記載のFinFETデバイス。

【請求項3】

前記フィンの前記ベースフィン部は、シリコン、ゲルマニウム、シリコンゲルマニウム、またはリン化インジウムを含む、請求項2に記載のFinFETデバイス。

【請求項4】

前記MISコンタクトは、前記FinFETデバイスのn型金属酸化物半導体(NMOS)領域に結合されるか、または前記ダイレクトコンタクトは、前記FinFETデバイスのp型金属酸化物半導体(PMOS)領域に結合される、請求項1に記載のFinFET

Tデバイス。

【請求項 5】

前記MISコンタクトは、

前記FinFETデバイスの前記NMOS領域上の酸化チタン層( $TiO_2$ )と、

前記酸化チタン層上のチタン層( $Ti$ )とを備える、請求項4に記載のFinFETデバイス。

【請求項 6】

前記ダイレクトコンタクトは、前記FinFETデバイスの前記PMOS領域上のチタン層( $Ti$ )を備える、請求項4に記載のFinFETデバイス。

【請求項 7】

携帯電話、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、コンピュータ、ハンドヘルドパーソナル通信システム(PCS)ユニット、ポータブルデータユニット、および/または固定位置データユニットに組み込まれる、請求項1に記載のFinFETデバイス。

【請求項 8】

Fin型電界効果トランジスタ(FinFET)デバイスを作製するための方法であって、

前記FinFETデバイスのシャロートレンチ分離(STI)領域の上に前記FinFETデバイスのFinのソース/ドレイン領域をリセスエッチングするステップであって、前記Finは、前記STI領域に囲まれたベースFin部をさらに含む、ステップと、

前記Finの前記ソース/ドレイン領域を再成長させるステップであって、前記Finの再成長させたソース/ドレイン領域は、実質的に平行な側壁を有しており、およびドープ材料を含む、ステップと、

前記FinFETデバイスのダミーゲートをゲートスタックによって置き換えるステップであって、前記Finの前記ソース/ドレイン領域は、前記ゲートスタックに近接している、ステップと、

前記Finの前記再成長させたソース/ドレイン領域を囲むラップアラウンド型非シリサイドコンタクトを作製するステップであって、前記ラップアラウンド型コンタクトは、前記Finの前記再成長させたソース/ドレイン領域の前記実質的に平行な側壁に接触するように配置されており、前記ラップアラウンド型コンタクトは、金属絶縁体半導体(MIS)コンタクトまたはダイレクトコンタクトを含む、ステップとを含む方法。

【請求項 9】

前記Finの前記ソース/ドレイン領域を再成長させる前記ステップは、制御された<111>ファセット形成によるエピタキシャル成長を含む、請求項8に記載の方法。

【請求項 10】

前記ラップアラウンド型非シリサイドコンタクトを作製する前記ステップは、

前記FinFETデバイスのn型金属酸化物半導体(NMOS)領域上に酸化チタン層( $TiO_2$ )を堆積するステップと、

前記酸化チタン層上にチタン層( $Ti$ )を堆積するステップとを含む、請求項8に記載の方法。

【請求項 11】

前記ラップアラウンド型非シリサイドコンタクトを作製する前記ステップは、前記FinFETデバイスのp型金属酸化物半導体(PMOS)領域上に直接チタン層( $Ti$ )を堆積するステップを含む、請求項8に記載の方法。