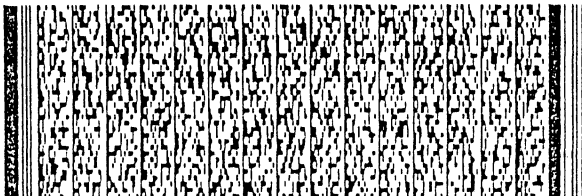


申請日期： 93-02-04	IPC分類
申請案號： 93102461	H01L 23/28

(以上各欄由本局填註)

發明專利說明書 200527620

一、 發明名稱	中文	半導體封裝件
	英文	SEMICONDUCTOR PACKAGE
二、 發明人 (共2人)	姓名 (中文)	1. 陳錦德
	姓名 (英文)	1. CHEN, CHIN TE
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中文)	1. 苗栗縣通霄鎮新埔里10鄰76-2號
	住居所 (英文)	1. No. 76-2, Lin 10, Hsin-Pu Li, Tong-Hsiao Chen, Miao-Li Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 矽品精密工業股份有限公司
	名稱或姓名 (英文)	1. SILICONWARE PRECISION INDUSTRIES CO., LTD.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 台中縣潭子鄉大豐路三段123號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. No. 123, Sec. 3, Da Fong Road, Tantz, Taichung, Taiwan, R.O.C.
	代表人 (中文)	1. 林文伯
	代表人 (英文)	1. LIN, WEN-PO

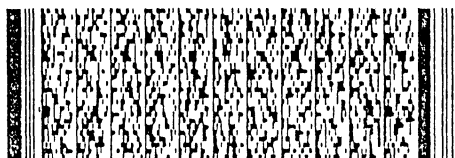


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共2人)	姓 名 (中文)	2. 普翰屏
	姓 名 (英文)	2. PU, HAN-PING
	國 籍 (中英文)	2. 中華民國 TW
	住居所 (中 文)	2. 台北縣永和市中正路649號10樓之1
	住居所 (英 文)	2. 10F-1, No. 649, Chung-zheng Rd., Yonghe, Taipei Hsien, Taiwan, R. O. C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

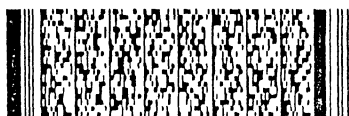
☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得,不須寄存。

五、發明說明 (1)

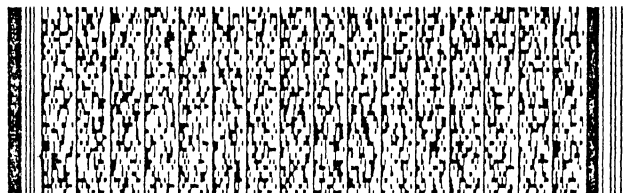
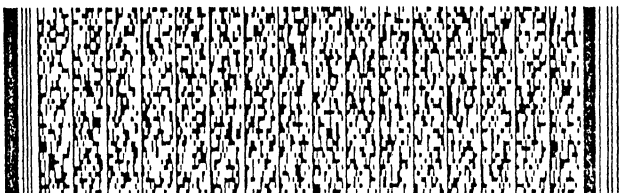
【發明所屬之技術領域】

本發明係關於一種半導體封裝件，尤指一種可檢視膠黏材料塗佈量並提升其結構強度的半導體封裝件。

【先前技術】

覆晶式球柵陣列 (Flip-Chip Ball Grid Array, FCBGA) 半導體封裝件係為一種同時具有覆晶與球柵陣列之封裝結構，以使至少一晶片的作用表面 (Active Surface) 可藉由多數凸塊 (Solder Bumps) 而電性連接至基板 (Substrate) 之一表面上，並於該基板之另一表面上植設多數作為輸入/輸出 (I/O) 端之錫球 (Solder Ball)；此一封裝結構可大幅縮減體積，同時亦減去習知錫線 (Wire) 之設計，而可降低阻抗提昇電性，以避免訊號於傳輸過程中衰退，因此確已成為下一世代晶片與電子元件的主流封裝技術。

由於該覆晶式球柵陣列封裝的優越特性，使其多係運用於高積集度 (Integration) 之多晶片封裝件中，以符該型電子元件之體積與運算需求，惟此類電子元件亦由於其高頻率運算特性，使其於運作過程所產生之熱能亦將較一般封裝件為高，因此，其散熱效果是否良好即成為該類封裝技術影響品質良率的重要關鍵；對習知之覆晶式球柵陣列封裝件而言，係直接將用以進行散熱之散熱片 (Heat Sink) 黏覆於該晶片的非作用表面 (Non-active Surface) 上，而不需透過導熱性較差的封裝膠體 (Encapsulant) 來傳遞熱量，從而形成一晶片-膠黏劑-散熱片-外界的直接



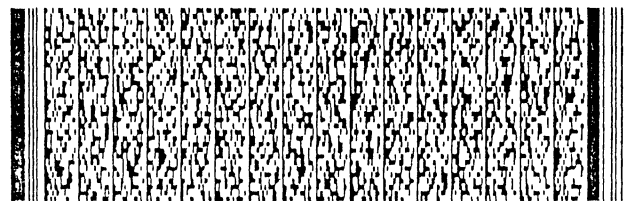
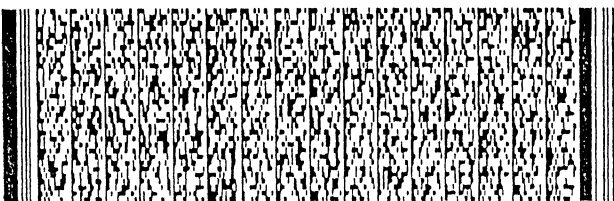
五、發明說明 (2)

散熱路徑，達至一遠較其他封裝件為佳的散熱功效。

對於此類封裝結構，習知上係如第 1 圖所示，直接以例如膠黏劑 (Adhesive) 或銲料 (Solder) 等膠黏材料 120 而將散熱片 110 黏接於基板 100 上，並使該散熱片 110 之面積大於晶片 130 之面積，以達較佳的散熱效能；惟此一黏置方法中該散熱片 110 與基板 100 間的實際黏接面積並不大，形成其黏接穩固性的一大限制，尤其當該基板 100 上復接置有其他被動元件 (Passive Component) 以提昇其電性效能時，更將進一步縮減該基板 100 與散熱片 110 之黏接面積，因此若膠黏材料 120 不足而使得其膠黏面縮小時將使該散熱片 110 極易於後續衝擊試驗 (Shock Test) 或其他外力震動時，承受一剪力而自該基板 100 上脫落，造成產品不良，若為避免此情形發生，膠黏量必須足夠，但若覆蓋過多，亦將產生溢膠現象，影響產品之外觀。

由於該散熱片 110 之外形係呈一方形蓋狀，以罩蓋黏置於該基板 100 上並將該晶片 130 容設於內，故而其黏置過程中操作人員並無法從外面檢視塗佈於該基板 100 上之膠黏材料 120 的塗佈量與塗膠寬度，而可能出現膠黏材料 120 之塗佈寬度不足或過多之現象，導致該蓋體 110 與基板 100 間之接合強度不足而脫落、或導致多餘之膠黏材料 120 出現溢膠等缺點。

習知上為解決前述之問題提出了不少解決方法，如第 2A 及 2B 圖所示，於散熱片 210、210' 與基板 100 接觸之表面上開設方形或鳩尾槽 (Dovetail) 形狀之空腔 230，以增加



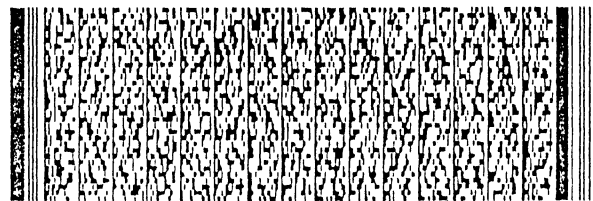
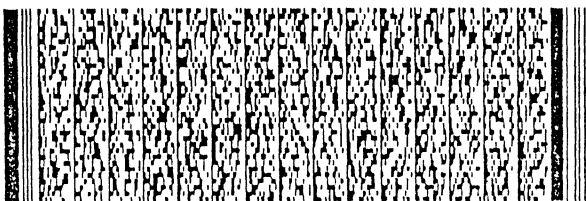
五、發明說明 (3)

該散熱片 210、210'與膠黏材料 220、220'之接觸面積，從而增強該散熱片 210、210'與基板 200、200'間之接合強度；惟，此些改良方式雖可改善接合強度不足之問題，然卻仍無法於塗膠過程中檢視該膠黏材料 220、220'之塗佈情況與塗佈量，而仍可能出現該膠黏材料 220、220'未確實填覆該空腔 230之情形，難以提高產品良率，且該等形狀之空腔 230結構加工不易，易造成生產成本與步驟的增加。

另有美國專利第 5,825,086 號案，係如第 3A、3B 及 3C 圖之方式，塗佈過量之膠黏材料 320、320'、320''於基板 300、300'、300''上，後再黏貼該散熱片 310、310'、310''以藉該過量膠黏材料 320、320'、320''強化其黏著效果，此舉雖可較為確保該散熱片 310、310'、310''之黏接穩固，惟過量之膠黏材料 320、320'、320''亦將溢出該基板 300、300'、300''而造成其黏貼品質之不良，非但影響外觀，亦形成材料之浪費，同時，亦可能造成該等膠黏材料 320、320'、320''飛濺至晶片或滲入該晶片之作用表面，影響其電性運作與良率品質。

綜上所述，即知習知技術之發展已形成散熱片黏接的兩難問題，若膠黏材料過少，則將因黏接未牢而導致該散熱片脫落，而若膠黏材料過多，又將形成溢膠甚而影響晶片之電性，顯然已成為相關技術演進的一大瓶頸。

故而，如何設計一種半導體封裝件，以自外部檢視膠黏材料之塗佈量並調整至一最適值，從而避免溢膠並保證



五、發明說明 (4)

散熱片與基板間之接合強度，進而降低生產成本，確已成為當前業界亟待解決之關鍵問題。

【發明內容】

本發明之目的係提供一種結構簡單且可從外部檢視膠黏材料塗佈量之半導體封裝件。

本發明之另一目的係提供一種可提升蓋體與基板間之接合強度之半導體封裝件。

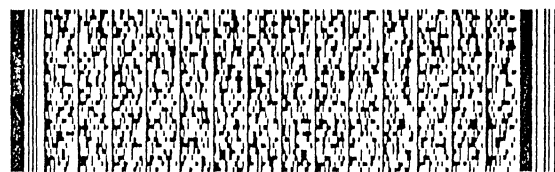
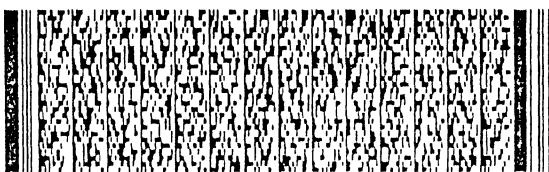
本發明之再一目的係提供一種可調整及控制膠黏材料塗佈量之半導體封裝件。

本發明之又一目的係提供一種可增加蓋體與基板間之黏貼面積之半導體封裝件。

本發明之復再一目的係提供一種可提高封裝成品良率之半導體封裝件。

本發明之復又一目的係提供一種成本低廉而利於量產之半導體封裝件。

本發明之半導體封裝件係包括：具有一第一表面與一相對之第二表面的基板；至少一晶片，係接置於該基板之第一表面上且電性連接至該基板；具有一平坦部與自該平坦部邊緣延伸而出之支撐部的蓋體，以藉該支撐部接置於該基板之第一表面上，並將該晶片包覆於該平坦部、支撐部與基板所圍置而成之空間中，其中，該支撐部與該基板接觸之表面外緣係形成有至少一截角；一膠黏材料，係塗佈於該蓋體之支撐部與該基板之第一表面間，以黏接該支撐部與基板並充填於該截角中，而可自該截角視得該膠黏



五、發明說明 (5)

材料之塗佈量；以及植接於該基板之第二表面上的多數錫球。

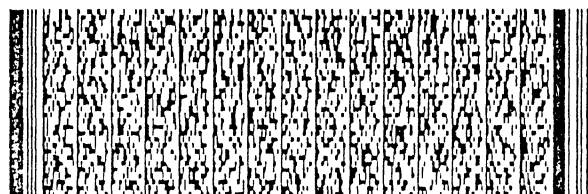
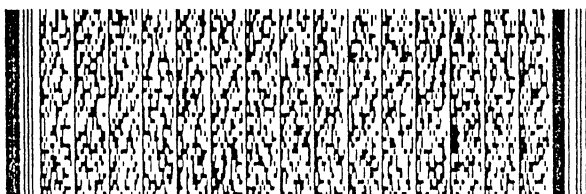
該蓋體支撐部上之截角形狀可分別為圓角、斜面或階梯狀結構；進一步者，該圓角可為不同半徑，不同圓心角之圓角，該斜面亦可為不同斜率之斜面，該階梯狀結構則可為層數、高度不同之階梯狀結構；或再進一步者，該截角可以為上述各種形狀之任意結合；或更進一步者，該截角亦可為其他可視得該膠黏材料之塗佈量的不規則形狀。

透過上述各種形狀之截角結構，操作者即可自該截角檢視該膠黏材料之塗佈分佈情況，以進行調整並避免溢膠之產生，達至最佳的接合塗佈量；同時，該等截角結構亦增加了該蓋體與該基板間之黏貼面積，亦進一步增加了該蓋體與該基板間之接合強度，進而提高封裝成品之良率而利於大規模之量產。

【實施方式】

以下係藉由特定的具體實例說明本發明之實施方式，熟悉此技藝之人士可由本說明書所揭示之內容輕易地瞭解本發明之其他優點與功效。本發明亦可藉由其他不同的具體實例加以施行或應用，本說明書中的各項細節亦可基於不同觀點與應用，在不悖離本發明之精神下進行各種修飾與變更。

特別地，為簡單且清楚地顯示本發明半導體封裝件之特徵所在，本案所附圖式僅顯示其中重要元件之示意圖；於實際應用中，該等元件之形狀及連接方式勢必更為複

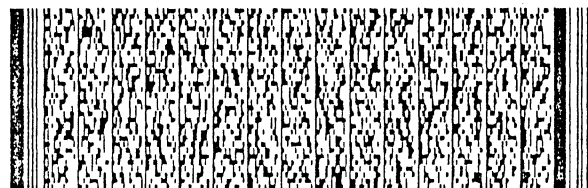
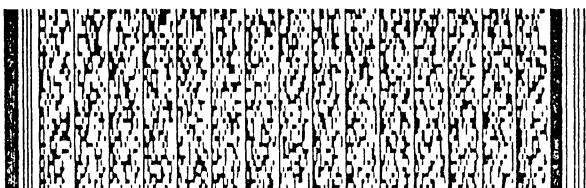


五、發明說明 (6)

雜，相關元件之數量亦可隨不同型號之封裝件而有所差異。

請參閱第4圖，本發明之半導體封裝件1係可為一覆晶式球柵陣列(FCBGA)半導體封裝件，包括具有一第一表面11與一相對之第二表面12的基板10，該基板10之第一表面11上係黏置有一晶片13，而該基板10之第一表面11上復設置有一可作為散熱片之蓋體20，其係具有一平坦部20a與自該平坦部20a邊緣延伸而出之支撐部20b，以藉該支撐部20b黏置於該基板10之第一表面11上，並將該晶片13包覆於該平坦部20a、支撐部20b與基板10所圍置而成之空間中，同時，該支撐部20b與該基板10接觸之表面外緣係形成有一斜面截角22，以令用以黏接該支撐部20b與該基板第一表面11的膠黏材料30除了塗佈於該第一表面11之邊緣外，復充填於該截角22與該第一表面11間的空間，此外，該封裝件1復包括植接於該基板10之第二表面12上的多數錫球25，以令該晶片13之訊號可自該基板10而經該錫球25傳遞至外界。

前述之晶片10係以覆晶方式而藉多數個導電凸塊26(Bump)電性連接該基板10之第一表面11，並於該導電凸塊26周圍填充底部填料(Underfill)絕緣材料27，以強化其定位；同時，該半導體封裝件1復包括一用以黏接該晶片13與蓋體20之平坦部20a的導熱膠28，以發揮黏著作用，並將該晶片13上之熱量藉該導熱膠28經該蓋體20散逸至外界；再者，該蓋體20除了可進行散熱外，亦可用以隔絕外



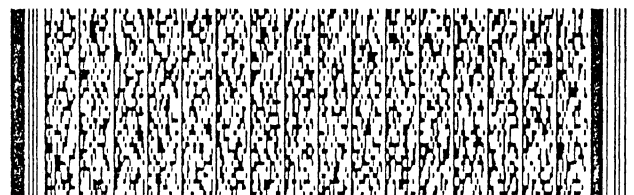
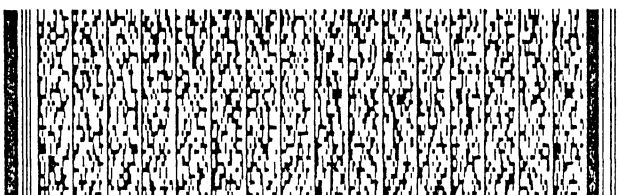
五、發明說明 (7)

界之水氣及氧氣等易對半導體封裝件 1 內部元件造成損害之成分進入其內部並接觸該等元件，從而保證該半導體封裝件 1 之正常工作，並延長該半導體封裝件 1 之使用壽命。

本發明之特徵即在於該蓋體 20 之支撐部 20b 上的截角 22 設計，由於該等截角 22 之存在，當該膠黏材料 30 塗佈於該基板 10 之周緣後，操作者可於黏接該蓋體 20 後輕易自該截角 22 檢視得所塗佈之膠黏材料 30 的塗佈量與塗佈寬度，從而進行調整，以避免該膠黏材料 30 溢出，俾使該塗佈量維持於一最適塗佈量，以達至最佳的蓋體 20 黏貼效果；同時，由於該蓋體 20 支撐部 20b 之表面外緣設置有該截角 22，故而亦增加了該蓋體 20 與膠黏材料 30 之接觸面積，俾使該蓋體 20 更加牢固地黏貼於該基板 10 上，大幅提升兩者間之接合強度，兼而亦可藉其操作簡易之特性，達至以低廉成本提高封裝成品良率之功效。

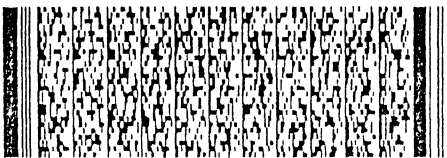
請參閱第 5A、5B 及 5C 圖，本發明半導體封裝件 1 於不同實施方式中之蓋體 20'、20'' 及 20''' 之截角 22'、22'' 及 22''' 之形狀可以分別為圓角、大角度之斜面或階梯狀結構；進一步者，該圓角可以為不同半徑，不同圓心角之圓角，該斜面可以為不同斜率之斜面，該階梯狀結構可以為層數、高度不同之階梯狀結構；或再進一步者，該截角可以為上述各種形狀之任意結合；或更進一步者，該截角可以為不規則形狀，僅需令該形狀能達成從外部檢視該膠黏材料 30 塗佈量之效果即可。

上述實施例僅例示性說明本發明之原理及其功效，而



五、發明說明 (8)

非用於限制本發明。任何熟習此項技藝之人士均可在不違背本發明之精神及範疇下，對上述實施例進行修飾與改變。因此，本發明之權利保護範圍，應如後述之申請專利範圍所列。



圖式簡單說明

【圖式簡單說明】

第 1 圖係習知半導體封裝件之結構示意圖；

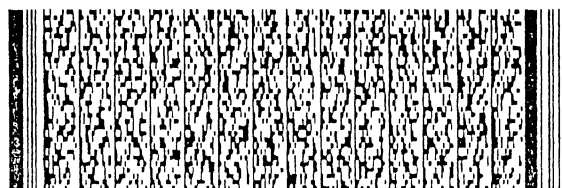
第 2A 及 2B 圖係另一習知半導體封裝件之結構示意圖；

第 3A、3B 及 3C 圖係美國專利第 5,825,086 號案所揭示之半導體封裝件結構示意圖；

第 4 圖係本發明半導體封裝件之較佳實施例結構示意圖；以及

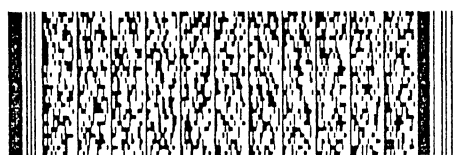
第 5A、5B 及 5C 圖係本發明半導體封裝件之其他實施例之示意圖。

1	半導體封裝件
10	基板
11	第一表面
12	第二表面
13	晶片
20	蓋體
20a	平坦部
20b	支撐部
22	截角
25	焊球
26	凸塊
27	絕緣材料
28	導熱膠
30	膠黏材料



圖式簡單說明

20'、20''、20'''	蓋 體
22'、22''、22'''	截 角
100	基 板
110	散 熱 片
120	膠 黏 材 料
130	晶 片
200、200'	基 板
210、210'	散 熱 片
220、220'	膠 黏 材 料
230	空 腔
300、300'、300''	基 板
310、310'、310''	散 熱 片
320、320'、320''	膠 黏 材 料



四、中文發明摘要 (發明名稱：半導體封裝件)

一種半導體封裝件，係包括：一基板；至少一接置於該基板上且電性連接至該基板的晶片；具有一平坦部與自該平坦部邊緣延伸而出之支撐部的蓋體，以藉該支撐部接置於該基板上，並將該晶片包覆於該平坦部、支撐部與基板所圍置而成之空間中，其中，該支撐部與該基板接觸之表面外緣係形成有至少一截角；一膠黏材料，係用以黏接該支撐部與基板並充填於該截角中，而可自該截角視得該膠黏材料之塗佈量；以及植接於該基板之另一表面上的多數錫球，從而可藉該截角之設計而將該膠黏材料之塗佈量控制於一最適值，提升該蓋體之接合強度並避免溢膠現象之產生。

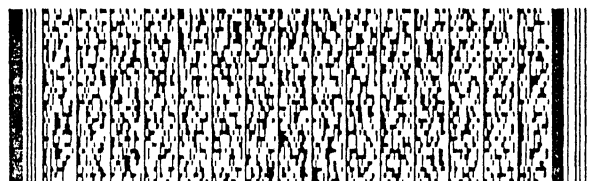
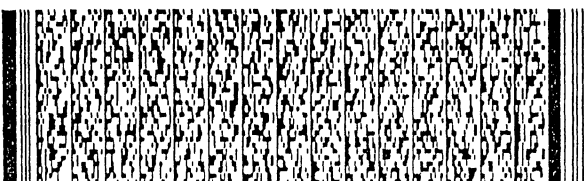
本案代表圖：第4圖

1 半導體封裝件

10 基板

六、英文發明摘要 (發明名稱：SEMICONDUCTOR PACKAGE)

A semiconductor package is proposed, in which at least a chip and a lid covering the chip are mounted on a substrate. The lid is composed of a planar portion and a supporting portion extending from the periphery of the planar portion, and at least a cutted corner section is formed on a surface of the support portion attached to the substrate. In addition, an adhesive material is

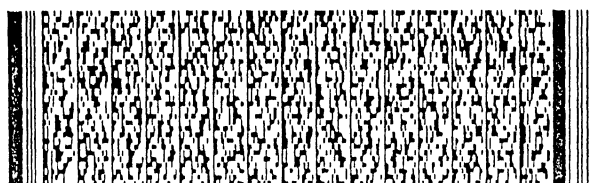


四、中文發明摘要 (發明名稱：半導體封裝件)

- 11 第一表面
- 12 第二表面
- 13 晶片
- 20 蓋體
- 20a 平坦部
- 20b 支撐部
- 22 截角
- 25 鐳球
- 26 凸塊
- 27 絕緣材料
- 28 導熱膠
- 30 膠黏材料

六、英文發明摘要 (發明名稱：SEMICONDUCTOR PACKAGE)

applied between the support portion and the substrate, and filled within the cutted corner section, thereby estimating and controlling the amounts of the adhesive material by the cutted corner section. Thus, the disposition of the cutted corner section can provide an optimal amount of the adhesive material and improve bondability between the lid and the substrate.



六、申請專利範圍

1. 一種半導體封裝件，係包括：

基板，具有一第一表面與一相對之第二表面；

至少一晶片，係接置於該基板之第一表面上且電性連接至該基板；

蓋體，係具有一平坦部與自該平坦部邊緣延伸而出之支撐部，以藉該支撐部接置於該基板之第一表面上，並將該晶片包覆於該平坦部、支撐部與基板所圍置而成之空間中，其中，該支撐部與該基板接觸之表面外緣係形成有至少一截角；

膠黏材料，係塗佈於該蓋體之支撐部與該基板之第一表面間，以黏接該支撐部與基板並充填於該截角中，而可自該截角視得該膠黏材料之塗佈量；以及

多數錫球，係植接於該基板之第二表面上。

2. 如申請專利範圍第1項所述之半導體封裝件，其中，該蓋體係為一散熱片。

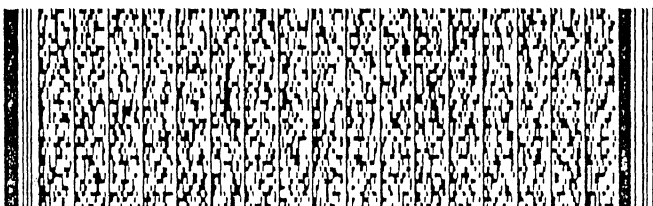
3. 如申請專利範圍第1項所述之半導體封裝件，其中，該截角係一圓角。

4. 如申請專利範圍第1項所述之半導體封裝件，其中，該截角係一斜面。

5. 如申請專利範圍第1項所述之半導體封裝件，其中，該截角係一階梯狀結構。

6. 如申請專利範圍第1項所述之半導體封裝件，其中，該截角係一圓角、斜面及階梯狀結構之組合。

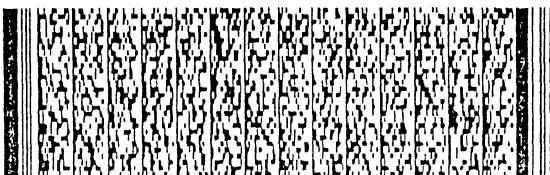
7. 如申請專利範圍第1項所述之半導體封裝件，其中，該

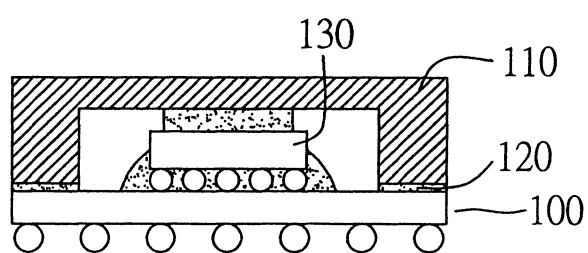


六、申請專利範圍

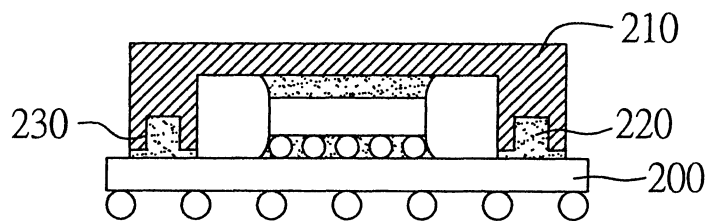
截角係一不規則形狀結構。

8. 如申請專利範圍第 1 項所述之半導體封裝件，其中，該晶片係藉由導電凸塊 (Bump) 而與該基板之第一表面電性連接。
9. 如申請專利範圍第 1 項所述之半導體封裝件，其中，該半導體封裝件復包括一填充於該導電凸塊周圍的絕緣材料。
10. 如申請專利範圍第 1 項所述之半導體封裝件，其中，該半導體封裝件復包括一用以黏接該晶片與蓋體之平坦部的導熱膠。
11. 如申請專利範圍第 1 項之具散熱片之半導體封裝件，其中，該半導體封裝件係為一覆晶式球柵陣列 (FCBGA) 半導體封裝件。

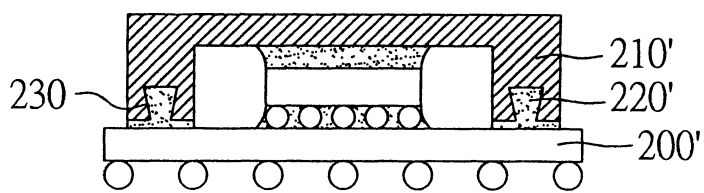




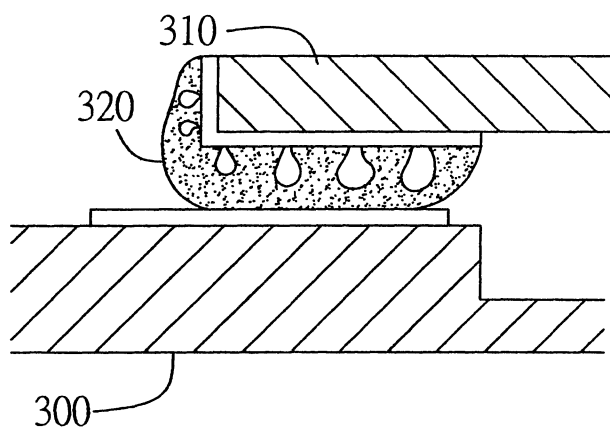
第 1 圖 (先前技術)



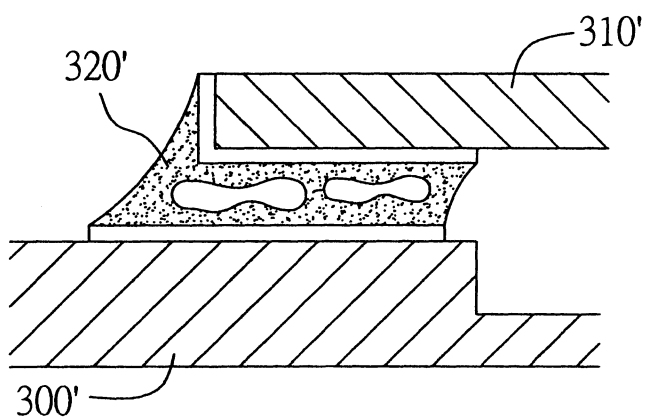
第 2A 圖 (先前技術)



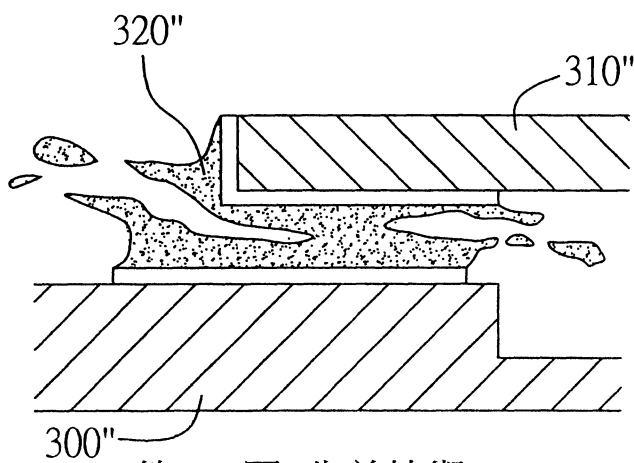
第 2B 圖 (先前技術)



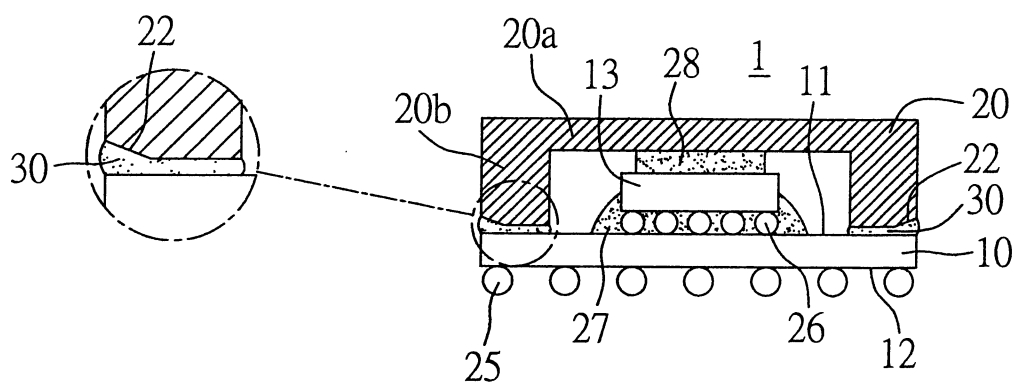
第 3A 圖 (先前技術)



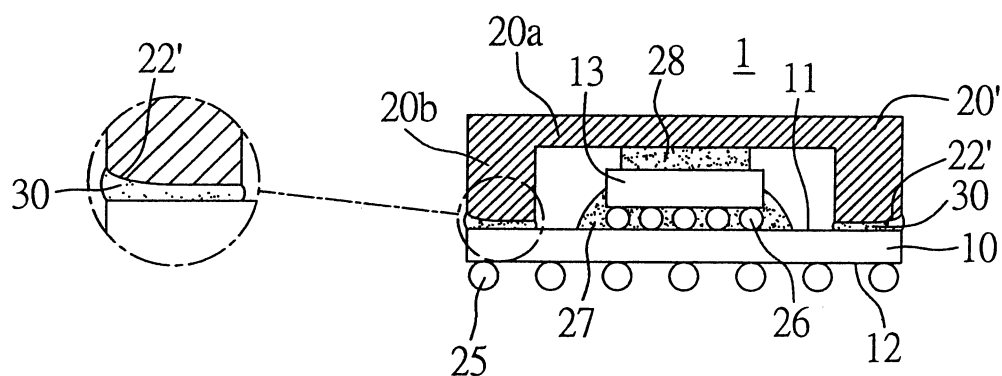
第 3B 圖 (先前技術)



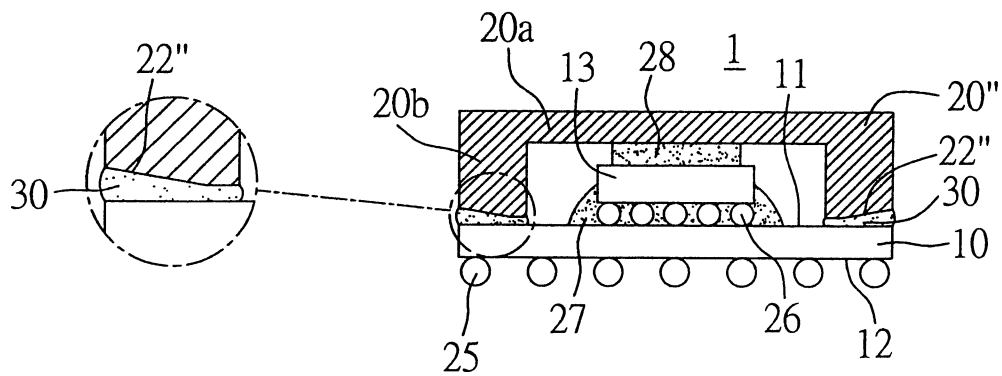
第 3C 圖 (先前技術)



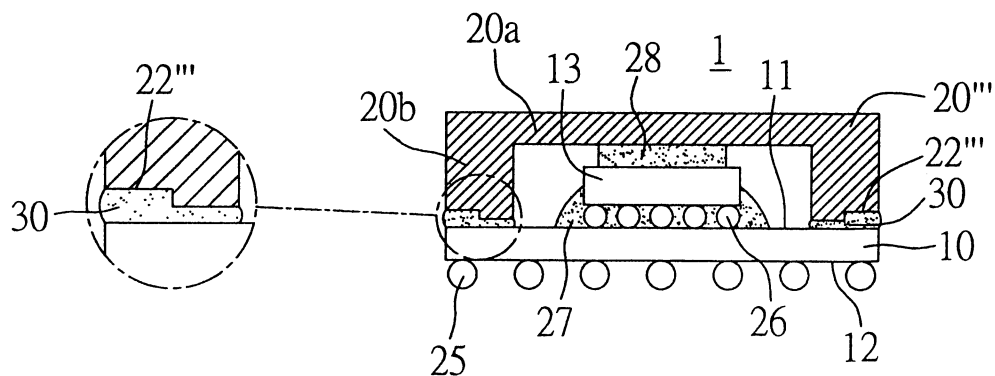
第 4 圖



第 5A 圖



第 5B 圖



第 5C 圖