

【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第6部門第4区分  
 【発行日】平成22年2月4日(2010.2.4)

【公開番号】特開2008-176830(P2008-176830A)  
 【公開日】平成20年7月31日(2008.7.31)  
 【年通号数】公開・登録公報2008-030  
 【出願番号】特願2007-7239(P2007-7239)  
 【国際特許分類】

G 1 1 C 29/04 (2006.01)

G 1 1 C 16/02 (2006.01)

G 0 1 R 31/28 (2006.01)

【F I】

G 1 1 C 29/00 6 7 3 K

G 1 1 C 17/00 6 0 1 Z

G 0 1 R 31/28 B

G 0 1 R 31/28 V

【手続補正書】

【提出日】平成21年12月9日(2009.12.9)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

複数のワード線と、複数のビット線と、前記複数のワード線と前記複数のビット線の交点に配置された複数のメモリセルと、前記メモリセルの記憶内容を読み出すためのセンスアンプとを備えた半導体メモリにおいて、

前記複数のビット線から任意のビット線を選択するビット線選択手段と、

前記ビット線選択手段により選択される選択ビット線電流の導通、または非導通を制御するスイッチ手段と、

判定電流を発生する電流発生手段と、

前記選択ビット線電流の値が前記判定電流の値よりも大きい場合に前記選択ビット線電流と前記判定電流との差電流を取り出す手段と、

前記差電流を電圧に変換する電圧変換手段と、

前記電圧変換手段の出力電圧を用いて前記判定電流と前記選択ビット線電流との大小関係を判定する判定手段とを備える、

ことを特徴とする半導体メモリ。

【請求項2】

請求項1において、

前記ビット線選択手段は、

メモリセルのドレインが接続されるビット線を選択する第1のビット線選択手段と、

メモリセルのソースが接続されるビット線を選択する第2のビット線選択手段とを備える、

ことを特徴とする半導体メモリ。

【請求項3】

請求項2において、

前記センスアンプは、前記第2のビット線選択手段の出力に接続される、

ことを特徴とする半導体メモリ。

【請求項 4】

請求項 1 において、

前記電圧変換手段は、差電流が流れ込む抵抗手段を備える、

ことを特徴とする半導体メモリ。

【請求項 5】

請求項 1 において、

前記電圧変換手段は、差電流を積分する手段を備える、

ことを特徴とする半導体メモリ。

【請求項 6】

請求項 5 において、

前記積分手段は、差電流が流れ込む容量を備える、

ことを特徴とする半導体メモリ。

【請求項 7】

請求項 1 において、

前記電流発生手段は、外部端子に印加された電流を基にして判定電流を発生する手段 (a) を備える、

ことを特徴とする半導体メモリ。

【請求項 8】

請求項 7 において、

前記手段 (a) は、外部端子に印加された電流を係数倍する手段を備える、

ことを特徴とする半導体メモリ。

【請求項 9】

請求項 1 において、

前記判定手段は、前記電圧変換手段の出力電圧と判定電圧とを比較する比較器を備える、

ことを特徴とする半導体メモリ。

【請求項 10】

複数のワード線と、複数のビット線と、前記複数のワード線と前記複数のビット線の交点に配置された複数のメモリセルと、前記メモリセルの記憶内容を読み出すためのセンスアンプとを備えた半導体メモリにおいて、

前記複数のビット線から任意のビット線を選択するビット線選択手段と、

前記ビット線選択手段により選択される選択ビット線電流の導通、または非導通を制御するスイッチ手段と、

判定電流を発生する電流発生手段と、

前記選択ビット線電流の値が前記判定電流の値よりも大きい場合に前記選択ビット線電流と前記判定電流との差電流を取り出す手段と、

前記差電流を電圧に変換する第 1 の電圧変換手段と、

前記第 1 の電圧変換手段の出力を変換する第 2 電圧変換手段と、

前記第 2 の電圧変換手段の出力電圧を用いて前記判定電流と前記選択ビット線電流との大小関係を判定する判定手段とを備える、

ことを特徴とする半導体メモリ。

【請求項 11】

請求項 10 において、

前記判定手段は、前記電圧変換手段の出力電圧と判定電圧とを比較する比較器を備える、

ことを特徴とする半導体メモリ。

【請求項 12】

複数のワード線と、複数のビット線と、前記複数のワード線と前記複数のビット線の交点に配置された複数のメモリセルと、前記メモリセルの記憶内容を読み出すためのセンス

アンプとを備えた半導体メモリにおいて、

前記複数のビット線から任意のビット線を選択するビット線選択手段と、  
前記ビット線選択手段により選択される選択ビット線電流の導通、または非導通を制御するスイッチ手段と、

判定電流を発生する電流発生手段と、

前記選択ビット線電流の値が前記判定電流の値よりも大きい場合に前記選択ビット線電流と前記判定電流との差電流を取り出す手段と、

前記差電流を電圧に変換する第1の電圧変換手段と、

前記第1の電圧変換手段の出力を変換する第2電圧変換手段と、

前記センスアンプの比較電圧を切り換える切り換え手段と、

前記第2の電圧変換手段の出力電圧を用いて前記判定電流と前記選択ビット線電流との大小関係を判定する判定手段とを備える、  
ことを特徴とする半導体メモリ。

【請求項13】

請求項10または12において、

前記ビット線選択手段は、

メモリセルのドレインが接続されるビット線を選択する第1のビット線選択手段と、

メモリセルのソースが接続されるビット線を選択する第2のビット線選択手段とを備える、

ことを特徴とする半導体メモリ。

【請求項14】

請求項13において、

前記センスアンプは、前記第2のビット線選択手段の出力に接続される、  
ことを特徴とする半導体メモリ。

【請求項15】

請求項10または12において、

前記第1の電圧変換手段は、差電流を第1の容量により積分する手段を備え、

前記第2の電圧変換手段は、第2の容量に蓄えられた電荷を前記第1の容量の電荷と再配分する手段を備える、

ことを特徴とする半導体メモリ。

【請求項16】

請求項10または12において、

前記電流発生手段は、外部端子に印加された電流を基にして判定電流を発生する手段（  
a）を備える、

ことを特徴とする半導体メモリ。

【請求項17】

請求項16において、

前記手段（a）は、外部端子に印加された電流を係数倍する手段を備える、  
ことを特徴とする半導体メモリ。

【請求項18】

請求項12において、

前記切り換え手段は、

バイアス印加手段と、

前記バイアス印加手段からのバイアスまたは読み出しリファレンスを選択的に前記センスアンプの比較電圧として与える手段とを備える、

ことを特徴とするビット線リーク電流判定手段を備えた半導体メモリ。

【請求項19】

半導体メモリのビット線電流を判定する方法であって、

前記半導体メモリは、

複数のワード線と、

複数のビット線と、  
前記複数のワード線と前記複数のビット線の交点に配置された複数のメモリセルを備えた仮想接地アレイ構成のメモリセルアレイと、  
前記メモリセルのドレインが接続されるビット線を選択する第1のビット線選択手段と、  
前記メモリセルのソースが接続されるビット線を選択する第2のビット線選択手段と、  
前記第2のビット線選択手段の出力に接続された前記メモリセルの記憶内容を読み出すためのセンスアンプとを備え、  
前記方法は、  
前記第1のビット線選択手段により前記メモリセルのドレインが接続されるビット線を入力アドレスに応じて選択する第1のビット線選択ステップと、  
前記第2のビット線選択手段により前記メモリセルのソースが接続されるビット線を前記入力アドレスに応じて選択する第2のビット線選択ステップと、  
前記第2のビット線選択ステップにより選択されるビット線を接地するステップと、  
前記第1のビット線選択ステップにより選択されたビット線に流れる電流の大小を判定するステップとを備える、  
ことを特徴とする半導体メモリのビット線電流判定方法。

【請求項20】

請求項19において、  
前記ビット線電流の大小を判定するステップは、  
第1の容量および第2の容量を充電するステップと、  
ビット線電流を前記第1の容量に蓄えられた電荷から供給している間に判定電流を前記第2の容量に蓄えられた電荷から供給するステップと、  
前記第1の容量端電位と前記第2の容量端電位を比較するステップとを備える、  
ことを特徴とする半導体メモリのビット線電流判定方法。

【請求項21】

請求項19において、  
前記ビット線電流の大小を判定するステップは、  
第3の容量を判定電流により充電するステップと、  
ビット線電流を前記第3の容量から供給するステップと、  
前記第3の容量端の電位を判定するステップとを備える、  
ことを特徴とする半導体メモリのビット線電流判定方法。

【請求項22】

複数のワード線と、複数のビット線と、前記複数のワード線と前記複数のビット線の交点に配置された複数のメモリセルを備えた仮想接地アレイ構成のメモリセルアレイとを備えた半導体メモリにおいて、  
前記メモリセルのドレインが接続されるビット線を入力アドレスに応じて選択する第1のビット線選択手段と、  
前記メモリセルのソースが接続されるビット線を入力アドレスに応じて選択する第2のビット線選択手段と、  
前記第2のビット線選択手段の出力に接続された前記メモリセルの記憶内容を読み出すためのセンスアンプと、  
前記第2のビット線選択手段により選択されるビット線を接地する手段と、  
前記第1のビット線選択手段により選択されたビット線に流れる電流の大小を判定する手段とを備えた、  
ことを特徴とする半導体メモリ。

【請求項23】

請求項22において、  
前記ビット線電流の大小を判定する手段は、  
前記第1のビット線選択手段により選択されたビット線と電源電位との電流経路の導通

または非導通を切り換える第1のスイッチと、

前記第1のスイッチに接続された第1の容量と、

判定電流発生手段と、

前記判定電流発生手段と電源電位との電流経路の導通または非導通を切り換える第2のスイッチと、

前記第2のスイッチに接続された第2の容量と、

前記第1の容量端電位と前記第2の容量端電位を比較する比較手段とを備える、

ことを特徴とする半導体メモリ。

【請求項24】

請求項22において、

前記ビット線電流の大小を判定する手段は、

判定電流発生手段と、

前記判定電流発生が第3のスイッチを介して接続される第3の容量と、

前記第1のビット線選択手段により選択されたビット線の電流供給元を電源電位あるいは前記第3の容量に蓄えられた電荷とするかを切り換える第4のスイッチと、

前記第3の容量端の電位を比較する比較手段とを備える、

ことを特徴とする半導体メモリ。

【請求項25】

請求項23または24において、

前記判定電流発生手段は、外部端子に印加された電流を基にして判定電流を発生する手段(a)を備える、

ことを特徴とする半導体メモリ。

【請求項26】

請求項25において、

前記手段(a)は、外部端子に印加された電流を係数倍する手段を備える、

ことを特徴とする半導体メモリ。

【請求項27】

請求項26において、

前記電流を係数倍する手段は、カレントミラーを備える、

ことを特徴とする半導体メモリ。

【請求項28】

判定電流と被測定電流の大小関係を比較する半導体微小電流判定方法において、

被測定電流の導通、または非導通を制御するステップ(a)と、

判定電流を発生するステップ(b)と、

前記被測定電流の値が前記判定電流の値よりも大きい場合に前記被測定電流と判定電流との差電流を取り出すステップ(c)と、

前記差電流を検知して前記被測定電流の値と前記判定電流の値との大小関係を判定するステップ(d)とを備える、

ことを特徴とする半導体微小電流判定方法。

【請求項29】

請求項28において、

前記ステップ(d)は、

前記差電流を電圧に変換するステップ(d1)と、

前記ステップ(d1)により変換された電圧を判定電圧と比較するステップ(d2)とを備える、

ことを特徴とする半導体微小電流判定方法。

【請求項30】

判定電流と被測定電流の大小関係を比較する半導体微小電流判定手段において、

前記被測定電流の導通、または非導通を制御するスイッチ手段と、

判定電流を発生する電流発生手段と、

前記被測定電流の値が前記判定電流の値よりも大きい場合に前記被測定電流と判定電流との差電流を取り出す手段と、

前記差電流を電圧に変換する電圧変換手段と、

前記電圧変換手段の出力電圧を用いて前記判定電流と前記被測定電流の大小関係を判定する判定手段とを備える、

ことを特徴とする半導体微少電流判定手段。

【請求項 3 1】

判定電流と被測定電流の大小関係を比較する半導体微少電流判定手段において、

第 1 の電流が流れる第 1 のノードと第 2 の電流が流れる第 2 のノードとの導通または遮断を制御する第 1 のスイッチ手段と、

前記第 2 のノードと前記第 1 のスイッチ手段の接続点に接続された電圧変換手段と、

前記電圧変換手段に接続された比較器とを備える、

ことを特徴とする半導体微少電流判定手段。

【請求項 3 2】

請求項 3 0 または 3 1 において、

前記電圧変換手段は、差電流が流れ込む抵抗手段を備える、

ことを特徴とする半導体微少電流判定手段。

【請求項 3 3】

請求項 3 0 または 3 1 において、

前記電圧変換手段は、差電流を積分する手段を備える、

ことを特徴とする半導体微少電流判定手段。

【請求項 3 4】

請求項 3 3 において、

前記積分手段は、差電流が流れ込む容量を備える、

ことを特徴とする半導体微少電流判定手段。

【請求項 3 5】

請求項 3 0 において、

前記電流発生手段は、外部端子に印加された電流を基にして判定電流を発生する手段 (

a ) を備える、

ことを特徴とする半導体微少電流判定手段。

【請求項 3 6】

請求項 3 5 において、

前記手段 ( a ) は、前記外部端子に印加された電流を係数倍する手段を備える、

ことを特徴とする半導体微少電流判定手段。

【請求項 3 7】

請求項 1 , 1 0 , 1 1 , 1 9 または 2 2 において、ビット線電流が前記複数のワード線が全て非選択状態時にビット線に流れるリーク電流である、

ことを特徴とする半導体メモリまたは半導体メモリのビット線電流判定方法。