

FEDERÁLNÍ ÚŘAD  
PRO VYNÁLEZY

# PATENTOVÝ SPIS 275 655

(11) Číslo dokumentu :

(21) Číslo přihlášky : 5929-89.E

(22) Přihlášeno : 19 10 89

(30) Prioritní data :

(40) Zveřejněno : 11 06 91

(47) Uděleno : 20 12 91

(24) Oznámeno udělení ve Věstníku : 18 03 92

(13) Druh dokumentu : B6

(51) Int. Cl.<sup>5</sup> :

H 03 M 9/00

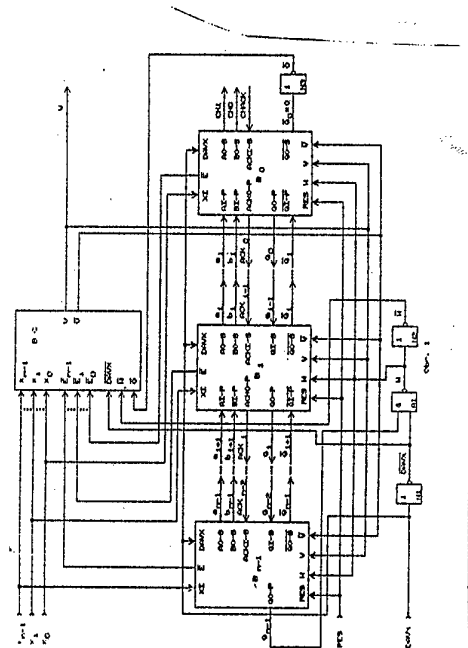
(73) Majitel patentu : ÚSTAV TECHNICEJ KYBERNETIKY SAV, BRATISLAVA

(72) Původce vynálezu : HLUCHÝ LADISLAV ing. CSc., BRATISLAVA (CS)  
CIRLIN BORIS ing. CSc., LENINGRAD (SU)  
GAŽI BRUNO ing., BRATISLAVA,  
PAŽUROVÁ TATIANA RNDr., BANSKÁ BYSTRICA,  
KOŠUK KAROL ing., BRATISLAVA (CS)

(54) Název vynálezu : Zapojenie na prevod paralelného formátu znaku na sériovú postupnosť bitov

(57) Anotace :

Účelom zapojenia na prevod paralelného formátu znaku na sériovú postupnosť bitov je, aby bolo nezávislé na rýchlosti stavebných elektronických prvkov, čím sa umožní realizovať to isté zapojenie rôznymi technológiami. Uvedeného účelu sa dosiahne pomocou zapojenia základného i-bloku ( $B_1$ ) vysielača s režimom prepisu i-teho informačného bitu do bunky vyrovnávajúceho registra vysielača a s režimom nastavenia zretazovaného sériového prenosu. Základný i-blok ( $B_1$ ) pozostáva z bunky (BVRV) vyrovnávajúceho registra vysielača, bunky (BZV) zretazovania vysielača, bunky (BVR) riadenia vysielača. Riešenie môže nájsť uplatnenie v počítačových systémoch, napr. pri realizácii rýchlych sériových prepojení voľne viazaných multiprocesorov, rýchlych sériových kanálov počítačov, ako možný variant náhrady paralelných kanálov v počítačoch s rýchlymi sériovými kanálmi a taktiež ako rýchly sériový kanál (vstavaný) v jednočipových mikropočítačoch.



Vynález sa týka zapojenia na prevod paralelného formátu znaku na sériovú postupnosť bitov. Realizácia zapojenia formou integrovaného obvodu reprezentuje rýchly asynchrónny sériový vysielateľ.

Doposiaľ je rýchlosť sériového vysielania v súčasných špičkových integrovaných obvodoch ohraničená princípom zapojenia, ktorého činnosť je synchronná (riadenie je realizované pomocou hodín). Komunikačný protokol sériového vysielania má na každý "byte" nadbytočné bity kvôli synchronnému spôsobu prijímania, čím sa znižuje prenosová rýchlosť užitočnej informácie. Predstaviteľom takéhoto typu vysielania je zapojenie sériového vysielateľa mikroprocesora typu transputer, v ktorom prenosová rýchlosť 20 Mbit/s sa dosahuje vďaka špičkovej technológii 1,5  $\mu$  CMOS. Prenosová rýchlosť užitočnej informácie vysielateľa uvedeného mikroprocesora je 12 až 15 Mbit/s (podľa typu prenosu "simplex" alebo "duplex").

Uvedené nedostatky v podstatnej miere odstraňuje zapojenie na prevod paralelného formátu znaku na sériovú postupnosť bitov podľa vynálezu, ktorého podstata spočíva v tom, že prvé signálové vstupy zapojenia ako výstupy z údajovej zbernice sú totožné s prvými vstupmi bloku riadenia pripojenia na štandardné zbernicové systémy a zároveň sú pripojené na prvé vstupy základných  $i$ -blokov pre  $i=1, n-2, \dots, 0$ , druhé signálové vstupy zapojenia platnosti údajových bitov na zbernici a nulovania sú totožné s druhými vstupmi  $i$ -blokov, druhý signálový vstup zapojenia platnosti údajových bitov na zbernici je pripojený na vstup prvého logického člena typu invertor, tretí signálový vstup zapojenia ako potvrdenie prijatia údajového bitu prijímačom je pripojený na prvý vstup nultého bloku zo strany sériového kanála, výstupy bloku riadenia pripojenia na štandardné zbernicové systémy sú totožné so štvrtými vstupmi  $i$ -blokov, signálový výstup žiadosti o nový  $n$ -bitový znak je prvým výstupom zapojenia, druhý signálový výstup zapojenia ako vstup sériového kanála je pripojený na prvý výstup nultého bloku zo strany sériového kanála, tretí signálový výstup zapojenia ako vstup sériového kanála je pripojený na druhý výstup nultého bloku zo strany sériového kanála, výstup prvého logického člena typu invertor je pripojený na prvý vstup dvojvstupového logického člena typu NAND a na tretí vstup bloku riadenia pripojenia na štandardné zbernicové systémy, výstup  $n-1$ -ho bloku je pripojený na druhý vstup dvojvstupového logického člena signálovým výstupom ukončenia zápisu  $n-1$ -ho údajového bitu do bunky zrežazenia  $n-1$ -ho bloku, výstup dvojvstupového logického člena je pripojený na tretie vstupy zápisu do buniek vyrovnávajúceho registra  $i$ -blokov a na vstup druhého logického člena typu invertor, výstup druhého logického člena typu invertor je pripojený na štvrtý vstup bloku riadenia pripojenia na štandardné zbernicové systémy. Druhý výstup nultého bloku zo strany sériového kanála je pripojený na vstup tretieho logického člena typu invertor signálovým výstupom pripravenosti vysielania, výstup tretieho logického člena typu invertor je pripojený na piaty vstup bloku riadenia pripojenia na štandardné zbernicové systémy, výstupy buniek vyrovnávajúcich registrov  $i$ -blokov sú pripojené na druhé vstupy bloku riadenia pripojenia na štandardné zbernicové systémy, prvý vstup  $i$ -bloku je pripojený na prvý výstup  $i+1$ -ho bloku signálovým vstupom prvej vnútornej sériovej linky pre  $i=0, 1, \dots, n-2$ , druhý vstup  $i$ -bloku je pripojený na druhý výstup  $i+1$ -ho bloku signálovým vstupom druhej vnútornej sériovej linky, tretí vstup  $i$ -bloku je pripojený na tretí výstup  $i+1$ -ho bloku signálovým vstupom podmienky nastavenia režimu zápisu z bunky vyrovnávajúceho registra do bunky zrežazenia bloku, Prvý výstup  $i$ -bloku je pripojený na prvý výstup  $i+1$ -ho bloku signálovým výstupom žiadosti o údajový bit z  $i+1$ -ho bloku, druhý výstup  $i$ -bloku je pripojený na druhý vstup  $i+1$ -ho bloku signálovým výstupom nastavenia režimu zrežazenia  $i$ -bloku, pričom prvé signálové vstupy  $i$ -bloku pre  $i=0, 1, \dots, n-1$  sú pripojené na vstupy bunky vyrovnávajúceho registra vysielateľa, výstupy bunky vyrovnáva-

júceho registra vysieláča sú pripojené na druhé vstupy bunky zreťazenia vysieláča signálovými výstupmi pamätania logickej hodnoty, druhé signálové vstupy sú pripojené na prvé vstupy bunky zreťazenia vysieláča, výstupy bunky riadenia vysieláča sú pripojené na tretie vstupy bunky zreťazenia vysieláča, prvé výstupy bunky zreťazenia vysieláča sú pripojené na výstupy i-bloku, druhý výstup bunky zreťazenia vysieláča je pripojený na druhý vstup bunky riadenia vysieláča, tretie signálové vstupy i-bloku sú pripojené na prvé vstupy bunky riadenia vysieláča.

Výhody navrhnutého zapojenia sú v tom, že to isté zapojenie môže byť realizované rôznymi technológiami vzhľadom na jeho nezávislosť od rýchlosti stavebných elektronických prvkov (synchronne zapojenie je závislé na toleranciách rýchlostných parametrov stavebných prvkov, z čoho vyplýva i voľba frekvencie hodín). Realizáciou zapojenia technológiou (4-5)  $\mu$ CMOS sa dosiahne porovnateľná prenosová rýchlosť s rýchlosťou vysieláča mikroprocesora typu "transputer", ktorý je realizovaný technológiou 1,5  $\mu$ CMOS (výsledky logickej simulácie). Realizáciou zapojenia technológiou 1,5  $\mu$ CMOS sa dosiahne niekoľkonásobné zvýšenie prenosovej rýchlosti oproti rýchlosti "transputera".

Na pripojených výkresoch na obr. 1 je zapojenie na prevod paralelného formátu znaku (n-bitového) na sériovú postupnosť bitov, ďalej zapojenie označované ako n-bitový sériový asynchrónny vysieláč (n-SAV). Na obr. 2 je zapojenie základného bloku n-SAV, na obr. 3 je uvedený časový priebeh významných signálov z logickej simulácie. Zapojenie n-SAV na obr. 1 pozostáva zo základných i-blokov  $B_i$  pre  $i=0,1,\dots,n-1$  a bloku BC riadenia pripojenia na štandardné zbernicové systémy, základný blok na obr. 2 pozostáva z troch buniek: z bunky BVRV vyrovnávajúceho registra vysieláča, z bunky BRV riadenia vysieláča a z bunky BZV zreťazenia vysieláča.

Prvé signálové vstupy  $x_i$  zapojenia ako výstupy z údajovej zbernice sú totožné s prvými vstupmi  $x_i$  bloku BC riadenia pripojenia na štandardné zbernicové systémy a zároveň sú pripojené na prvé vstupy XI základných i-blokov  $B_i$  pre  $i=0,1,\dots,n-1$ , druhé signálové vstupy DAVX, RES zapojenia platnosti údajových bitov na zbernici a nulovania sú totožné s druhými vstupmi DAVX, RES i-blokov  $B_i$ , druhý signálový vstup DAVX zapojenia platnosti údajových bitov na zbernici je pripojený na vstup prvého logického člena N1 typu inverter, tretí signálový vstup CHACK zapojenia ako potvrdenie prijatia údajového bitu prijímačom je pripojený na prvý vstup ACKI-S nultého bloku  $B_0$  zo strany sériového kanála, výstupy V,  $\bar{V}$  bloku BC riadenia pripojenia na štandardné zbernicové systémy sú totožné so štvrtými vstupmi V,  $\bar{V}$  i-blokov  $B_i$ , signálový výstup V žiadosti o nový n-bitový znak je prvým výstupom zapojenia, druhý signálový výstup CH1 zapojenia ako vstup sériového kanála je pripojený na prvý výstup AO-S nultého bloku  $B_0$  zo strany sériového kanála, tretí signálový výstup CHO zapojenia ako vstup sériového kanála je pripojený na druhý výstup BO-S nultého bloku  $B_0$  zo strany sériového kanála, výstup prvého logického člena N1 typu inverter je pripojený na prvý vstup dvojjstupového logického člena A1 typu NAND a na tretí vstup DAVX bloku BC riadenia pripojenia na štandardné zbernicové systémy, výstup QO-P n-1-ho bloku  $B_{n-1}$  je pripojený na druhý vstup dvojjstupového logického člena A1 signálovým výstupom  $Q_{n-1}$  ukončenia zápisu n-1-ho údajového bitu do bunky zreťazenia n-1-ho bloku  $B_{n-1}$ , výstup dvojjstupového logického člena A1 je pripojený na tretie vstupy W zápisu do buniek vyrovnávajúceho registra i-blokov  $B_i$  a na vstup druhého logického člena N2 typu inverter, výstup druhého logického člena N2 typu inverter je pripojený na štvrtý vstup W bloku BC riadenia pripojenia na štandardné zbernicové systémy, druhý výstup QO-S nultého bloku  $B_0$  zo strany sériového kanála je pripojený na vstup tretieho logického člena N3 typu inverter signálovým výstupom Q

prípravenosti vysielania, výstup tretieho logického člena  $N_3$  typu invertor je pripojený na piaty vstup  $\bar{Q}$  bloku  $BC$  riadenia pripojenia na štandardné zbernicové systémy, výstupy buniek vyrovnávajúcich registrov  $\bar{E}$  i-blokov  $B_i$  sú pripojené na druhé vstupy  $\bar{E}_i$  bloku  $BC$  riadenia pripojenia na štandardné zbernicové systémy, prvý vstup  $AI-P$  i-bloku  $B_i$  je pripojený na prvý výstup  $AO-S$  i+1-ho bloku  $B_{i+1}$  signálovým vstupom prvej vnútornej sériovej linky  $a_{i+1}$  pre  $i=0,1,\dots,n-2$ , druhý vstup  $BI-P$  i-bloku  $B_i$  je pripojený na druhý výstup  $BO-S$  i+1-ho bloku  $B_{i+1}$  signálovým vstupom druhej vnútornej sériovej linky  $b_{i+1}$ , tretí vstup  $QI-P$  i-bloku je pripojený na tretí výstup  $QO-S$  i+1-ho bloku  $B_{i+1}$  signálovým vstupom  $Q_{i+1}$  podmienky nastavenia režimu zápisu z bunky vyrovnávajúceho registra do bunky zreťazenia i+1-ho bloku  $B_{i+1}$ , prvý výstup  $ACKO-P$  i-bloku  $B_i$  je pripojený na prvý vstup  $ACKI-S$  i+1-ho bloku  $B_{i+1}$  signálovým výstupom  $ACK_i$  žiadosti o údajový bit z i+1-ho bloku  $B_{i+1}$ , druhý výstup  $QO-P$  i-bloku  $B_i$  je pripojený na druhý vstup  $QI-S$  i+1-ho bloku  $B_{i+1}$  signálovým výstupom  $Q_i$  nastavenia režimu zreťazenia i-bloku  $B_i$ , pričom prvé signálové vstupy  $W$ ,  $XI$ ,  $V$  i-bloku  $B_i$  pre  $i = 0, 1, \dots, n-1$  sú pripojené na vstupy  $W$ ,  $XI$ ,  $VI$  bunky  $BVRV$  vyrovnávajúceho registra vysielача, výstupy  $EO$ ,  $\bar{EO}$  bunky  $BVRV$  vyrovnávajúceho registra vysielача sú pripojené na druhé vstupy  $EI$ ,  $\bar{EI}$  bunky  $BZV$  zreťazenia vysielача, druhé signálové vstupy  $AI-P$ ,  $BI-P$ ,  $ACKI-S$ ,  $QI-S$ ,  $V$ ,  $RES$  sú pripojené na prvé vstupy  $AI$ ,  $BI$ ,  $ACKI$ ,  $QI-BZ$ ,  $VI$ ,  $RES$  bunky  $BZV$  zreťazenia vysielача, výstupy  $QO$ ,  $\bar{QO}$  bunky  $BRV$  riadenia vysielача sú pripojené na tretie vstupy  $QI$ ,  $\bar{QI}$ , bunky  $BZV$  zreťazenia vysielача, prvé výstupy  $AO$ ,  $BO$ ,  $ACKO$  bunky  $BZV$  zreťazenia vysielача sú pripojené na výstupy  $AO-S$ ,  $BO-S$ ,  $ACKO-P$  i-bloku  $B_i$ , druhý výstup  $ACKO$  bunky  $BZV$  zreťazenia vysielача je pripojený na druhý vstup  $ACKI$  bunky  $BRV$  riadenia vysielача, tretie signálové vstupy  $QI-P$ ,  $DAVX$ ,  $RES$  i-bloku  $B_i$  sú pripojené na prvé vstupy  $QI-BRV$ ,  $DAVX$ ,  $RES$  bunky  $BRV$  riadenia vysielача.

Každý i-blok  $B_i$  pre  $i=1,2,\dots,n-2$  má svojho predchodcu (signály označené s P) a následníka (signály označené s S), prvý blok má len svojho následníka, posledný má len svojho predchodcu, po aktivovaní signálu  $RES \rightarrow 1 / \rightarrow$  reprezentuje zmenu do hodnoty/bunka  $BZV$  zreťazenia vysielача a bunka  $BRV$  riadenia vysielача prechádzajú do počiatočného stavu:  $ACKO-P \rightarrow 0$ ,  $QO-P \rightarrow 1$ ,  $QO-S \rightarrow 0$ , logické hodnoty posledných dvoch signálov reprezentujú stav zreťazenia režimu  $BZV$  (režim pre umožnenie prenosu údajového bitu z predchádzajúcej  $BZV$ ); ak  $RES \rightarrow 0$ ,  $ACKO-P \rightarrow 1$  (žiadosť o údajový bit z predchádzajúcej  $BZV$ ), do bunky  $BVRV$  sa zapíše údajový bit  $XI$  (v prípade i-tého bloku reprezentuje  $XI$  i-ty údajový bit), ak  $V=1$  (žiadosť o nový znak) a  $W \rightarrow 1$  (zapisovací signál), po zápise na jednom z výstupných signálov  $E$ ,  $\bar{E}$  sa aktivuje úroveň "H" (úroveň "H" na  $E$  reprezentuje zapamätanú logickú hodnotu 1 a na  $\bar{E}$  zapamätanú logickú hodnotu 0). Signál  $W \rightarrow 1$  ak  $DAVX \rightarrow 1$  ( $DAVX=1$  reprezentuje platnosť údajových bitov na zbernici) a v prípade  $QT-P \rightarrow 1$  ( $QT-P=1$  je podmienkou nastavenia  $BZV$  do režimu zápisu z  $BVRV$ ) sa aktivujú  $QO-P \rightarrow 0$  a  $QO-S \rightarrow 1$  a ak  $V=1$  a  $QI-S \rightarrow 1$  ( $QI-S=1$  je podmienka, že nasledujúca  $BZV$  je v zreťazenom režime (prechádza  $BZV$  do režimu zápisu z  $BVRV$ ). Po zápise do  $BZV$  (aktivuje sa úroveň "H" na jednom z dvoch výstupných signálov  $AO-S$ ,  $BO-S$ ),  $ACKO-P \rightarrow 0$ ,  $ACKO-P \rightarrow 1$ , následne  $QO-P \rightarrow 1$ ,  $QO-S \rightarrow 0$  a  $BZV$  opäť prechádza do zreťazenia režimu, v ktorom zostáva až kým sa neaktivuje nový signál  $DAVX \rightarrow 1$ . Ďalšia činnosť n-SAV vyplýva opäť z obr. 1, v prípade  $V=1$  môže sa aktivovať vstupný signál  $DAVX \rightarrow 1$  a následne  $W \rightarrow 1$ , po zápise údajových bitov do buniek  $BVRV$ ,  $V \rightarrow 0$  podľa vzťahu (1)

$$\bar{V} = \bar{W} \bigwedge_{i=0}^{n-1} \bar{E}_i + \bar{V} / \bar{DAVX} + \bar{Q} / + \bar{V} \bigvee_{i=0}^{n-1} x_i E_i \quad (1)$$

kde  $\bigwedge_{i=0}^{n-1} \overline{E_i} = 1$  reprezentuje "prazdny" vyrovnávajúci register

$\underline{0} = 1$  pripravenie n-SAV uskutočniť sériové vysielanie

$\bigvee_{i=0}^{n-1} x_i \overline{E_i} = 0$  zápis n-bitového znaku do buniek vyrovnávajúceho registra

Vzťah (1) interpretuje blok BC.

Po aktivovaní  $\underline{DAVX} \rightarrow 1$  postupne sa aktivujú signály  $\overline{Q_{n-1}} \rightarrow 1 \Rightarrow Q_{n-2} \rightarrow 1 \Rightarrow \dots \Rightarrow Q_0 \rightarrow 1$  / $\Rightarrow$  reprezentuje následné aktivovanie/, ktoré sú podmienkou pre nastavenie buniek  $\underline{BZV}$  do režimu zápisu z buniek  $\underline{BVRV}$ .  $\underline{0} = \overline{Q_0} = 1$  reprezentuje pripravenosť n-SAV pre sériové vysielanie. V prípade, že prijímač je pripravený prijať sériovú informáciu na linkách  $\underline{CH1}$  a  $\underline{CHO}$  (linkou  $\underline{CH1}$  je prenášaná logická hodnota 1 a linkou  $\underline{CHO}$  logická hodnota 0)  $\underline{CHACK} \rightarrow 1$ , čo spôsobí aktivovanie jedného zo signálov  $\underline{CH1}$ ,  $\underline{CHO}$  do hodnoty 1.  $\Rightarrow \underline{ACK_0} \rightarrow 0 \Rightarrow Q_0 \rightarrow 1$  (bunka  $\underline{BZV}$  nulbloku  $\underline{B_0}$  je v zretázenom režime) a  $Q_0$  na vstupe  $\underline{QI-S}$  prvého bloku  $\underline{B_1}$  prepne bunku  $\underline{BZV}$  prvého bloku  $\underline{B_1}$  do režimu zápisu z  $\underline{BVRV}$  a tak umožní prípravu ďalšieho údajového bitu na vysielanie. Súčasne s vysielaním údajového bitu na linkách  $\underline{CH1}$  a  $\underline{CHO}$  sa pripravuje "pauza" pre vysielanie (úroveň "L" na  $\underline{a_1}$  a  $\underline{b_1}$ ) pre rozlíšenie ďalšieho údajového bitu, "Pauza" sa vysielala ak  $\underline{CHACK} \rightarrow 0$ , súčasne s vysielaním "pauzy" sa pripravuje na vysielanie ďalší údajový bit a teda ak  $\underline{CHACK} \rightarrow 1$  aktivuje sa vysielanie ďalšieho údajového bitu, to znamená, že počas vysielania "pauzy" sa aktivuje signál  $\underline{ACK_0} \rightarrow 1$ , ktorý na vstupe  $\underline{ACKI-S}$  prvého bloku  $\underline{B_1}$  umožní aktivovanie jedného z dvoch signálov  $\underline{a_1}$ ,  $\underline{b_1}$  do hodnoty 1, teda postupne sa aktivujú signály:

Ak  $\underline{ACK_{i-1}} = 1$ ,  $Q_{i-1} = 1$ ,  $\overline{Q_i} = 1 \Rightarrow \underline{a_i} = \underline{E_i}$ ,  $\underline{b_i} = \overline{E_i}$  (t.j. aktivuje sa jeden z dvoch signálov  $\underline{a_i} \rightarrow 1$  alebo  $\underline{b_i} \rightarrow 1$ )  $\Rightarrow \underline{ACK_i} \rightarrow 0 \Rightarrow Q_i \rightarrow 1 \Rightarrow$  ak  $\underline{a_{i-1}} = 0$ ,  $\underline{b_{i-1}} = 0$  "pauza" na  $\underline{a_{i-1}}$ ,  $\underline{b_{i-1}}$   $\Rightarrow \underline{a_{i-1}} = \underline{a_i}$ ,  $\underline{b_{i-1}} = \underline{b_i} \Rightarrow \underline{a_i} \rightarrow 0$  alebo  $\underline{b_i} \rightarrow 0$  ("pauza" na  $\underline{a_i}$ ,  $\underline{b_i}$ )  $\Rightarrow \underline{ACK_i} \rightarrow 1$ , pre  $i = 1, 2, \dots, n-1$ .

Na obr. 3 sú časové priebehy významných signálov vysielateľa:  $x_0 = x/0/$ ,  $x_1 = x/1/$ ,  $x_2 = x/2/$ ,  $\underline{DAVX}$ ,  $\underline{REQ} = \underline{V}$ ,  $\underline{CH1}$ ,  $\underline{CHO}$ ,  $\underline{CHACK}$ , pre názornosť je uvedené vysielanie troch trojbitových slov  $x_2 x_1 x_0$ : 000, 001, 010.

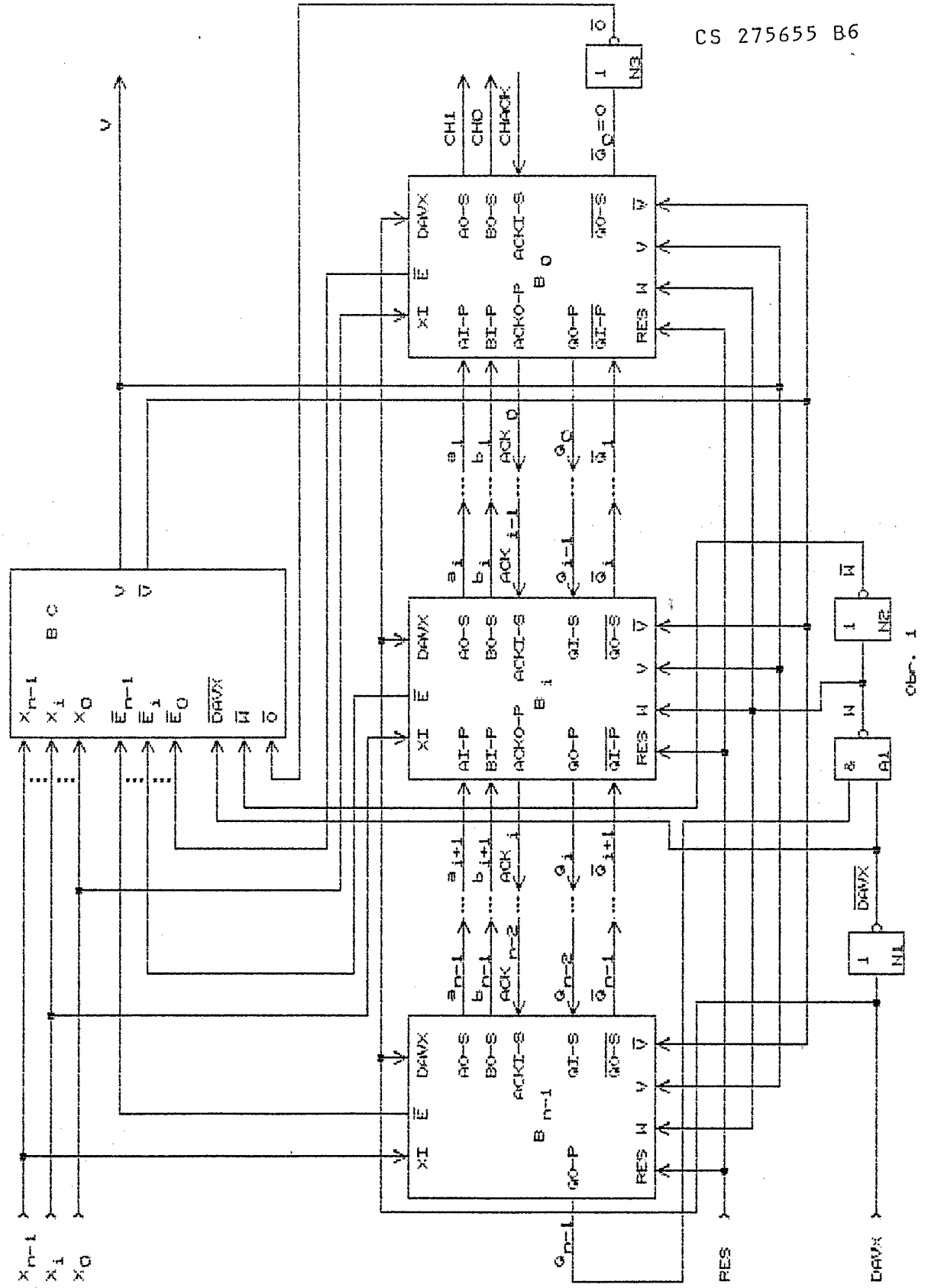
Vynález môže nájsť uplatnenie v počítačových systémoch (pri realizovanom zapojení formou integrovaného obvodu podľa obr. 1, 2), napr. pri realizácii rýchlych sériových prepojení voľne viazaných multiprocesorov, rýchlych sériových kanálov počítačov, ako možný variant náhrady paralelných kanálov v počítačoch s rýchlymi sériovými kanálmi a taktiež ako rýchly sériový kanál (vstavaný) v jednočipových mikropočítačoch.

## P A T E N T O V É N Ā R Ů K Y

Zapojenie na prevod paralelného formátu znaku na sériovú postupnosť bitov, vyznačujúce sa tým, že prvé signálové vstupy ( $x_i$ ) zapojenia ako výstupy z údajovej zbernice sú totožné s prvými vstupmi ( $x_i$ ) bloku (BC) riadenia pripojenia na štandardné zbernicové systémy a zároveň sú pripojené na prvé vstupy (XI) základných i-blokov ( $B_i$ ) pre  $i = 0, 1, \dots, n-1$ , druhé signálové vstupy (DAVX, RES) zapojenia platnosti údajových bitov na zbernici a nulovania sú totožné s druhými vstupmi (DAVX, RES) i-blokov ( $B_i$ ), druhý signálový vstup (DAVX) zapojenia platnosti údajových bitov na zbernici je pripojený na vstup prvého logického člena (N1) typu invertor, tretí signálový vstup (CHACK) zapojenia ako potvrdenie prijatia údajového bitu prijímačom je pripojený na prvý vstup (ACKI-S) nultého bloku ( $B_0$ ) zo strany sériového kanála, výstupy (V,  $\bar{V}$ ) bloku (BC) riadenia pripojenia na štandardné zbernicové systémy sú totožné so štvrtými vstupmi (V,  $\bar{V}$ ) i-blokov ( $B_i$ ), signálový výstup (V) žiadosti o nový n-bitový znak je prvým výstupom zapojenia, druhý signálový výstup (CHI) zapojenia ako vstup sériového kanála je pripojený na prvý výstup (AO-S) nultého bloku ( $B_0$ ) zo strany sériového kanála, tretí signálový výstup (CHO) zapojenia ako vstup sériového kanála je pripojený na druhý výstup (BO-S) nultého bloku ( $B_0$ ) zo strany sériového kanála, výstup prvého logického člena (N1) typu invertor je pripojený na prvý vstup dvojvstupového logického člena (A1) typu NAND a na tretí vstup (DAVX) bloku (BC) riadenia pripojenia na štandardné zbernicové systémy, výstup (QO-P) n-1-ho bloku ( $B_{n-1}$ ) je pripojený na druhý vstup dvojvstupového logického člena (A1) signálovým výstupom ( $Q_{n-1}$ ) ukončenia zápisu n-1-ho údajového bitu do bunky zreťazenia n-1-ho bloku ( $B_{n-1}$ ), výstup dvojvstupového logického člena (A1) je pripojený na tretie vstupy (W) zápisu do buniek vyrovnávajúceho registra i-blokov ( $B_i$ ) a na vstup druhého logického člena (N2) typu invertor, výstup druhého logického člena (N2) typu invertor je pripojený na štvrtý vstup (W) bloku (BC) riadenia pripojenia na štandardné zbernicové systémy, druhý výstup ( $\bar{QO-S}$ ) nultého bloku ( $B_0$ ) zo strany sériového kanála je pripojený na vstup tretieho logického člena (N3) typu invertor signálovým výstupom (O) pripravenosti vysielania, výstup tretieho logického člena (N3) typu invertor je pripojený na piaty vstup ( $\bar{O}$ ) bloku (BC) riadenia pripojenia na štandardné zbernicové systémy, výstupy buniek vyrovnávajúcich registrov ( $\bar{E}$ ) i-blokov ( $B_i$ ) sú pripojené na druhé vstupy ( $\bar{E}_i$ ) bloku (BC) riadenia pripojenia na štandardné zbernicové systémy, prvý vstup (AI-P) i-bloku ( $B_i$ ) je pripojený na prvý výstup (AO-S) i+1-ho bloku ( $B_{i+1}$ ) signálovým vstupom prvej vnútornej sériovej linky ( $a_{i+1}$ ) pre  $i = 0, 1, \dots, n-2$ , druhý vstup (BI-P) i-bloku ( $B_i$ ) je pripojený na druhý výstup (BO-S) i+1-ho bloku ( $B_{i+1}$ ) signálovým vstupom druhej vnútornej sériovej linky ( $b_{i+1}$ ), tretí vstup ( $\bar{QI-P}$ ) i-bloku je pripojený na tretí výstup ( $\bar{QO-S}$ ) i+1-ho bloku ( $B_{i+1}$ ) signálovým vstupom ( $\bar{Q}_{i+1}$ ) podmienky nastavenia režimu zápisu z bunky vyrovnávajúceho registra do bunky zreťazenia i+1-ho bloku ( $B_{i+1}$ ), prvý výstup (ACKO-P) i-bloku ( $B_i$ ) je pripojený na prvý vstup (ACKI-S) i+1-ho bloku ( $B_{i+1}$ ) signálovým výstupom ( $ACK_i$ ) žiadosti o údajový bit z i+1-ho bloku ( $B_{i+1}$ ), druhý výstup (QO-P) i-bloku ( $B_i$ ) je pripojený na druhý vstup (QI-S) i+1-ho bloku ( $B_{i+1}$ ) signálovým výstupom ( $Q_i$ ) nastavenia režimu zreťazenia i-bloku ( $B_i$ ), pričom prvé signálové vstupy (W, XI, V) i-bloku ( $B_i$ ) pre  $i = 0, 1, \dots, n-1$  sú pripojení na vstupy (W, XI, VI) bunky (BVRV) vyrovnávajúceho registra vysielateľa, výstupy (EO,  $\bar{EO}$ ) bunky (BVRV) vyrovnávajúceho registra vysielateľa sú pripojené na druhé vstupy (EI,  $\bar{EI}$ ) bunky (BZV) zreťazenia vysielateľa, druhé signálové vstupy (AI-P, BI-P, ACKI-S, QI-S,  $\bar{V}$ , RES) sú pripojené na prvé vstupy (AI, BI, ACKI, QI-BZ,  $\bar{VI}$ , RES) bunky (BZV) zreťazenia vysielateľa, výstupy (QO,  $\bar{QO}$ ) bunky (BRV) ria-

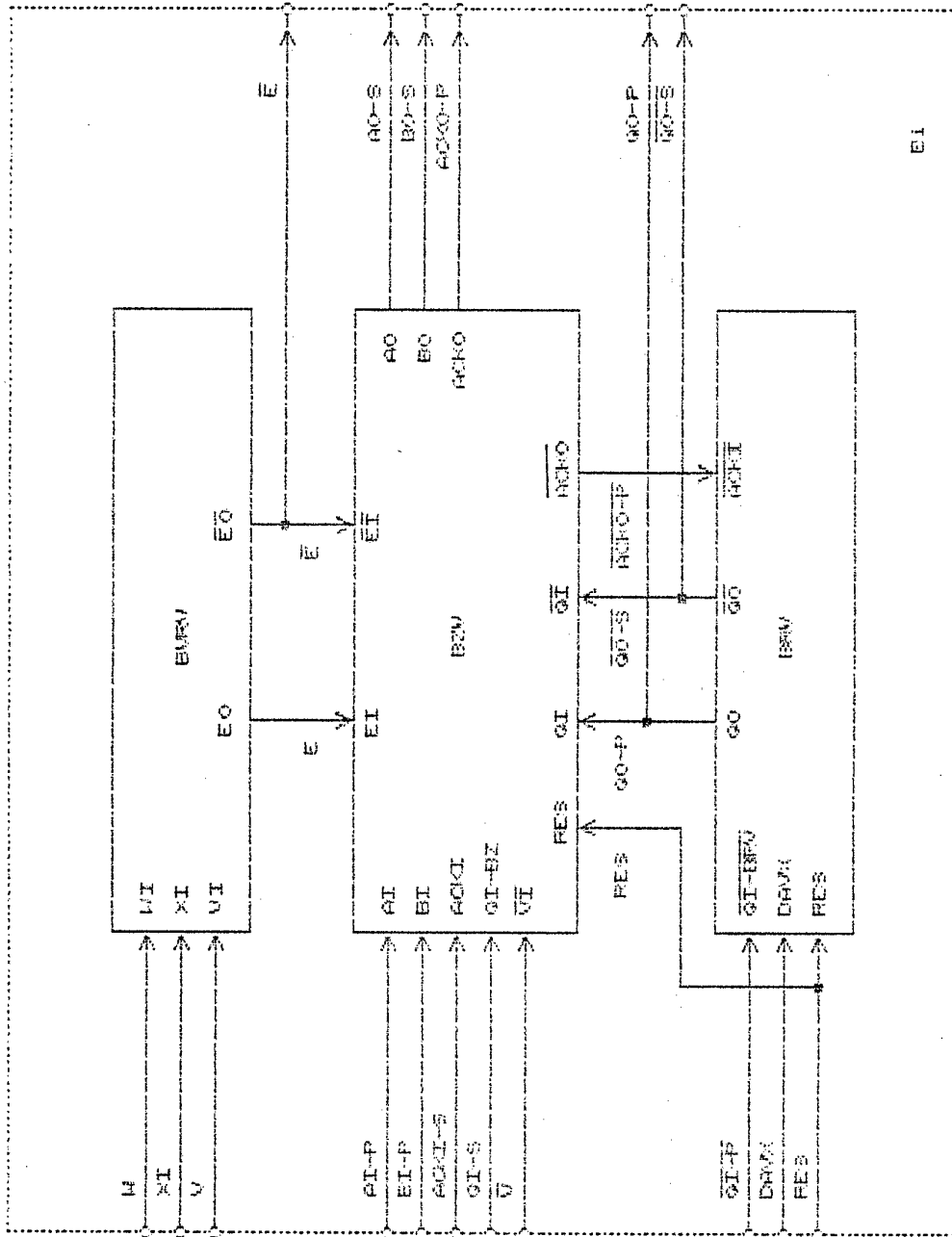
denia vysielaca sú pripojené na tretie vstupy ( $QI$ ,  $\overline{QI}$ ) bunky (BZV) zreťazenia vysielaca, prvé výstupy (AO, BO, ACKO) bunky (BZV) zreťazenia vysielaca sú pripojené na výstupy (AO-S, BO-S, ACKO-P) i-bloku ( $B_1$ ), druhý výstup ( $\overline{ACKO}$ ) bunky (BZV) zreťazenia vysielaca je pripojený na druhý vstup ( $\overline{ACKI}$ ) bunky (BRV) riadenia vysielaca, tretie signálové vstupy ( $\overline{QI-P}$ , DAVX, RES) i-bloku ( $B_1$ ) sú pripojené na prvé vstupy ( $\overline{QI-BRV}$ , DAVX, RES) bunky (BRV) riadenia vysielaca.

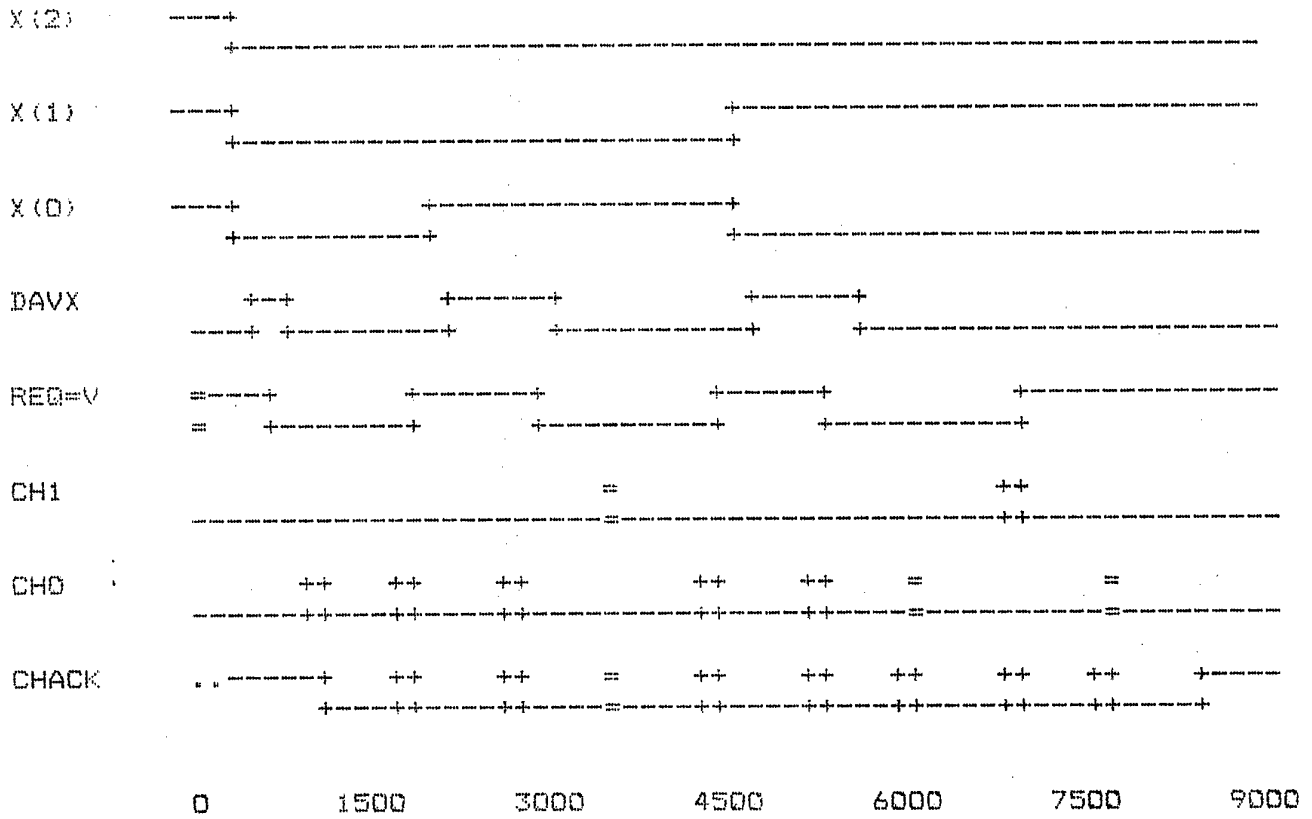
3 výkresy



Obv. 1







Obv. 3.