

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 7 部門第 2 区分  
 【発行日】平成 21 年 1 月 22 日 (2009.1.22)

【公表番号】特表 2008-522441 (P2008-522441A)  
 【公表日】平成 20 年 6 月 26 日 (2008.6.26)  
 【年通号数】公開・登録公報 2008-025  
 【出願番号】特願 2007-544490 (P2007-544490)  
 【国際特許分類】

H 0 1 L 29/78 (2006.01)

【F I】

H 0 1 L 29/78 3 0 1 G

H 0 1 L 29/78 3 0 1 S

【手続補正書】

【提出日】平成 20 年 12 月 1 日 (2008.12.1)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

ゲート電極を定義するためにステップおよびスキャン露出ツールとパターン・レチクルとを使用して、サイドウォールを有するゲート電極を形成するステップと、

サイドウォールスペーサを定義するために前記同一の露出ツールと、前記ゲート電極を形成するステップにおいて使用されるのと同じパターン・レチクルを使用して、前記ゲート電極の前記サイドウォール上にサイドウォールスペーサを形成するステップと、

を含む、半導体アレンジメントを形成する方法。

【請求項 2】

前記サイドウォールスペーサを形成するステップは、前記ゲート電極上にスペーサ層を積するステップと、前記パターン・レチクルによって定義された前記スペーサ層上にフォトリソマスクを形成するステップと、を含む、請求項 1 記載の方法。

【請求項 3】

前記フォトリソマスクにしたがって前記サイドウォールスペーサを形成するように、前記スペーサ層を非対称にエッチングするステップをさらに含む、請求項 2 記載の方法。

【請求項 4】

その上に前記ゲート電極が形成される基板上に選択的エピタキシャル成長を実行するステップをさらに含んでおり、

前記サイドウォールスペーサは、前記選択的エピタキシャル成長を実行する間に選択的エピタキシャル成長から前記ゲート電極の前記サイドウォールを保護する、請求項 3 記載の方法。

【請求項 5】

前記ゲート電極の前記サイドウォール上の前記サイドウォールスペーサは、対称な幅を有する、請求項 4 記載の方法。

【請求項 6】

前記ゲート電極の前記サイドウォール上の前記サイドウォールスペーサは、非対称な幅を有する、請求項 4 記載の方法。

【請求項 7】

前記サイドウォールスペーサを形成する際、前記露出ツールの配列をオフセットするステップをさらに含む、請求項 6 記載の方法。

【請求項 8】

前記オフセットするステップは、前記露出ツールの配列パラメータにオフセット値を加えるステップを含む、請求項 7 記載の方法。

【請求項 9】

サイドウォールを有するゲート電極を形成するステップと、

前記ゲート電極上にスペーサ層をたい積し、前記スペーサ層上にパターン・レジストマスクを形成し、前記パターン・レジストマスクに従って前記スペーサ層をエッチングすることによって、前記サイドウォール上にサイドウォールスペーサを形成するステップと、を含む、

前記ゲート電極を形成するステップは、露出ツールおよびパターン・レチクルで前記ゲート電極を定義するステップを含んでおり、

前記サイドウォールスペーサを形成するステップは、同一の前記露出ツールおよび前記パターン・レチクルを使用して、前記パターン・レジストマスクを定義するステップを含んでいる、半導体製造中にサイドウォールスペーサ・ディメンションを制御する方法。

【請求項 10】

前記サイドウォールスペーサは、対称である、請求項 9 記載の方法。

【請求項 11】

前記サイドウォールスペーサは、非対称である、請求項 9 記載の方法。

【請求項 12】

前記非対称のサイドウォールスペーサを形成するステップは、前記露出ツールの配列をオフセットするステップをさらに含む、請求項 11 記載の方法。