



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0020976
(43) 공개일자 2014년02월19일

- (51) 국제특허분류(Int. Cl.)
H01L 29/78 (2006.01) *H01L 21/336* (2006.01)
- (21) 출원번호 10-2013-7028281
- (22) 출원일자(국제) 2012년03월23일
심사청구일자 없음
- (85) 번역문제출일자 2013년10월25일
- (86) 국제출원번호 PCT/JP2012/057515
- (87) 국제공개번호 WO 2012/165008
국제공개일자 2012년12월06일
- (30) 우선권주장
JP-P-2011-123076 2011년06월01일 일본(JP)

- (71) 출원인
스미토모덴키고교가부시키가이샤
일본 오사카후 오사카시 쥬오쿠 기타하마 4쵸메
5반33고
- (72) 별명자
호나가 미사코
일본 5540024 오사카후 오사카시 고노하나쿠 시마
야 1-1-3 스미토모덴키고교가부시키가이샤 오사카
세이사쿠쇼 나이
마스다 다케요시
일본 5540024 오사카후 오사카시 고노하나쿠 시마
야 1-1-3 스미토모덴키고교가부시키가이샤 오사카
세이사쿠쇼 나이
(뒷면에 계속)
- (74) 대리인
송승필, 강승옥

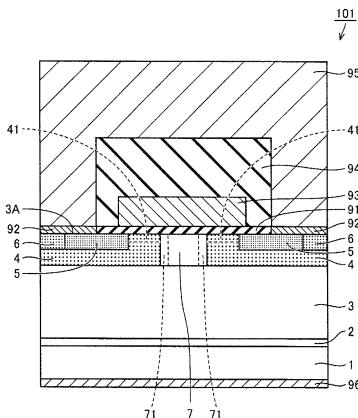
전체 청구항 수 : 총 7 항

(54) 발명의 명칭 탄화규소 반도체 장치 및 그 제조 방법

(57) 요 약

드리프트층(3)은, 전류가 관통하는 두께 방향을 가지며, 제1 도전형의 불순물 농도(N_{1d})를 갖는다. 보디 영역(4)은, 드리프트층(3)의 일부 상에 마련되고, 게이트 전극(93)에 의해 스위칭되는 채널(41)을 가지며, 제1 도전형의 불순물 농도(N_{1b})와, 불순물 농도(N_{1b})보다도 큰 제2 도전형의 불순물 농도(N_{2b})를 갖는다. JFET 영역(7)은, 드리프트층(3) 상에 있어서 보디 영역(4)에 인접하고, 제1 도전형의 불순물 농도(N_{1j})와, 불순물 농도(N_{1j})보다도 작은 제2 도전형의 불순물 농도(N_{2j})를 갖는다. $N_{1j}-N_{2j}>N_{1d}$ 또한 $N_{2j}<N_{2b}$ 가 충족된다.

대 표 도 - 도1



(72) 발명자

와다 게이지

일본 5540024 오사카후 오사카시 고노하나쿠 시마
야 1-1-3 스미토모덴키고교가부시키가이샤 오사카
세이사쿠쇼 나이

히요시 도루

일본 5540024 오사카후 오사카시 고노하나쿠 시마
야 1-1-3 스미토모덴키고교가부시키가이샤 오사카
세이사쿠쇼 나이

특허청구의 범위

청구항 1

전류를 스위칭하기 위한 게이트 전극(93)을 갖는 탄화규소 반도체 장치(101)로서,

상기 전류가 관통하는 두께 방향을 가지며, 제1 도전형의 불순물 농도(N_{1d})를 갖는 드리프트층(3)과,

상기 드리프트층의 일부 상에 마련되고, 상기 게이트 전극에 의해 스위칭되는 채널(41)을 가지며, 상기 제1 도전형의 불순물 농도(N_{1b})와, 상기 불순물 농도(N_{1b})보다도 큰 제2 도전형의 불순물 농도(N_{2b})를 갖는 보디 영역(4)과,

상기 드리프트층 상에 있어서 상기 보디 영역에 인접하고, 상기 제1 도전형의 불순물 농도(N_{1j})와, 상기 불순물 농도(N_{1j})보다도 작은 상기 제2 도전형의 불순물 농도(N_{2j})를 가지며, $N_{1j}-N_{2j} > N_{1d}$ 또한 $N_{2j} < N_{2b}$ 를 충족시키는 JFET 영역(7)

을 구비하는 탄화규소 반도체 장치.

청구항 2

제1항에 있어서, $N_{1j}-N_{2j} \leq N_{2b}-N_{1b}$ 가 충족되는 것인 탄화규소 반도체 장치.

청구항 3

제1항 또는 제2항에 있어서, $N_{1j}=N_{1b}$ 가 충족되는 것인 탄화규소 반도체 장치.

청구항 4

제1항 또는 제2항에 있어서, $N_{1d}=N_{1b}$ 가 충족되는 것인 탄화규소 반도체 장치.

청구항 5

전류를 스위칭하기 위한 게이트 전극(93)을 갖는 탄화규소 반도체 장치(101)의 제조 방법으로서,

상기 전류가 관통하는 두께 방향을 가지며, 제1 도전형의 불순물 농도(N_{1d})를 갖는 드리프트층(3)을 형성하는 공정과,

상기 드리프트층의 일부 상에, 상기 게이트 전극에 의해 스위칭되는 채널(41)을 가지며, 상기 제1 도전형의 불순물 농도(N_{1b})와, 상기 불순물 농도(N_{1b})보다도 큰 제2 도전형의 불순물 농도(N_{2b})를 갖는 보디 영역(4)을 형성하는 공정과,

상기 드리프트층 상에 있어서 상기 보디 영역에 인접하고, 상기 제1 도전형의 불순물 농도(N_{1j})와, 상기 불순물 농도(N_{1j})보다도 작은 상기 제2 도전형의 불순물 농도(N_{2j})를 가지며, $N_{1j}-N_{2j} > N_{1d}$ 또한 $N_{2j} < N_{2b}$ 를 충족시키는 JFET 영역(7)을 형성하는 공정

을 포함하는 탄화규소 반도체 장치의 제조 방법.

청구항 6

제5항에 있어서, 상기 JFET 영역을 형성하는 공정은, 상기 드리프트층 상에 상기 제1 도전형의 에피택셜층(70)을 성장시키는 공정을 포함하는 것인 탄화규소 반도체 장치의 제조 방법.

청구항 7

제5항에 있어서, 상기 JFET 영역을 형성하는 공정은, 상기 드리프트층에 상기 제1 도전형의 불순물을 이온 주입하는 공정을 포함하는 것인 탄화규소 반도체 장치의 제조 방법.

명세서

기술분야

[0001] 본 발명은 탄화규소 반도체 장치 및 그 제조 방법에 관한 것이다.

배경기술

[0002] 최근, 탄화규소를 이용한 종형 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)의 제조 방법의 검토가 행해지고 있다.

[0003] 일본 특허 공개 제2009-158788호 공보(특허문현 1)에 의해 개시된 한 방법에 따르면, 우선, 제1 도전형을 갖는 반도체로 이루어진 기판이 준비된다. 기판 상에 원료 가스 및 제1 도전형의 도편트 가스를 도입하여, 기상 반응에 의해 베퍼층이 에피택셜 성장된다. 베퍼층 상에 원료 가스 및 제1 도전형의 도편트 가스를 도입하여, 기상 반응에 의해 드리프트층이 에피택셜 성장된다. 드리프트층 표면에 제2 도전형의 불순물을 이온 주입하여, 보디 영역이 형성된다. 보디 영역 내에 제1 도전형의 불순물을 이온 주입하여, 소스 영역이 형성된다.

[0004] 또한, 일본 특허 공개 제2011-023757호 공보(특허문현 2)에 의해 개시된 한 방법에 따르면, p형 층이 퇴적되고, 다음에, 마스크를 이용한 선택적인 n형 불순물 이온 주입이 p형 층에 대하여 행해짐으로써, p형 층의 일부가 n형 영역이 된다. 이에 따라, p형 웨이팅 사이에 끼워진 n형 영역이 형성된다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 특허문헌 1 : 일본 특허 공개 제2009-158788호 공보

(특허문헌 0002) 특허문헌 2 : 일본 특허 공개 제2011-023757호 공보

발명의 내용

해결하려는 과제

[0006] 일본 특허 공개 제2009-158788호 공보에 의해 개시된 상기 방법에 따르면, MOSFET에 있어서, JFET(Junction Field Effect Transistor)와 동일한 원리에 의해, p형 보디 영역으로부터 연장되는 공핍층에 의해, 드리프트층을 흐르는 전류의 경로가 좁혀진다. 이 때문에, MOSFET의 온 저항을 충분히 작게 하는 것이 곤란하다.

[0007] 또한, 일본 특허 공개 제2011-023757호 공보에 의해 개시된 상기 방법에 따르면, 이온 주입에 의해 p형에서 n형으로 도전형이 반전된 부분이 드리프트층의 표면층을 구성한다. 이 부분은, 탄화규소에 p형을 부여하기 위한 불순물(p형 불순물이라고도 칭함)과, p형 불순물의 농도보다도 높은 농도로 도핑된, 탄화규소에 n형을 부여하기 위한 불순물(n형 불순물이라고도 칭함)을 갖는다. 이 경우, 서로 상쇄되는 p형 불순물 및 n형 불순물은, 도전형의 부여에 기여하지 않음에도 불구하고, 탄화규소 내의 총 불순물 농도를 높여 버린다. 즉 탄화규소 내의 불순물 농도가 불필요하게 높아지고, 이 결과, 탄화규소 내를 흐르는 캐리어가 불순물 산란되는 빈도가 증대한다. 이 때문에, MOSFET의 온 저항을 충분히 작게 하는 것이 곤란하다.

[0008] 본 발명은 이러한 과제에 대응하기 위해서 이루어진 것으로서, 그 목적은, 온 저항을 저감할 수 있는 탄화규소 반도체 장치 및 그 제조 방법을 제공하는 것이다.

과제의 해결 수단

[0009] 본 발명의 탄화규소 반도체 장치는, 전류를 스위칭하기 위한 게이트 전극을 갖는 것으로서, 드리프트층과, 보디 영역과, JFET 영역을 갖는다. 드리프트층은, 전류가 관통하는 두께 방향을 가지며, 제1 도전형의 불순물 농도(N_{1d})를 갖는다. 보디 영역은, 드리프트층의 일부 상에 마련되고, 게이트 전극에 의해 스위칭되는 채널을 가지며, 제1 도전형의 불순물 농도(N_{1b})와, 불순물 농도(N_{1b})보다도 큰 제2 도전형의 불순물 농도(N_{2b})를 갖는다. JFET 영역은, 드리프트층 상에 있어서 보디 영역에 인접하고, 제1 도전형의 불순물 농도(N_{1j})와, 불순물 농도

(N_{1j})보다도 작은 제2 도전형의 불순물 농도(N_{2j})를 갖는다. $N_{1j}-N_{2j} > N_{1d}$ 또한 $N_{2j} < N_{2b}$ 가 충족된다.

[0010] 본 발명의 탄화규소 반도체 장치에 따르면, $N_{1j}-N_{2j} > N_{1d}$ 가 충족된다. 즉 드리프트층의 불순물 농도에 비하여 JFET 영역의 실질적인 불순물 농도가 높아진다. 이에 따라, JFET 영역에 있어서의 공핍층의 확대를 억제할 수 있기 때문에, JFET 영역에 있어서의 전류 경로를 보다 넓게 확보할 수 있다.

[0011] 또한, $N_{2j} < N_{2b}$ 가 충족된다. 즉 JFET 영역에 있어서 실질적으로 도전형의 부여에 기여하지 않는 제2 도전형의 불순물 농도(N_{2j})가 작아진다. 이에 따라, JFET 영역을 흐르는 캐리어가 불순물 산란되는 빈도가 억제되기 때문에, JFET 영역의 저항률이 작아진다.

[0012] 상기한 바와 같이 본 발명의 탄화규소 반도체 장치에 따르면, JFET 영역에 있어서의 전류 경로가 넓고, 또한 JFET 영역의 저항률이 작다. 이 결과, JFET 영역의 전기 저항이 작아진다. 따라서, 탄화규소 반도체 장치의 온 저항을 작게 할 수 있다.

[0013] 상기한 탄화규소 반도체 장치에 있어서 $N_{1j}-N_{2j} < N_{2b}-N_{1b}$ 가 충족되어도 좋다. 이에 따라 보디 영역에 있어서의 실질적인 불순물 농도가 높아진다. 따라서, 보디 영역에 있어서의 공핍층의 확대가 억제되기 때문에, 오프 내압이 개선된다.

[0014] 상기한 탄화규소 반도체 장치에 있어서 $N_{1j}=N_{1b}$ 가 충족되어도 좋다. 이에 따라 JFET 영역의 제1 도전형의 불순물 농도와, 보디 영역의 제1 도전형의 불순물 농도가 같아진다. 따라서, 탄화규소 반도체 장치의 제조에 있어서, 제1 도전형의 불순물 농도(N_{1j})를 갖는 에피택셜층의 일부를 이용하여 JFET 영역을 형성하고, 또한 이 층의 타부에 대하여 제2 도전형의 불순물을 이온 주입함으로써 보디 영역을 형성할 수 있다. 따라서, JFET 영역을, 이온 주입을 이용하지 않고 형성할 수 있기 때문에, JFET 영역에 있어서 이온 주입에 따른 결정 결함이 발생하는 것을 피할 수 있다. 이에 따라, 온 저항을 보다 작게 할 수 있다.

[0015] 상기한 탄화규소 반도체 장치에 있어서 $N_{1d}=N_{1b}$ 가 충족되어도 좋다. 이에 따라, 보디 영역의 제1 도전형의 불순물 농도가, 드리프트층의 제1 도전형의 불순물 농도와 동일하게 취급된다. 따라서, 보디 영역의 제1 불순물 농도가 드리프트층의 제1 도전형의 불순물 농도보다도 커지는 것을 피할 수 있다. 즉, 보디 영역에 있어서 실질적으로 도전형의 부여에 기여하지 않는 제1 도전형의 불순물 농도의 증대를 피할 수 있다. 이에 따라, 보디 영역 안을 흐르는 캐리어의 불순물 산란이 억제되기 때문에, 탄화규소 반도체 장치의 온 저항을 보다 작게 할 수 있다.

[0016] 본 발명의 탄화규소 반도체 장치의 제조 방법은, 전류를 스위칭하기 위한 게이트 전극을 갖는 탄화규소 반도체 장치의 제조 방법으로서, 이하의 공정을 갖는다.

[0017] 전류가 관통하는 두께 방향을 가지며, 제1 도전형의 불순물 농도(N_{1d})를 갖는 드리프트층이 형성된다. 드리프트층의 일부 상에, 게이트 전극에 의해 스위칭되는 채널을 가지며, 제1 도전형의 불순물 농도(N_{1b})와, 불순물 농도(N_{1b})보다도 큰 제2 도전형의 불순물 농도(N_{2b})를 갖는 보디 영역이 형성된다. 드리프트층 상에 있어서 보디 영역에 인접하고, 제1 도전형의 불순물 농도(N_{1j})와, 불순물 농도(N_{1j})보다도 작은 제2 도전형의 불순물 농도(N_{2j})를 가지며, $N_{1j}-N_{2j} > N_{1d}$ 또한 $N_{2j} < N_{2b}$ 를 충족하는 JFET 영역이 형성된다.

[0018] 본 발명의 탄화규소 반도체 장치의 제조 방법에 따르면, $N_{1j}-N_{2j} > N_{1d}$ 가 충족된다. 즉 드리프트층의 불순물 농도에 비하여, JFET 영역의 실질적인 불순물 농도가 높아진다. 이에 따라, JFET 영역에 있어서의 공핍층의 확대를 억제할 수 있기 때문에, JFET 영역을 흐르는 전류 경로가 넓어진다.

[0019] 또한, $N_{2j} < N_{2b}$ 가 충족된다. 즉 JFET 영역에 있어서 실질적으로 도전형의 부여에 기여하지 않는 제2 도전형의 불순물 농도(N_{2j})가 작아진다. 이에 따라, JFET 영역을 흐르는 캐리어의 불순물 산란이 억제되기 때문에, JFET 영역의 저항률이 작아진다.

[0020] 상기한 바와 같이 본 발명의 탄화규소 반도체 장치의 제조 방법에 따르면, JFET 영역에 있어서의 전류 경로가 넓고, 또한 JFET 영역의 저항률이 작기 때문에, JFET 영역의 전기 저항이 작아진다. 이에 따라 탄화규소 반도체 장치의 온 저항을 작게 할 수 있다.

[0021] 상기한 탄화규소 반도체 장치의 제조 방법에 있어서, JFET 영역이 형성될 때에, 드리프트층 상에 제1 도전형의

에 페택설층이 성장되어도 좋다. 이에 따라, 이온 주입을 이용하지 않고 JFET 영역을 형성할 수 있기 때문에, JFET 영역에 있어서 이온 주입에 따른 결정 결함이 발생하는 것을 피할 수 있다. 이에 따라, 온 저항을 보다 작게 할 수 있다.

[0022] 상기한 탄화규소 반도체 장치의 제조 방법에 있어서, JFET 영역이 형성될 때에, 드리프트층으로 제1 도전형의 불순물이 이온 주입되어도 좋다. 이에 따라, 드리프트층 상에 있어서 제1 도전형의 불순물 농도가 높아지는 부분을, 불순물 이온의 국소적 주입에 의해 선택할 수 있다. 따라서, 보디 영역의 위치에 있어서의 제1 도전형의 불순물 농도의 증대를 피할 수 있다. 즉, 보디 영역에 있어서 실질적으로 도전형의 부여에 기여하지 않는 제1 도전형의 불순물 농도의 증대를 피할 수 있다. 이에 따라, 보디 영역 안을 흐르는 캐리어의 불순물 산란이 억제되기 때문에, 탄화규소 반도체 장치의 온 저항을 보다 작게 할 수 있다.

발명의 효과

[0023] 이상의 설명으로부터 밝혀진 바와 같이, 본 발명에 따르면, 탄화규소 반도체 장치의 온 저항을 작게 할 수 있다.

도면의 간단한 설명

[0024] 도 1은 본원 발명의 실시형태 1에 있어서의 탄화규소 반도체 장치로서의 MOSFET의 구성을 개략적으로 도시한 단면도이다.

도 2는 도 1의 MOSFET의 제조 방법을 개략적으로 도시한 흐름도이다.

도 3은 도 1의 MOSFET의 제조 방법의 제1 공정을 개략적으로 도시한 단면도이다.

도 4는 도 1의 MOSFET의 제조 방법의 제2 공정을 개략적으로 도시한 단면도이다.

도 5는 도 1의 MOSFET의 제조 방법의 제3 공정을 개략적으로 도시한 단면도이다.

도 6은 본원 발명의 실시형태 2에 있어서의 탄화규소 반도체 장치로서의 MOSFET의 구성을 개략적으로 도시한 단면도이다.

도 7은 도 6의 MOSFET의 제조 방법을 개략적으로 도시한 흐름도이다.

도 8은 도 6의 MOSFET의 제조 방법의 제1 공정을 개략적으로 도시한 단면도이다.

도 9는 도 6의 MOSFET의 제조 방법의 제2 공정을 개략적으로 도시한 단면도이다.

도 10은 도 6의 MOSFET의 제조 방법의 제3 공정을 개략적으로 도시한 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0025] 이하, 도면에 기초하여 본 발명의 실시형태를 설명한다. 또한, 이하의 도면에 있어서 동일 또는 상당하는 부분에는 동일한 참조 번호를 붙이고, 그 설명은 반복하지 않는다.

[0026] (실시형태 1)

도 1에 도시된 바와 같이, 본 실시형태의 탄화규소 반도체 장치는, 특히 전력용 반도체 장치로서 알맞은 MOSFET(101)이다. MOSFET(101)는, 보다 구체적으로는 종형 DiMOSFET(Double-Implanted MOSFET)이다. MOSFET(101)는, 탄화규소 기판(1)과, 버퍼층(2)과, 드리프트층(3)과, 한 쌍의 보디 영역(4)과, n^+ 영역(5)과, p^+ 영역(6)과, JFET 영역(7)과, 게이트 산화막(91)(게이트 절연막)과, 소스 컨택트 전극(92)과, 게이트 전극(93)과, 충간 절연막(94)과, 소스 배선(95)과, 드레인 전극(96)을 갖는다.

[0028] 드리프트층(3)은, 버퍼층(2)을 개재하여 탄화규소 기판(1)의 상면 상에 마련되어 있고, 전류가 관통하는 두께 방향(도 1에 있어서의 세로 방향)을 갖는다. 또한, 드리프트층(3)은, n 형(제1 도전형)의 불순물 농도(N_{1d})를 갖는다. 또한, 드리프트층(3)의 p 형(제2 도전형)의 불순물 농도는 실질적으로 제로이며, 무시할 수 있는 것이다. 따라서, 불순물 농도(N_{1d})가 드리프트층(3)의 실질적인 불순물 농도이다. 불순물 농도(N_{1d})는, 예컨대 $1 \times 10^{14} \text{ cm}^{-3}$ 이상 $1 \times 10^{17} \text{ cm}^{-3}$ 이하이다.

- [0029] 벼퍼층(2)은 드리프트층(3)과 동일한 도전형, 즉 n형을 갖는다. 탄화규소 기판(1)은 드리프트층(3)과 동일한 도전형, 즉 n형을 갖는다. n형 불순물은, 예컨대 N(질소)이다. 드리프트층(3)의 n형의 불순물 농도는 벼퍼층(2)의 n형의 불순물 농도보다도 작다.
- [0030] 한 쌍의 보디 영역(4)은, 드리프트층(3)의 일부 상에 있어서, 서로 분리되어 마련되어 있다. 각 보디 영역(4)은, 게이트 전극(93)에 의해 스위칭되는 채널(41)을 갖는다. 채널(41)의 길이, 즉 채널 길이는, 예컨대 $0.1 \mu\text{m}$ 이상 $1 \mu\text{m}$ 이하이다.
- [0031] 각 보디 영역(4)은, n형의 불순물 농도(N_{1b})와, 불순물 농도(N_{1b})보다도 큰 p형의 불순물 농도(N_{2b})를 갖는다. 즉 $N_{1b} < N_{2b}$ 가 충족되고 있고, 이에 따라 보디 영역(4)은 p형의 도전형을 갖는다. 보디 영역(4)의 p형 반도체로서의 실질적인 불순물 농도($N_{2b}-N_{1b}$)는, 예컨대 $5 \times 10^{16} \text{ cm}^{-3}$ 이상 $2 \times 10^{18} \text{ cm}^{-3}$ 이하이다. p형 불순물은, 예컨대 알루미늄(A1) 또는 붕소(B)이다. 보디 영역(4)의 두께는, 예컨대 $0.5 \mu\text{m}$ 이상 $1 \mu\text{m}$ 이하이다.
- [0032] n^+ 영역(5)은, 보디 영역(4)의 도전형과는 상이한 도전형, 즉 n형을 갖는다. 또한, n^+ 영역(5)은 보디 영역(4) 상에 있어서 보디 영역(4)으로 둘러싸여 있다. n^+ 영역(5)은, n형 불순물로서, 예컨대 인(P)을 갖는다.
- [0033] p^+ 영역(6)은, 보디 영역(4)의 도전형과 동일한 도전형, 즉 p형을 갖는다. p^+ 영역(6)은 보디 영역(4) 상에 있어서 보디 영역(4)으로 둘러싸이고, n^+ 영역(5)에 인접하고 있다. p^+ 영역(6)의 p형의 불순물 농도는, 보디 영역(4)의 p형의 불순물 농도보다도 크다.
- [0034] JFET 영역(7)은, 드리프트층(3) 상에 있어서 보디 영역(4)에 인접하고 있다. JFET 영역(7)의 폭 치수(도 1에 있어서의 가로 방향의 치수)는, 예컨대 $1 \mu\text{m}$ 이상 $5 \mu\text{m}$ 이하이다.
- [0035] 또한, JFET 영역(7)은, n형의 불순물 농도(N_{1j})와, N_{1j} 보다도 작은 p형의 불순물 농도(N_{2j})를 갖는다. 즉 $N_{1j} > N_{2j}$ 가 충족되고 있고, 이에 따라 JFET 영역(7)은 n형의 도전형을 갖는다. JFET 영역(7)의 n형 반도체로서의 실질적인 불순물 농도($N_{1j}-N_{2j}$)는, 예컨대 $1 \times 10^{14} \text{ cm}^{-3}$ 이상 $5 \times 10^{17} \text{ cm}^{-3}$ 이하이다.
- [0036] 또한, JFET 영역(7)은, $N_{1j}-N_{2j} > N_{1d}$ 가 충족되도록 도핑되어 있다. 즉 JFET 영역의 n형 반도체로서의 실질적인 불순물 농도($N_{1j}-N_{2j}$)는, 드리프트층(3)의 n형 반도체로서의 실질적인 불순물 농도(N_{1d})에 비하여 크다.
- [0037] 또한, JFET 영역(7)은, $N_{2j} < N_{2b}$ 가 충족되도록 도핑되어 있다. 즉 n형 반도체인 JFET 영역(7)에 포함되는 p형의 불순물 농도는, p형 반도체인 보디 영역(4)에 포함되는 p형의 불순물 농도에 비하여 작다.
- [0038] 또한, JFET 영역(7)은, n형의 불순물 농도(N_{1j}) 및 p형의 불순물 농도(N_{2j})를 갖도록 에피택셜 성장된 n형의 에피택셜층으로 형성되어 있다. 보디 영역(4)은, 이 n형의 에피택셜층에 대하여 p형 불순물을 이온 주입함으로써 그 도전형을 p형으로 반전시킴으로써 형성되어 있다. 따라서, 보디 영역(4)의 n형의 불순물 농도(N_{1b})는, JFET 영역의 n형의 불순물 농도(N_{1j})와 같다. 즉 $N_{1j}=N_{1b}$ 가 충족되고 있다. 또한, 두께 방향에 있어서의 농도 프로파일의 변화가 큰 경우, JFET 영역(7)의 n형의 불순물 농도와, 보디 영역(4)의 n형의 불순물 농도의 비교는, 동일한 깊이에 있어서 행하는 것으로 한다. 또한, $N_{1j}=N_{1b}$ 가 충족되고 있는지 여부의 판정에 있어서, 제조 편차 및 측정 오차의 존재를 감안하면, 양자의 차이가 5% 이내이면 양자는 같은 것으로 간주한다.
- [0039] 또한, 바람직하게는 JFET 영역(7)의 p형의 불순물 농도(N_{2j})는 실질적으로 제로이다. 이 경우, 전술한 관계식 $N_{1j}-N_{2j} > N_{1d}$ 는 $N_{1j} > N_{1d}$ 로 간략화된다. 즉 드리프트층(3) 및 JFET 영역(7)의 각각이 실질적으로 n형 불순물만을 갖고 있고, 또한, 드리프트층(3)의 n형의 불순물 농도에 비하여, JFET 영역(7)의 n형의 불순물 농도 쪽이 크다.
- [0040] 또한, 바람직하게는 $N_{1j}-N_{2j} < N_{2b}-N_{1b}$ 가 충족되고 있다. 즉 JFET 영역의 n형 반도체로서의 실질적인 불순물 농도에 비하여, 보디 영역(4)의 p형 반도체로서의 실질적인 불순물 농도 쪽이 크다.
- [0041] 게이트 산화막(91)은, 한쪽의 n^+ 영역(5)의 상부 표면으로부터 다른 쪽의 n^+ 영역(5)의 상부 표면으로까지 연장되도록 형성되어 있다. 게이트 산화막은, 예컨대 이산화규소(SiO_2)로 만들어져 있다.

- [0042] 게이트 전극(93)은, 전류를 스위칭하기 위한 것으로서, 게이트 산화막(91) 상에 배치되어 있다. 게이트 전극(93)은 도전체로 만들어져 있고, 예컨대, 불순물이 첨가된 폴리실리콘, AI 등의 금속, 또는 합금으로 만들어져 있다.
- [0043] 소스 컨택트 전극(92)은, 한 쌍의 n^+ 영역(5)의 각각으로부터, 게이트 산화막(91)으로부터 멀어지는 방향으로 연장되어 p^+ 영역(6)으로까지 도달하고 있다. 소스 컨택트 전극(92)은, n^+ 영역(5)과 오믹 컨택트 가능한 재료로 만들어져 있고, 바람직하게는 실리사이드로 만들어져 있으며, 예컨대 니켈실리사이드(Ni_xSi_y)로 만들어져 있다.
- [0044] 충간 절연막(94)은, 게이트 전극(93)을 덮고 있다. 충간 절연막(94)은, 예컨대 이산화규소(SiO_2)로 만들어져 있다.
- [0045] 소스 배선(95)은, 충간 절연막(94) 상에 배치된 부분과, 소스 컨택트 전극(92) 상에 배치된 부분을 갖는다. 소스 배선(95)은, 바람직하게는 금속 또는 합금으로 만들어져 있다.
- [0046] 드레인 전극(96)은, 탄화규소 기판(1)의 이면 상에 배치되어 있다. 드레인 전극(96)은, 탄화규소 기판(1)과 오믹 컨택트 가능한 재료로 만들어져 있고, 바람직하게는 실리사이드로 만들어져 있으며, 예컨대 니켈실리사이드(Ni_xSi_y)로 만들어져 있다.
- [0047] 다음에 MOSFET(101)의 제조 방법에 대해서, 이하에 설명한다.
- [0048] 도 3에 도시된 바와 같이, 우선 탄화규소 기판(1)이 준비된다(도 2: 공정 S110). 탄화규소 기판(1)은 바람직하게는 단결정 구조를 갖는다.
- [0049] 다음에 탄화규소 기판(1)의 상면 상에 있어서 에피택셜 성장이 행해진다(도 2: 공정 S120~S140).
- [0050] 구체적으로는, 우선 탄화규소 기판(1)의 상면 상에 베퍼층(2)이 에피택셜 형성된다(공정 S120). 다음에 베퍼층(2) 상에 드리프트층(3)이 에피택셜 형성된다(공정 S130).
- [0051] 다음에 드리프트층(3) 상에 n 형의 에피택셜층(70)이 성장된다(공정 S140). 에피택셜층(70)은, JFET 영역(7)의 n 형의 불순물 농도(N_{1j}) 및 p 형의 불순물 농도(N_{2j})의 각각과 동일한 n 형 및 p 형의 불순물 농도를 갖도록 형성된다. 또한, 전술한 바와 같이, 바람직하게는 N_{2j} 는 실질적으로 제로이다.
- [0052] 에피택셜층(70)은, JFET 영역(7)으로서 이용되는 부분을 포함한다. 즉 에피택셜층(70)의 형성에 의해 JFET 영역(7)이 형성된다.
- [0053] 다음에 도 4에 도시된 바와 같이, 에피택셜층(70)으로의 이온 주입이 행해진다(도 2: 공정 S150 및 160). 구체적으로는, 보디 영역(4)이 형성된다(공정 S150). 또한, n^+ 영역(5) 및 p^+ 영역(6), 즉 컨택트 영역이 형성된다(공정 S160).
- [0054] 보디 영역(4)의 형성은, n 형의 에피택셜층(70)에 대하여, 에피택셜층(70)의 n 형의 불순물 농도보다도 큰 불순물 농도로 p 형 불순물을 이온 주입함으로써 행해진다. 이 결과, 보디 영역(4)은, 에피택셜층(70)의 n 형의 불순물 농도와 거의 같은 n 형의 불순물 농도(N_{1b})와, N_{1b} 보다도 큰 p 형의 불순물 농도(N_{2b})를 갖는다.
- [0055] p^+ 영역(6)의 형성은, 보디 영역(4)에 대하여 p 형 불순물을 더 이온 주입함으로써 행해진다. n^+ 영역(5)의 형성은, 보디 영역(4)에 대하여 n 형 불순물을 이온 주입함으로써 행해진다.
- [0056] 전술한 이온 주입은, 예컨대, 이산화규소(SiO_2)로 만들어진 마스크를 이용하여 행해져도 좋다. 또한, 공정 S150 및 S160의 순서는 임의이다.
- [0057] 다음에, 주입된 불순물을 활성화시키기 위한 활성화 어닐링(도 2: 공정 S170)이 행해진다. 예컨대, 활성화 어닐링의 분위기는 아르곤(Ar) 분위기이고, 어닐링 온도는 1700°C이며, 어닐링 시간은 30분간이다.
- [0058] 다음에, 도 5에 도시된 바와 같이, 게이트 산화막(91)이 형성된다(도 2: 공정 S180). 게이트 산화막(91)은, 예컨대 산소 분위기 내에서의 탄화규소의 열 산화에 의해 형성할 수 있다. 예컨대, 어닐링 온도는 1300°C이고, 어닐링 시간은 60분간이다.
- [0059] 다음에, 도 1에 도시된 바와 같이, 게이트 전극(93), 소스 컨택트 전극(92) 및 드레인 전극(96)이 형성된다(도

2: 공정 S190). 구체적으로는, 이하의 공정이 행해진다.

[0060] 우선, 게이트 전극(93)이 성막 및 패터닝에 의해 형성된다. 성막 방법으로는 예컨대 CVD(Chemical Vapor Deposition)법을 이용한다. 다음에, 예컨대 CVD법을 이용하여 게이트 전극(93)을 덮는 층간 절연막(94)이 퇴적된다. 다음에, 소스 컨택트 전극(92)을 형성하기 위한 영역이 확보되도록, 층간 절연막(94) 및 게이트 산화막(91)의 일부가 제거된다. 다음에 소스 컨택트 전극(92) 및 드레인 전극(96)이 형성된다. 이 때문에, 예컨대, 증착법을 이용한 니켈(Ni)막의 형성과, 그 실리사이드화가 행해진다. 다음에, 예컨대 증착법을 이용하여 소스 배선(95)이 형성된다.

[0061] 이상의 절차에 의해 MOSFET(101)이 완성된다.

[0062] 본 실시형태에 따르면, $N_{1j}-N_{2j} > N_{1d}$ 가 충족된다. 즉 드리프트층(3)의 실질적인 불순물 농도인 N_{1d} 에 비하여, JFET 영역(7)의 실질적인 불순물 농도인 $N_{1j}-N_{2j}$ 쪽이 크다. 즉 JFET 영역(7)의 실질적인 불순물 농도를 높일 수 있다. 이에 따라, JFET 영역(7)에 있어서의 공핍층(71)(도 1)의 확대를 억제할 수 있기 때문에, JFET 영역(7)을 두께 방향으로 흐르는 전류의 경로를 보다 넓게 확보할 수 있다. 구체적으로는, JFET 영역(7)의 폭 방향(도 1에 있어서의 가로 방향)에 있어서 공핍층(71)의 확대를 50% 이내로 억제하는 것이 가능하다.

[0063] 또한, $N_{2j} < N_{2b}$ 가 충족된다. 즉, 보디 영역(4)의 p형의 불순물 농도(N_{2b})에 비하여, JFET 영역(7)에 있어서 실질적으로 도전형의 부여에 기여하지 않는 p형의 불순물 농도(N_{2j})가 작다. 이에 따라, p형의 불순물 농도 사이의 관계식 $N_{2j}=N_{2b}$ 가 충족되는 경우에 비하여, JFET 영역(7)의 불순물 농도가, 도전형의 부여에 실질적으로 기여하지 않는 불순물에 의해 커져 버리는 것을 피할 수 있다. 따라서, JFET 영역(7)의 총 불순물 농도($N_{1j}+N_{2j}$)를 억제하는 것으로 캐리어의 불순물 산란을 억제함으로써, JFET 영역(7)의 저항률을 작게 할 수 있다.

[0064] 상기한 바와 같이, JFET 영역(7)을 흐르는 전류 경로가 넓어지고, 또한 JFET 영역(7)의 저항률이 작아짐으로써, JFET 영역(7)의 전기 저항이 작아진다. 이에 따라 MOSFET(101)의 온 저항을 작게 할 수 있다.

[0065] 또한, $N_{1j}-N_{2j} < N_{2b}-N_{1b}$ 가 충족된다. 이에 따라, JFET 영역(7)의 실질적인 불순물 농도에 비하여, 보디 영역(4)에 있어서의 실질적인 불순물 농도가 높아진다. 따라서 JFET 영역(7) 및 보디 영역(4) 사이의 pn 접합으로부터 n^+ 영역(5) 쪽을 향하는 공핍층(71)의 확대가 억제된다. 이에 따라, 이 공핍층(71)이 n^+ 영역(5)에 도달하기 어렵게 되기 때문에, MOSFET(101)의 오프 내압이 개선된다.

[0066] 또한, $N_{1j}=N_{1b}$ 가 충족된다. 즉 JFET 영역(7)의 n형의 불순물 농도와, 보디 영역(4)의 n형의 불순물 농도가 거의 같아진다. 따라서, MOSFET(101)의 제조에 있어서, n형의 불순물 농도[$N_{1j}(=N_{1b})$]를 갖는 에피택셜층의 일부를 이용하여 JFET 영역(7)을 형성하고, 또한 이 층의 타부에 대하여 p형 불순물을 이온 주입함으로써 보디 영역(4)을 형성할 수 있다. 따라서, JFET 영역(7)은 이온 주입을 이용하지 않고 형성할 수 있기 때문에, JFET 영역(7)에 있어서는 이온 주입에 부수되는 결정 결합의 생성을 피할 수 있다. 이에 따라 JFET 영역(7)의 저항률이 작아지기 때문에, MOSFET(101)의 온 저항을 보다 작게 할 수 있다.

[0067] (실시형태 2)

[0068] 도 6에 도시된 바와 같이, 본 실시형태의 MOSFET(102)은, MOSFET(101)(도 1)의 보디 영역(4), n^+ 영역(5) 및 p^+ 영역(6)의 각각의 대신에, 보디 영역(4v), n^+ 영역(5v) 및 p^+ 영역(6v)을 갖는다. 또한, 보디 영역(4v)의 n형의 불순물 농도(N_{1b})에 관하여, 실시형태 1과 달리 $N_{1b}=N_{1j}$ 가 충족되지 않고, 대신에 $N_{1b}=N_{1d}$ 가 충족되고 있다. 즉, 보디 영역(4v)의 n형의 불순물 농도는 드리프트층(3)의 n형의 불순물 농도와 거의 같다. 또한, 드리프트층(3)의 농도 프로파일의 변화가 큰 경우는, 드리프트층(3) 중 보디 영역(4v)에 면하는 부분의 농도를 기준으로 한다.

[0069] 또한, 상기 이외의 구성에 대해서는, 전술한 실시형태 1의 구성과 거의 동일하기 때문에, 동일 또는 대응하는 요소에 대해서 동일한 부호를 붙이고, 그 설명을 반복하지 않는다.

[0070] 다음에 MOSFET(102)의 제조 방법에 대해서, 이하에 설명한다.

[0071] 우선, 공정 S110 및 S120(도 7)이 행해진다. 이들 공정은, 실시형태 1에 있어서의 것(도 2)과 동일하다.

[0072] 다음에, 도 8에 도시된 바와 같이, 드리프트층(3)이 성막된다(도 7: 공정 S230). 공정 S230에 있어서는, 공정

S130(도 2: 실시형태 1)과 달리, 최종적인 MOSFET(102)(도 6)의 드리프트층(3)의 두께보다도 두께(DT)만큼 여분으로 성막이 이루어진다. 두께(DT)는 보디 영역(4v)(도 6)의 두께에 대응하고 있다.

[0073] 다음에, 도 9에 도시된 바와 같이, 이온 주입에 의해 드리프트층(3)에 n형 불순물이 첨가됨으로써 JFET 영역(7v)이 형성된다(도 7: 공정 S240).

[0074] 또한, 도 10에 도시된 바와 같이, 이온 주입에 의해 드리프트층(3)에 p형 불순물이 첨가됨으로써 보디 영역(4v)이 형성된다(도 7: 공정 S250). 공정 S250에 있어서는, 공정 S150(도 2: 실시형태 1)에 비하여 이온 주입량이 적어도 좋다. 이 이온 주입량의 차분은 대략 $N_{1b}-N_{1d}$ 에 대응한다.

[0075] 이후, 공정 S160~S190(도 7)이 실시형태 1(도 2)과 동일하게 행해짐으로써 MOSFET(102)(도 6)이 완성된다.

[0076] 본 실시형태에 따르면, 보디 영역(4v)이 드리프트층(3)에 p형 불순물을 첨가함으로써 형성되기 때문에, 보디 영역(4v)의 n형의 불순물 농도(N_{1b})와 드리프트층(3)의 n형의 불순물 농도(N_{1d})가 거의 같아진다. 즉 $N_{1b}=N_{1d}$ 가 충족된다. 따라서, 보디 영역(4v)의 n형의 불순물 농도가, 드리프트층(3)의 n형의 불순물 농도보다도 커지는 것을 피할 수 있다. 즉, p형의 보디 영역(4v)에 있어서 실질적으로 도전형의 부여에 기여하지 않는 n형의 불순물 농도의 증대를 피할 수 있다. 이에 따라, 보디 영역(4v) 안을 흐르는 캐리어의 불순물 산란이 억제되기 때문에, MOSFET(102)의 온 저항을 보다 작게 할 수 있다.

[0077] 상기한 실시형태 1 및 2에 관한 설명에 있어서는 제1 도전형이 n형이며 또한 제2 도전형이 p형이지만, 제1 및 제2 도전형은 서로 상이한 도전형이면 좋고, 따라서, 제1 도전형이 p형이며 또한 제2 도전형이 n형이어도 좋다. 단, 제1 도전형이 n형이며 또한 제2 도전형이 p형인 경우 쪽이, 반대의 경우에 비하여, 채널 저항을 보다 작게 할 수 있다.

[0078] 또한, 게이트 절연막은 산화막에 한정되지 않고, 따라서 반도체 장치는 MOSFET 이외의 MISFET(Metal Insulator Semiconductor Field Effect Transistor)여도 좋다. 또한, 반도체 장치는 MISFET에 한정되지 않고, 예컨대 IGBT(Insulated Gate Bipolar Transistor)여도 좋다.

[0079] 또한, 탄화규소 반도체 장치의 제조 방법에 있어서 복수의 이온 주입 공정이 행해지는 경우, 이 복수의 공정 사이에서 순서가 교체되어도 좋다.

[0080] 또한, 불순물 농도의 측정은, 예컨대 SIMS(Secondary Ion Mass Spectroscopy)에 의해 행할 수 있다.

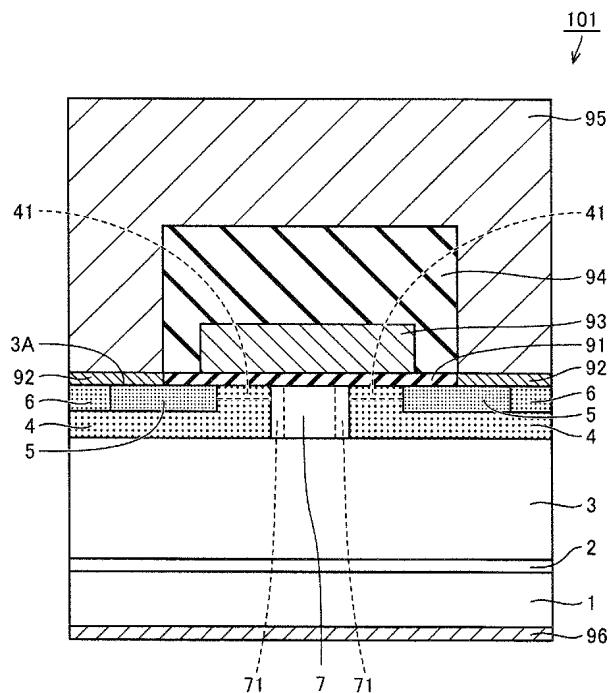
[0081] 이번에 개시된 실시형태는 모든 점에서 예시로서, 제한적인 것이 아니라고 생각되어야 한다. 본 발명의 범위는 상기한 설명이 아니라 청구범위에 의해 나타내어지며, 청구범위와 균등한 의미 및 범위 내에서의 모든 변경이 포함되는 것이 의도된다.

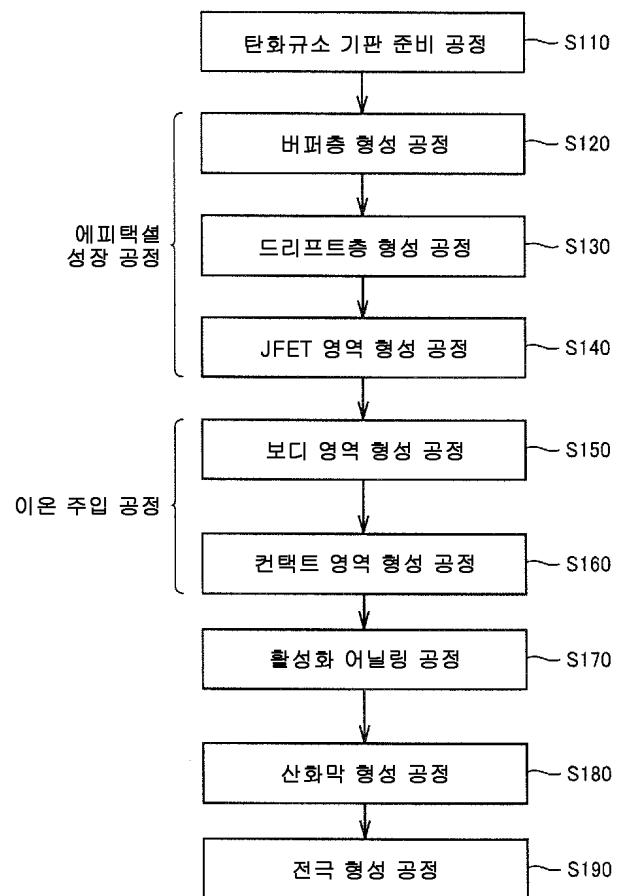
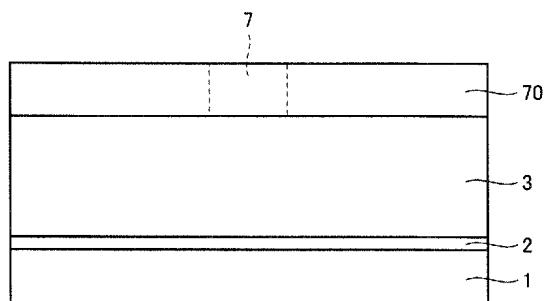
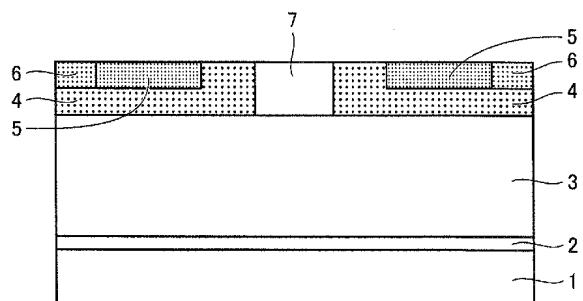
부호의 설명

1 : 탄화규소 기판	2 : 벼퍼층
3 : 드리프트층	4, 4v : 보디 영역
5, 5v : n ⁺ 영역	6, 6v : p ⁺ 영역
7, 7v : JFET 영역	41 : 채널
70 : 에피택셜층	71 : 공핍층
91 : 게이트 산화막(게이트 절연막)	92 : 소스 컨택트 전극
93 : 게이트 전극	94 : 중간 절연막
95 : 소스 배선	96 : 드레인 전극
101, 102 : MOSFET(탄화규소 반도체 장치)	

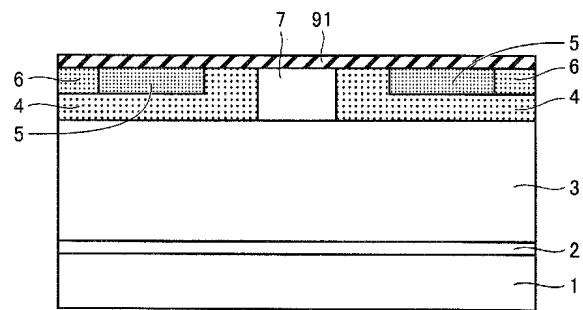
도면

도면1

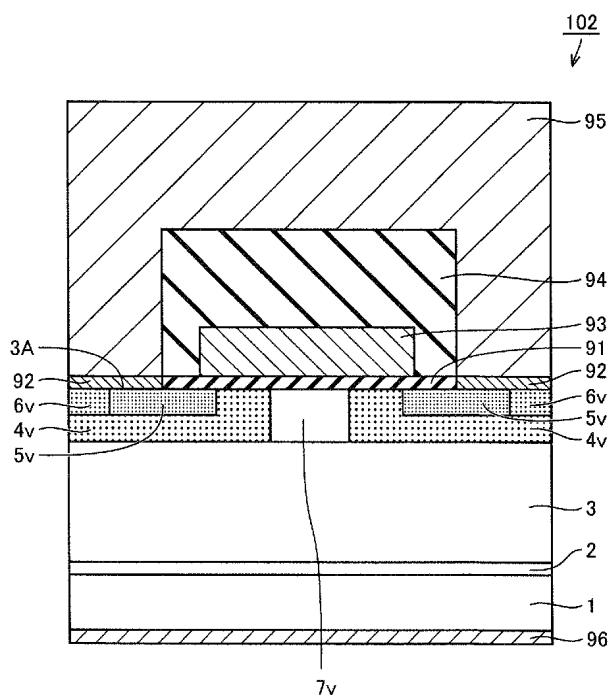


도면2**도면3****도면4**

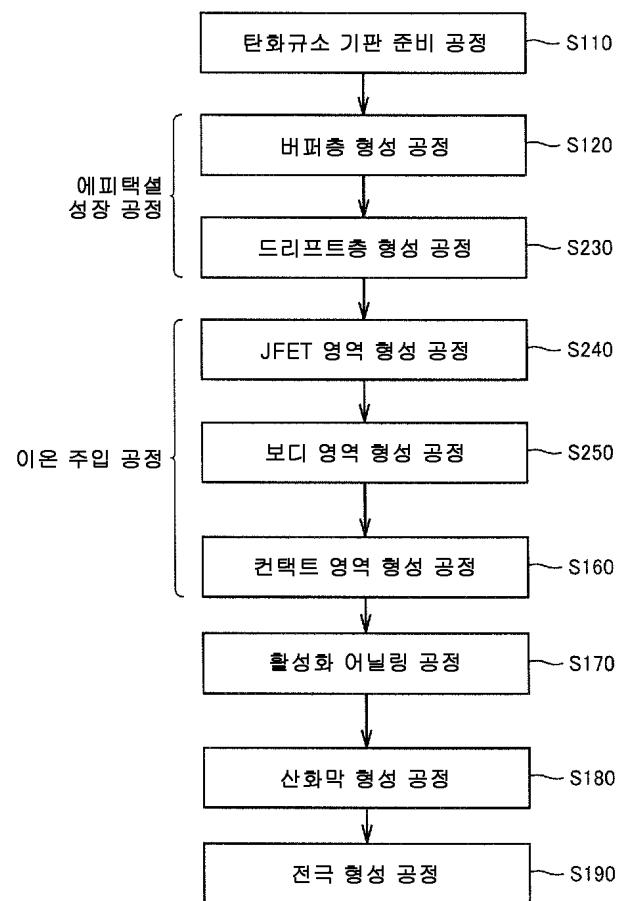
도면5



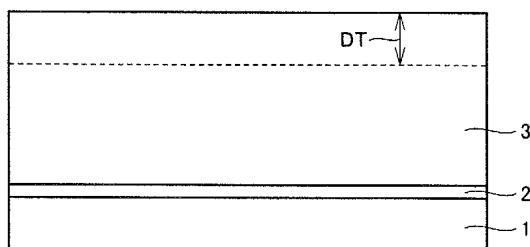
도면6



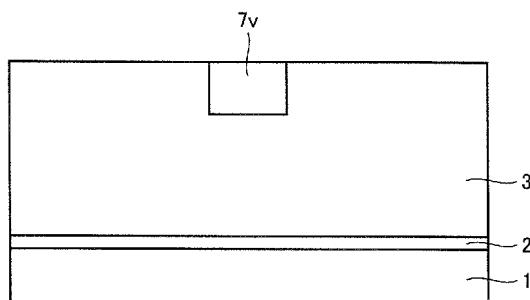
도면7



도면8



도면9



도면10

