

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4504975号
(P4504975)

(45) 発行日 平成22年7月14日(2010.7.14)

(24) 登録日 平成22年4月30日(2010.4.30)

(51) Int.Cl.	F I
H05K 3/46 (2006.01)	H05K 3/46 Q
H01L 23/12 (2006.01)	H05K 3/46 N
	H05K 3/46 B
	H01L 23/12 N

請求項の数 8 (全 15 頁)

(21) 出願番号	特願2006-512878 (P2006-512878)	(73) 特許権者	000000158
(86) (22) 出願日	平成17年4月28日(2005.4.28)		イビデン株式会社
(86) 国際出願番号	PCT/JP2005/008567		岐阜県大垣市神田町2丁目1番地
(87) 国際公開番号	W02005/107350	(74) 代理人	110000017
(87) 国際公開日	平成17年11月10日(2005.11.10)		特許業務法人アイテック国際特許事務所
審査請求日	平成19年4月17日(2007.4.17)	(72) 発明者	苅谷 隆
(31) 優先権主張番号	特願2004-134370 (P2004-134370)		岐阜県揖斐郡揖斐川町北方1-1 イビデン株式会社大垣北事業場内
(32) 優先日	平成16年4月28日(2004.4.28)	(72) 発明者	古谷 俊樹
(33) 優先権主張国	日本国(JP)		岐阜県揖斐郡揖斐川町北方1-1 イビデン株式会社大垣北事業場内
		審査官	森藤 淳志

最終頁に続く

(54) 【発明の名称】 多層プリント配線板

(57) 【特許請求の範囲】

【請求項1】

コア基板と、
該コア基板上に形成され上面に導体パターンが設けられたビルドアップ層と、
該ビルドアップ層上に形成された低弾性率層と、
該低弾性率層の上面に設けられ電子部品と接続部を介して接続される実装用電極と、
前記低弾性率層を貫通して前記実装用電極と前記導体パターンとを電気的に接続する導体ポストと、

を備えた多層プリント配線板であって、

前記導体ポストはアスペクト比 $R a s p$ が4以上で直径が $30 \mu m$ を超え、しかも前記導体ポストのうち前記低弾性層の外周部に配置された外側導体ポストのアスペクト比 $R a s p$ は前記低弾性層の内周部に配置された内側導体ポストのアスペクト比 $R a s p$ の 1.25倍以上2倍以下 である、多層プリント配線板。

【請求項2】

前記導体ポストのうち少なくとも前記外側導体ポストはクビレを持つ形状に形成されている、請求項1に記載の多層プリント配線板。

【請求項3】

前記クビレを持つ形状に形成された前記外側導体ポストは最大径/最小径が2以上4以下である、請求項2に記載の多層プリント配線板。

【請求項4】

前記導体ポストが最外周からN列目まで多重に形成されているときには前記外側導体ポストを最外周からN×2/3列までの範囲内で定められている、請求項1～3のいずれかに記載の多層プリント配線板。

【請求項5】

前記低弾性率層は、前記電子部品を該低弾性率層側に仮想的に投影したときの投影部分の全域に略一致するように形成されている、請求項1～4のいずれかに記載の多層プリント配線板。

【請求項6】

前記実装用電極は、前記低弾性率層の上面と略同一平面となるように形成された前記導体ポストの頂部である、請求項1～5のいずれかに記載の多層プリント配線板。

10

【請求項7】

前記低弾性率層は、30におけるヤング率が10MPa～1GPaである、請求項1～6のいずれかに記載の多層プリント配線板。

【請求項8】

前記電子部品は、ポーラス化した層間絶縁膜を有するICチップを備えてなる、請求項1～7のいずれかに記載の多層プリント配線板。

【発明の詳細な説明】

【技術分野】

本発明は、多層プリント配線板に関する。

【背景技術】

20

近年、携帯情報端末や通信端末に代表される電子機器では、高機能化及び小型化がめざましい。これらの電子機器に用いられるICチップを多層プリント配線板に高密度実装する形態として、ICチップを直接多層プリント配線板に表面実装するフリップチップ方式が採用されている。このような多層プリント配線板としては、コア基板と、このコア基板上に形成されたビルドアップ層と、このビルドアップ層の上面にはんだバンプを介してICチップが実装される実装用電極とを備えたものが知られている。ここで、コア基板としては、エポキシ樹脂やBT（ビスマレイミド・トリアジン）樹脂、ポリイミド樹脂、ポリブタジエン樹脂、フェノール樹脂等をガラス繊維等の強化材と共に成形したものが用いられるが、これらのコア基板の熱膨張係数は約12～20ppm/（30～200）であり、ICチップのシリコンの熱膨張係数（約3.5ppm/）と比較すると、約4倍以上も大きい。したがって、前述のフリップチップ方式では、ICチップの発熱に伴う温度変化が繰り返して生じた場合、ICチップとコア基板との熱膨張量及び熱収縮量の違いにより、はんだバンプが破壊されるおそれがあった。

30

この問題を解決するために、ビルドアップ層上に低弾性率の応力緩和層を設け、この応力緩和層の上面に実装用電極を設け、ビルドアップ層上の導体パターンと実装用電極とを導体ポストで接続した多層プリント配線板が提案されている（例えば、特開昭58-28848号公報、特開2001-36253号公報参照）。

【発明の開示】

ところで、ICチップは世代ごとに配線の微細化と多層化を実現しているが、配線の微細化に伴い配線層における信号遅延が支配的になって高速化を妨げる。この遅延時間は配線抵抗と配線間容量に比例するため、更なる高速化には配線の低抵抗化と配線間容量の低減が必要となる。ここで、配線間容量の低減は、層間絶縁膜の低誘電率化により実現される。この低誘電率化には耐熱性を有する材料に空気（誘電率1）を導入する方法、具体的にはポーラス化（多孔質化）が一般的である。

40

しかしながら、層間絶縁膜をポーラス化したICチップを多層プリント配線板に搭載した状態で加熱・冷却が繰り返されると、前出の公報に開示された応力緩和層では応力を十分緩和できないことがあり、ICチップの外周部の配線層にクラックが入ったり半導体チップ・多層プリント配線板間に介在するバンプのうち外周部寄りのバンプにクラックが入ったりすることがあった。

本発明は、このような課題を解決するためになされたものであり、熱膨張・熱収縮によ

50

る電子部品の外周部の破壊を防止すると共に電子部品へ安定して電源を供給することができる多層プリント配線板を提供することを目的とする。また、そのような多層プリント配線板を製造する方法を提供することを目的とする。

本発明は、上述の目的を達成するために以下の手段を採った。

即ち、本発明は、コア基板と、該コア基板上に形成され上面に導体パターンが設けられたビルドアップ層と、該ビルドアップ層上に形成された低弾性率層と、該低弾性率層の上面に設けられ電子部品と接続部を介して接続される実装用電極と、前記低弾性率層を貫通して前記実装用電極と前記導体パターンとを電気的に接続する導体ポストと、を備えた多層プリント配線板であって、

前記導体ポストはアスペクト比 $R a s p$ が 4 以上で直径が $30 \mu m$ を超え、しかも前記導体ポストのうち前記低弾性層の外周部に配置された外側導体ポストのアスペクト比 $R a s p$ は前記低弾性層の内周部に配置された内側導体ポストのアスペクト比 $R a s p$ 以上のものである。

この多層プリント配線板では、導体ポストのアスペクト比 $R a s p$ が 4 以上で直径が $30 \mu m$ を超え、しかも外側導体ポストのアスペクト比 $R a s p$ が内側導体ポストのアスペクト比 $R a s p$ 以上であるため、外側導体ポストは実装用電極とビルドアップ層上面の導体パターンとの電気的接続を維持したまま低弾性率層の変形に応じて変形する。したがって、この多層プリント配線板によれば、コア基板と電子部品との熱膨張係数差に起因する応力が発生したとしても、電子部品（特にポーラ化した層間絶縁膜を備えた IC チップ）の外周部や外周寄りの接続部にかかる応力を確実に緩和することができ、熱膨張・熱収縮によってこれらの部位が破壊されるのを防止することができる。また、加熱・冷却を繰り返したときの電気抵抗の変化率を小さく抑えることができ、搭載した電子部品へ安定して電源を供給することができる。なお、本発明において導体ポストのアスペクト比 $R a s p$ とは、導体ポストの高さ / 導体ポストの径（径が一様でないときには最小径）をいう。また、「上」又は「上面」は、相対的な位置関係を表現したものに過ぎないので、例えば「下」又は「下面」に置き換えたりしてもよい。

本発明の多層プリント配線板において、導体ポストのうち外側導体ポストのアスペクト比 $R a s p$ は内側導体ポストのアスペクト比 $R a s p$ の 1.25 倍以上 2 倍以下であることが好ましい。この範囲であれば、本発明の効果が顕著になる。

本発明の多層プリント配線板において、導体ポストのうち少なくとも外側導体ポストは、クビレを持つ形状に形成されていることが好ましい。こうすれば、略ストレート形状の導体ポストに比べて、本発明の効果をより確実に得ることができる。このようなクビレを持つ形状に形成された外側導体ポストは、最大径 / 最小径が 2 以上 4 以下であることが好ましい。

本発明の多層プリント配線板において、導体ポストが最外周から N 列目（ N は 2 以上の整数）まで多重に形成されているときには外側導体ポストを最外周から $N \times 2 / 3$ 列までの範囲内で定めることが好ましい。この範囲内の導体ポストにかかる応力は他の導体ポストにかかる応力に比べて大きいため、本発明を適用する意義が大きい。例えば、 N が 15 のときには外側導体ポストを最外周から 10 列目までの範囲内で定めることになるため、最外周 1 列のみ、最外周 ~ 2 列目まで、... ..、最外周 ~ 10 列目までといった定め方があ

る。

本発明の多層プリント配線板において、低弾性率層は、電子部品を該低弾性率層側に仮想的に投影したときの投影部分の全域に略一致するように形成されていてもよい。低弾性率層はこの投影部分の全域を超えて形成されていてもよいが、この投影部分の全域と略一致すれば十分に効果が得られることから、経済性等を考慮すると投影部分の全域と略一致するように形成することが好ましい。また、低弾性率層の非形成領域にチップコンデンサ等の電子部品を搭載してもよい。こうすれば、チップコンデンサと IC チップとの距離が近いため、チップコンデンサから電源供給を受けるようにすれば IC チップは電源不足になりにくい。

本発明の多層プリント配線板において、実装用電極は、低弾性率層の上面と略同一平面

10

20

30

40

50

となるように形成された導体ポストの頂部としてもよい。こうすれば、実装用電極を導体ポストとは別に形成する場合に比べて、簡単に作製することができる。

本発明の多層プリント配線板において、低弾性率層は、30におけるヤング率が10MPa~1GPaであることが好ましい。こうすれば、熱膨張係数差に起因する応力をより確実に緩和することができる。また、この低弾性率層は、30におけるヤング率が10MPa~300MPaであることがより好ましく、10MPa~100MPaであることが最も好ましい。また、前記導体ポストは、導電性の良好な材料で形成されていることが好ましく、例えば銅、はんだ又はこれらのいずれかを含む合金で形成されていることが好ましい。

本発明の多層プリント配線板において、電子部品は、ポーラス化した層間絶縁膜を有するICチップを備えてなるものが好ましい。この種の電子部品は熱膨張・熱収縮により外周部が破壊されやすいことから、本発明を適用する意義が高い。

【図面の簡単な説明】

図1は、本実施形態の多層プリント配線板の断面図である。

図2は、本実施形態の導体ポストの配置図である。

図3は、他の導体ポストの配置図である。

図4は、本実施形態の多層プリント配線板の作製手順を表す説明図である。

図5は、本実施形態の多層プリント配線板の作製手順を表す断面図である。

図6は、本実施形態の多層プリント配線板の作製手順を表す断面図である。

図7は、本実施形態の多層プリント配線板の別の作製手順を表す断面図である。

図8は、他の多層プリント配線板の断面図である。

図9は、ICチップの位置とその位置にかかる応力との関係を表すテーブル及びグラフである。

【発明を実施するための最良の形態】

次に、本発明の実施の形態を図面に基づいて説明する。図1は、本発明の一実施形態である多層プリント配線板の断面図である。なお、以下には「上」や「下」と表現することがあるが、これは相対的な位置関係を便宜的に表現したものに過ぎないので、例えば上下を入れ替えたり上下を左右に置き換えたりしてもよい。

本実施形態の多層プリント配線板10は、図1に示すように、上下両面に形成された配線パターン22同士をスルーホール導体24を介して電氣的に接続するコア基板20と、このコア基板20の上下に樹脂絶縁層36を介して複数積層された導体パターン32、32がビアホール34によって電氣的に接続されたビルドアップ層30と、ビルドアップ層30の上に低弾性率材料で形成された低弾性率層40と、電子部品であるICチップ70をはんだバンプ66を介して実装するランド(実装用電極)52と、低弾性率層40を貫通しランド52とビルドアップ層30の上面に形成された導体パターン32とを電氣的に接続する導体ポスト50と、を備えている。なお、図1では導体ポスト50をビアホール34から延出した部分に形成しているが、ビアホール34に導体材料を充填してフィールドピアとしそのフィールドピアの直上に形成してもよい。この場合、ビアホール34のピッチを狭くすることにより、導体ポスト50間のピッチを狭くすることができる。

コア基板20は、BT(ビスマレイミド-トリアジン)樹脂やガラスエポキシ樹脂等からなるコア基板本体21の上下両面に銅からなる配線パターン22、22と、コア基板本体21の上下を貫通するスルーホールの内周面に形成された銅からなるスルーホール導体24とを有しており、両配線パターン22、22はスルーホール導体24を介して電氣的に接続されている。

ビルドアップ層30は、コア基板20の上下両面に樹脂絶縁層36と導体パターン32とを交互に積層したものであり、コア基板20の配線パターン22とビルドアップ層30の導体パターン32との電氣的な接続やビルドアップ層30における導体パターン32、32同士の電氣的な接続は樹脂絶縁層36の上下を貫通するビアホール34によって確保されている。このようなビルドアップ層30は、周知のサブトラクティブ法やアディティブ法(セミアディティブ法やフルアディティブ法を含む)により形成される。具体的に

10

20

30

40

50

は、例えば以下のようにして形成される。すなわち、まず、コア基板 20 の上下両面に樹脂絶縁層 36 となる樹脂シートを貼り付ける。この樹脂シートは、変成エポキシ系樹脂シート、ポリフェニレンエーテル系樹脂シート、ポリイミド系樹脂シート、シアノエステル系樹脂シートなどで形成され、その厚みは概ね 20 ~ 80 μm である。次に、貼り付けた樹脂シートに炭酸ガスレーザや UV レーザ、YAG レーザ、エキシマレーザなどによりスルーホールを形成して樹脂絶縁層 36 とする。続いて、無電解銅めっきを施し、無電解銅めっき層の上にレジストを形成し露光・現像し、次いでレジストの非形成部に電解銅めっきを施したあとレジストを剥離し、そのレジストが存在していた部分の無電解銅めっきを硫酸・過酸化水素系のエッチング液でエッチングすることにより、配線パターン 32 を形成する。なお、スルーホール内部の導体層がバイアホール 34 となる。あとは、この手順を繰り返すことによりビルドアップ層 30 が形成される。裏面には、ソルダーレジスト層 45 が形成されている。

10

低弾性率層 40 は、30 におけるヤング率が 10 ~ 1000 MPa (好ましくは 10 ~ 300 MPa、より好ましくは 10 ~ 100 MPa) である弾性材料で形成されている。低弾性率層 40 のヤング率がこの範囲内だと、ランド 52 にはんだバンプ 66 を介して電氣的に接続される IC チップ 70 とコア基板 20 との間に両者の熱膨張係数差に起因する応力が発生したとしてもその応力を緩和することができる。また、低弾性率層 40 に用いられる弾性材料としては、例えばエポキシ樹脂、イミド系樹脂、フェノール樹脂、シリコーン樹脂等の熱硬化性樹脂や、ポリオレフィン系樹脂、ビニル系樹脂、イミド系樹脂等の熱可塑性樹脂にポリブタジエン、シリコーンゴム、ウレタン、SBR、NBR 等のゴム系成分やシリカ、アルミナ、ジルコニア等の無機成分が分散した樹脂などのうち上述したヤング率に合致したものが挙げられる。なお、樹脂に分散させる成分は、1 種でも 2 種以上でもよく、ゴム成分と無機成分の両方を分散させてもよい。本実施例では、低弾性率層 40 の弾性材料として、エポキシ樹脂にウレタン樹脂が 60 vol% 分散している樹脂を用いている。

20

導体ポスト 50 は、低弾性率層 40 を上下方向に貫通するように銅を主成分として形成され、ランド 52 とビルドアップ層 30 の上面に設けられた導体パターン 32 とを電氣的に接続している。この導体ポスト 50 は、クビレを持つ形状、具体的には上部の直径や下部の直径に比べて中間部の直径が小さい形状に形成されている。また、ここでは、導体ポスト 50 のうち低弾性率層 40 の外周部に配置されたものを外側導体ポスト 50a と称し、内周部に配置されたものを内側導体ポスト 50b と称することとする。図 1 では、導体ポスト 50 を便宜上数本しか示していないが、実際には例えば図 2 の導体ポスト 50 の配置図のように、最外周から 15 列目まで多重に形成され、最外周から 10 列目 (つまり全 15 列の 2/3) までの範囲内で外側導体ポスト 50a が決められ、それ以外が内側導体ポスト 50b とされる。ここでは、外側導体ポスト 50a 及び内側導体ポスト 50b について、アスペクト比 R_{asp} つまり中間部の直径 (最小径) に対する高さの比はいずれも 4 以上であり、最小径はいずれも 30 μm を上回っている。また、外側導体ポスト 50a のアスペクト比 R_{asp} は内側導体ポスト 50b のアスペクト比 R_{asp} 以上に設計され、具体的には、外側導体ポスト 50b のアスペクト比 R_{asp} は内側導体ポスト 50b のアスペクト比 R_{asp} の 1.25 倍以上 2 倍以下となるように設計されている。また、外側導体ポスト 50a は、最大径 / 最小径が 2 以上 4 以下となるように形成されている。なお、図 2 では導体ポスト 50 を格子状に配置した例を示したが、図 3 に示すように千鳥状に配置してもよいし、外周から列が数えられるのであればランダムに配置してもよい。

30

40

ランド 52 は、低弾性率層 40 から露出した各導体ポスト 50 の頂部である。このランド 52 は、ニッケルめっき及び金めっきがこの順に施されたあと IC チップ 70 の電極部とはんだバンプ 66 を介して接続される。この IC チップ 70 は、本実施形態では、高速化つまり高周波駆動が可能ないように、ポーラス化され空気 (誘電率 1) が導入された層間絶縁膜を採用して配線間容量が低減されたものを用いている。

次に、本実施形態の多層プリント配線板 10 の作製例について説明する。コア基板 20 及びビルドアップ層 30 の作製手順は周知であるため、ここでは低弾性率層 40、導体ポ

50

スト50及びランド52を作製する手順を中心に説明する。図4～図6はこの手順の説明図である。なお、これら図4～図6は、コア基板20の上面に形成されたビルドアップ層30の部分断面図を示すことにより作製手順の説明図とした。

まず、ビルドアップ層30が形成されたコア基板20を用意した(図4(a)参照)。この段階では、最上部の樹脂絶縁層36の表面は無電解銅めっき層304で被覆されたままである。すなわち、スルーホール形成後の樹脂絶縁層36に無電解銅めっきを施すことにより無電解銅めっき層304を形成し、この無電解銅めっき層304上にフォトレジストを形成しパターン化したあと、フォトレジストが形成されていない部分に電解銅めっきを施し、その後フォトレジストを剥離した段階である。したがって、電解銅めっき層はパターン化されてパターン化めっき層302となっているが無電解銅めっき層304は樹脂絶縁層36の表面全体を覆ったままである。さて、このようなビルドアップ層30の上面に、市販のドライフィルム306(旭化成社製CX-A240を2枚重ねて貼り付けたもの、全厚240 μ m)を貼り付け、炭酸ガスレーザにより基板の外周部に口径の大きな孔308aを形成した(図4(b)参照)。この孔308aはパターン化めっき層302に達している。

10

続いて、この作製途中の基板につき、ドライフィルム306の孔308aの底部から電解銅めっきを行うことにより柱状の銅層310aで孔308a内を充填し、更にこの銅層310aの上面にはんだ層312を形成した(図4(c)参照)。なお、電解銅めっき液は以下の組成のものを使用した。硫酸2.24mol/l、硫酸銅0.26mol/l、添加剤19.5ml/l(アトテックジャパン社製、カパラシドGL)。また、電解銅めっきは以下の条件で行った。電流密度1A/dm²、時間17時間、温度22 \pm 2。また、はんだ層312は、Sn/Pbを使用した。

20

続いて、ドライフィルム306を剥がしたあと、作製途中の基板をアンモニアアルカリエッチング液(商品名エープロセス、メルテックス社製)に浸漬することによりエッチングを行った。このエッチングにより、電解銅めっき層302で覆われていない部分の無電解銅めっき層304が除去されると共に、柱状の銅層310aの中間部が浸食されてクビレを持つ形状となった(図4(d)参照)。このとき、はんだ層312はエッチングレジストとして機能した。ここで、銅層310aの中間部をどの程度浸食させるかはエッチング時間によって制御することができる。

続いて、作製途中の基板表面全体に無電解銅めっきを施すことにより無電解銅めっき層314を形成した(図5(a)参照)。この無電解銅めっき層314の厚さは数 μ mである。その後、面全体を覆うように、市販の液状レジスト剤をアルファコーター(商品名、サーマトロニクス貿易(株))で非接触状態で塗布したあと乾燥して樹脂層320とし、炭酸ガスレーザにより基板の内周部に口径の小さな孔308bを形成した(図5(b)参照)。ここでは、先に設けた孔308aを120 μ mとし、今回設けた孔308bを100 μ mとした。続いて、この作製途中の基板につき、樹脂層320の孔308bの底部から電解銅めっきを行うことにより柱状の銅層310bで孔308b内を充填し、更にこの銅層310bの上面にはんだ層322を形成し(図5(c)参照)、その後樹脂層320を剥がした(図5(d)参照)。なお、電解銅めっき液は以下の組成のものを使用した。硫酸2.24mol/l、硫酸銅0.26mol/l、添加剤19.5ml/l(アトテックジャパン社製、カパラシドGL)。また、電解銅めっきは以下の条件で行った。電流密度1A/dm²、時間17時間、温度22 \pm 2。また、はんだ層322は、Sn/Pbを使用した。

30

40

続いて、作製途中の基板をアンモニアアルカリエッチング液(商品名エープロセス、メルテックス社製)に浸漬することによりエッチングを行った。このエッチングにより、無電解銅めっき層314のうち表面に露出している部分が除去されると共に、柱状の銅層310bの中間部が浸食されてクビレを持つ形状となり、また既にクビレを持つ形状になっている銅層310aは更に中間部が浸食されて最小径が小さくなった(図6(a)参照)。また、エッチングのとき、基板の周囲から新鮮なエッチング液をスプレーしたため、基板の外周部に立設されている銅層310aは内周部に立設されている銅層310bよりも

50

中間部が大きく浸食された。また、電解銅めっき層 302 及び無電解銅めっき層 304 のうち、樹脂絶縁層 36 の上面部分が導体パターン 32 となり、スルーホール部分がパイアホール 34 となった。このとき、はんだ層 312, 322 はエッチングレジストとして機能した。ここで、銅層 310a の中間部をどの程度浸食させるかはエッチング時間によって制御することができる。この後、裏面には開口部を有するソルダーレジスト層 45 を形成した。

続いて、この作製途中の基板をはんだ剥離剤（商品名エンストリップ TL-106、メルテックス社製）に浸漬してはんだ層 312, 322 を除去したあと、エポキシ樹脂にウレタン樹脂が 60 vol% 分散している樹脂フィルムを貼り付け（図 6 (b) 参照）、150 で 60 分硬化して樹脂層 324 とした。この結果、銅層 310a が外側導体ポスト 50a となり、無電解銅めっき層 314 及び銅層 310b が内側導体ポスト 50b となった。その後、外側導体ポスト 50a 及び内側導体ポスト 50b の表面が露出するまで樹脂層 324 を研磨した（図 6 (c) 参照）。なお、研磨後の樹脂層 324 が低弾性率層 40 となる。また、低弾性率層 40 から露出した両導体ポスト 50a, 50b の頂部がランド 52 となる。

次に、この作製途中の基板を、銅表面を活性化するパラジウム触媒を含む酸性溶液に浸漬したあと、塩化ニッケル 30g/l、次亜リン酸ナトリウム 10g/l、クエン酸ナトリウム 10g/l からなる pH 5 の無電解ニッケルめっき液に 20 分間浸漬して、ランド 52 の上に厚さ 5 μm のニッケルめっき層を形成した。更に、その基板を、シアン化金カリウム 2g/l、塩化アンモニウム 75g/l、クエン酸ナトリウム 50g/l、次亜リン酸ナトリウム 10g/l からなる無電解金めっき液に 93 の条件で 23 秒浸漬して、ニッケルめっき層の上に厚さ 0.03 μm の金めっき層を形成した。そして、マスクパターンを用いてはんだペーストを印刷して 230 でリフローすることによりランド 52 上にはんだバンプ 66 を形成し、多層プリント配線板 10 の作製を完了した（図 6 (d) 及び図 1 参照）。

以上詳述した本実施形態の多層プリント配線板 10 によれば、外側導体ポスト 50a 及び内側導体ポスト 50b はいずれもアスペクト比 R_{asp} が 4 以上で直径が 30 μm を超え、しかも外側導体ポスト 50a のアスペクト比 R_{asp} が内側導体ポスト 50b のアスペクト比 R_{asp} 以上であるため、外側導体ポスト 50a はランド 52 とビルドアップ層上面の導体パターン 32 との電気的接続を維持したまま低弾性率層 40 の変形に応じて変形する。したがって、コア基板 20 と IC チップ 70 との熱膨張係数差に起因する応力が発生したとしても、IC チップ 70 の外周部や外周寄りのはんだバンプ 66 にかかる応力を確実に緩和することができ、熱膨張・熱収縮によってこれらの部位が破壊されるのを防止することができる。また、加熱・冷却を繰り返したときの電気抵抗の変化率を小さく抑えることができ、搭載した IC チップ 70 へ安定して電源を供給することができる。特に導体ポスト 50 は直径が 30 μm を超えているため、導体ポスト 50 の電気抵抗が低くなり、また、動作クロックが 3 GHz 以上の IC チップ 70 を搭載しても IC チップ 70 のトランジスタが電源不足に陥ることはない。これらの効果については後述する実験例で説明するとおり実証済みである。

また、外側導体ポスト 50a のアスペクト比 R_{asp} は内側導体ポスト 50b のアスペクト比 R_{asp} の 1.25 倍以上 2 倍以下であるため、上述した効果が顕著になる。更に、外側導体ポスト 50a や内側導体ポスト 50b は、クビレを持つ形状に形成されているため、略ストレート形状の導体ポストに比べて、加熱・冷却を繰り返したときの電気抵抗の変化率を一層抑えることができる。更にまた、導体ポスト 50 のうち外周から 10 列目まで（つまり全体（15 列）の 2/3 まで）の範囲を外側導体ポスト 50a としているが、この範囲の導体ポスト 50 にかかる応力は他の導体ポスト 50 にかかる応力に比べて大きいため、本発明を適用する意義が大きい。更にまた、ランド 52 として、低弾性率層 40 の上面と同一平面となるように形成された導体ポスト 50 の頂部を利用しているため、導体ポスト 50 とは別にランドを形成する場合に比べて、簡単に作製することができる。そしてまた、低弾性率層 40 は、30 におけるヤング率が 10 MPa ~ 1 GPa である

10

20

30

40

50

ため、熱膨張係数差に起因する応力をより確実に緩和することができる。

なお、本発明は上述した実施形態に何ら限定されることはなく、本発明の技術的範囲に属する限り種々の態様で実施し得ることはいうまでもない。

例えば、上述した実施形態では、導体ポスト50(50a, 50b)の形状をクビレを持つ形状としたが、略ストレートな柱状としてもよいし、外側導体ポスト50aのみクビレを持つ形状としてもよいし、内側導体ポスト50bのみクビレを持つ形状としてもよい。いずれにしても、外側導体ポスト50a及び内側導体ポスト50bのアスペクト比 R_{asp} が4以上で直径が $30\mu\text{m}$ を超え、しかも外側導体ポスト50aのアスペクト比 R_{asp} が内側導体ポスト50bのアスペクト比 R_{asp} 以上とすれば、本発明の効果が得られる。なお、これらについても後述する実験例で説明するとおり実証済みである。

図7は、両導体ポスト50a, 50bをいずれも略ストレート形状とする場合の作製手順の一例を示す説明図である。まず、上述した実施形態と同様、ビルドアップ層30が形成されたコア基板20を用意した(図7(a)参照)。このビルドアップ層30の上面に、市販のドライフィルム306(旭化成社製CX-A240を2枚重ねて貼り付けたもの、全厚 $240\mu\text{m}$)を貼り付け、炭酸ガスレーザにより基板の外周部に口径の小さな孔308a(例えば $33\mu\text{m}$)を形成すると共に基板の内周部に口径の大きな孔308b(例えば $50\mu\text{m}$)を形成した(図7(b)参照)。続いて、この作製途中の基板につき、各孔308a, 308bの底部から電解銅めっきを行うことにより柱状の銅層310a, 310bで孔308a, 308b内を充填し、更にこの銅層310a, 310bの上面にはんだ層312, 322を形成した(図7(c)参照)。続いて、ドライフィルム306を剥がしたあと、作製途中の基板をアンモニアアルカリエッチング液に浸漬してエッチングを行うことにより、無電解銅めっき層304のうち表面に露出している部分が除去された(図7(d)参照)。このとき、はんだ層312, 322はエッチングレジストとして機能した。なお、エッチング時間を制御することにより銅層310a, 310bを略ストレート形状にすることができた。このように略ストレート形状とする場合、エッチング液を直線状にスプレーできるスリットノズルを用いるのが有効である。また、電解銅めっき層302及び無電解銅めっき層304のうち、樹脂絶縁層36の上面部分が導体パターン32となり、スルーホール部分がパイアホール34となった。続いて、はんだ層312, 322をはんだ剥離剤により除去したあと、その作製途中の基板にエポキシ樹脂にウレタン樹脂が60vol%分散している樹脂フィルムを貼り付け、150で60分硬化して樹脂層316とし、その後銅層310a, 310bの表面が露出するまで樹脂層316を研磨した(図7(e)参照)。この結果、銅層310aが外側導体ポスト50aとなり、銅層310bが内側導体ポスト50bとなり、樹脂層が低弾性率層40となった。また、低弾性率層40から露出した両導体ポスト50a, 50bの頂部がランド52となった。後は、上述した実施形態と同様にしてランド52にはんだパンプを形成すればよい。このようにして得られた多層プリント配線板も、上述した実施形態とほぼ同等の効果が得られる。

また、上述した実施形態の低弾性率層40上にソルダーレジスト層を形成してもよい。この場合、ソルダーレジスト層にはランド52が外部に露出するよう開口を設ける。なお、このようなソルダーレジスト層は常法により形成することができる。

更に、上述した実施形態ではビルドアップ層30の上に導体ポスト50を備えた低弾性率層40を1層だけ形成したが、複数積層してもよい。

更にまた、上述した実施形態ではランド52を導体ポスト50の頂部つまり導体ポスト50の一部としたが、導体ポスト50の頂部にこの導体ポスト50とは別体のランドを形成してもよい。

そしてまた、図8に示すように、低弾性率層40を、ICチップ70を低弾性率層40側に仮想的に投影したときの投影部分の全域に略一致するように形成してもよい。低弾性率層40を図1のように投影部分の全域を超えてビルドアップ層30の全面に形成してもよいが、この投影部分の全域と略一致すれば十分な効果が得られることから、経済性等を考慮して投影部分の全域と略一致するように形成してもよい。

【実施例】

以下に、本実施形態の多層プリント配線板10の効果を実証するための実験例について説明する。まず、導体ポストのアスペクト比 R_{asp} と加熱・冷却を繰り返したあとの電気抵抗の変化率との関係について説明する。ここでは、表1に示す実験例1~23の導体ポスト（縦30×横30つまり最外周から15列目まで多重に形成されている）を備えた多層プリント配線板を上述した実施形態に準じて作製した。表1において、実験例1~12の多層プリント配線板は最小径と最大径とが同じ導体ポストつまり略ストレートな柱状の導体ポストを有するものであり、これらは図7の作製手順に準じて作製した。また、実験例13~23の多層プリント配線板は最小径と最大径が異なる導体ポストつまりクビレを持つ形状の導体ポストを有するものであり、これらは図4~図6の作製手順に準じて作製した。このようにして得られた各実験例の多層プリント配線板に、ポーラス化した層間絶縁膜を有するICチップを実装し、その後ICチップと多層プリント配線板との間に封止樹脂を充填しIC搭載基板とした。そして、ICチップを介した特定回路の電気抵抗（IC搭載基板のICチップ搭載面とは反対側の面に露出しICチップと導通している一対の電極間の電気抵抗）を測定し、その値を初期値とした。その後、それらのIC搭載基板に、-55×5分、125×5分を1サイクルとしこれを2000サイクル繰り返すヒートサイクル試験を行った。このヒートサイクル試験において、250サイクル目、500サイクル目、750サイクル目、1000サイクル目、1250サイクル目、1500サイクル目、2000サイクル目、2500サイクル目の電気抵抗を測定し、初期値との変化率（ $100 \times (\text{測定値} - \text{初期値}) / \text{初期値} (\%)$ ）を求めた。その結果を表1に示す。このテーブル中、電気抵抗の変化率が±5%以内のものを「優」（○）、±5~10%のものを「良」（△）、±10%を超えたものを「不良」（×）とした。ここで、電気抵抗の変化率が小さければICチップの外周部や外周寄りのはんだバンプのダメージが小さくICチップへ安定して電源供給できることを意味し、電気抵抗の変化率が大きければICチップの外周部や外周寄りのはんだバンプが破壊され大きなダメージを受けておりICチップへ安定して電源供給できないことを意味する。なお、目標スペックは1000サイクル目の変化率が±10%以内（つまり評価で「良」か「優」）である。

10

20

【表1】
表1

実験例	外側導体ポストの形状				内側導体ポストの形状				電気抵抗の変化率に基づく評価 ※								
	列数	高さ (μm)	最小径 (μm)	最大径 (μm)	外側 Rasp	高さ (μm)	最小径 (μm)	最大径 (μm)	内側 Rasp	250	500	750	1000	1250	1500	2000	2500
										サイクル	サイクル	サイクル	サイクル	サイクル	サイクル	サイクル	サイクル
1	~1	200	60	60	3.3	200	50	50	4	○	×	×	×	×	×	×	×
2	~1	200	50	50	4	200	50	50	4	◎	◎	◎	○(8.7)	×	×	×	×
3	~1	200	40	40	5	200	50	50	4	◎	◎	◎	◎(4.7)	○	×	×	×
4	~1	200	33	33	6.1	200	50	50	4	◎	◎	◎	◎(4.3)	◎	○	×	×
5	~10	200	60	60	3.3	200	50	50	4	◎	○	×	×	×	×	×	×
6	~10	200	50	50	4	200	50	50	4	◎	◎	◎	◎(4.3)	○	×	×	×
7	~10	200	40	40	5	200	50	50	4	◎	◎	◎	◎(2.3)	◎	◎	○(8.7)	×
8	~10	200	33	33	6.1	200	50	50	4	◎	◎	◎	◎(2.2)	◎	◎	◎(3.8)	○
9	~3	200	40	40	5	200	50	50	4	◎	◎	◎	◎(4.5)	◎	○	×	×
10	~6	200	40	40	5	200	50	50	4	◎	◎	◎	◎(2.6)	◎	◎	○(8.5)	×
11	~1	200	50	50	4	200	60	60	3.3	◎	○	×	×	×	×	×	×
12	~10	200	50	50	4	200	60	60	3.3	◎	◎	○	×	×	×	×	×
13	~1	200	60	120	3.3	200	50	100	4	○	○	×	×	×	×	×	×
14	~1	200	50	120	4	200	50	100	4	◎	◎	◎	◎(4.3)	○	×	×	×
15	~1	200	40	120	5	200	50	100	4	◎	◎	◎	◎(2.1)	◎	◎	◎	○
16	~1	200	33	120	6.1	200	50	100	4	◎	◎	◎	◎(1.9)	◎	◎	◎	○
17	~10	200	60	120	3.3	200	50	100	4	◎	◎	○	×	×	×	×	×
18	~10	200	50	120	4	200	50	100	4	◎	◎	◎	◎(2.6)	◎	◎	◎	◎
19	~10	200	40	120	5	200	50	100	4	◎	◎	◎	◎(1.0)	◎	◎	◎	◎
20	~10	200	31	120	6.5	200	50	100	4	◎	◎	◎	◎(0.8)	◎	◎	◎	◎
21	~1	200	25	120	8	200	50	100	4	×	×	×	×	×	×	×	×
22	~1	270	33	33	8.2	270	68	68	4	◎	○	○	×	×	×	×	×
23	~1	265	33	33	8	265	66	66	4	◎	◎	◎	○	×	×	×	×

※ ◎: 優(5%以内) ○: 良(5~10%) ×: 不良(10%以上)
 ()内の数値は電気抵抗変化率(%)

R a s p が 4 以上で直径が $30 \mu\text{m}$ を超え、しかも外側導体ポストのアスペクト比 R a s p が内側導体ポストのアスペクト比 R a s p 以上という条件を満足するもの（実験例 2 ~ 4, 6 ~ 10, 14 ~ 16, 18 ~ 20, 23）については、いずれも 1000 サイクル目まで評価が「良」以上であったのに対して、この条件を満足しないもの（実験例 1, 5, 11 ~ 13, 17, 21）については、いずれも 1000 サイクル目までのいずれかの段階で評価が「不良」であった。また、外側導体ポストのアスペクト比が内側導体ポストのアスペクト比の 2 倍を超える実験例 22 では、750 サイクル目までは評価が「良」で 1000 サイクル目以降は「不良」、外側導体ビアのアスペクト比が内側導体ビアのアスペクト比の 2 倍である実験例 23 では、1000 サイクル目までは評価が「良」で 1250 サイクル目以降は「不良」であった。なお、かっこ内の数値は抵抗変化率を示している。

10

また、例えば実験例 2 と実験例 3, 4 とを比較すると、外側導体ポストのアスペクト比 R a s p が内側導体ポストのアスペクト比 R a s p の 1.25 倍以上である後 2 者は、外側導体ポストのアスペクト比 R a s p と内側導体ポストのアスペクト比 R a s p が等しい前者に比べて、より長いサイクル数まで評価が「良」であった。同様のことは、実験例 6 と実験例 7, 8 とを比較したり、実験例 14 と実験例 15, 16 とを比較したり、実験例 18 と実験例 19, 20 とを比較してもいえる。

更に、例えば実験例 2 と実験例 14 とを比較すると、これらはいずれも外側導体ポストが最外周 1 列だけであるが、導体ポストがクビレを有する後者は導体ポストがストレート形状の前者に比べて、より長いサイクル数まで評価が「良」であった。同様のことは、実験例 3 と実験例 15 とを比較したり、実験例 4 と実験例 16 とを比較してもいえる。また、外側導体ポストが最外周から 10 列目までの実験例 6 と実験例 18 とを比較したり、実験例 7 と実験例 19 とを比較したり、実験例 8 と実験例 20 とを比較してもいえる。

20

更にまた、例えば実験例 3, 7, 9, 10 を比較すると、これらはいずれも外側導体ポストのアスペクト比 R a s p が 5 で内側導体ポストのアスペクト比 R a s p が 4 であるが、導体ポスト 50 のうち最外周 1 列だけを外側導体ポストとした実験例 3、最外周から 3 列目までを外側導体ポストとした実験例 9、最外周から 6 列目までを外側導体ポストとした実験例 10、最外周から 10 列目までを外側導体ポストとした実験例 7 の順に、より長いサイクル数まで評価が「良」又は「優」となる傾向があった。

次に、IC チップの位置とその位置にかかる応力との関係について説明する。多層プリント配線板にポーラス化した層間絶縁膜を有する IC チップを実装した IC 搭載基板について、3D ストリップシミュレーションを行い、IC チップの接続部（多層プリント配線板の導体ポストと 1 対 1 に対応するように最外周から 15 列目まで形成されている）の位置つまり列数とその位置にかかる応力との関係を計算した。なお、導体ポストのアスペクト比はすべて同一で 1 とし、低弾性率層や導体ポスト、IC チップ、多層プリント配線板、はんだ等の材質は同じとした。そして、それらの厚み等の寸法も同じとし、それらのヤング率、ポアソン比、熱膨張係数を入力して計算した。その結果を図 9 のテーブル及びグラフに示す。このテーブル及びグラフから明らかなように、IC チップの接続部の列数が最外周から 10 列目（全列数 $\times 2 / 3$ 列目）までは比較的大きな応力がかかり、最外周から 6 列目（全列数 $\times 2 / 5$ 列目）までは特に大きな応力がかかることがわかる。この結果、導体ポストのうち最外周から全列数 $\times 2 / 3$ 列目を超える位置（ $2 / 3$ 列目より内側の導体ポスト）では応力を緩和する必要性が乏しいことから、最外周から全列数 $\times 2 / 3$ 列目までの範囲内で外側導体ポストを設定するのが好ましく、特に最外周から全列数 $\times 2 / 5$ 列目までの範囲内で外側導体ポストを設定するのが好ましい。

30

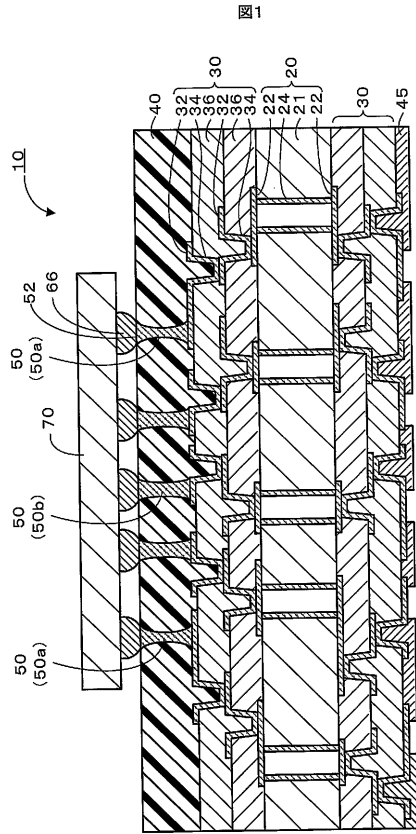
40

本発明は、2004 年 4 月 28 日に出願された日本国特許出願 2004 - 134370 号を優先権主張の基礎としており、その内容のすべてが編入される。

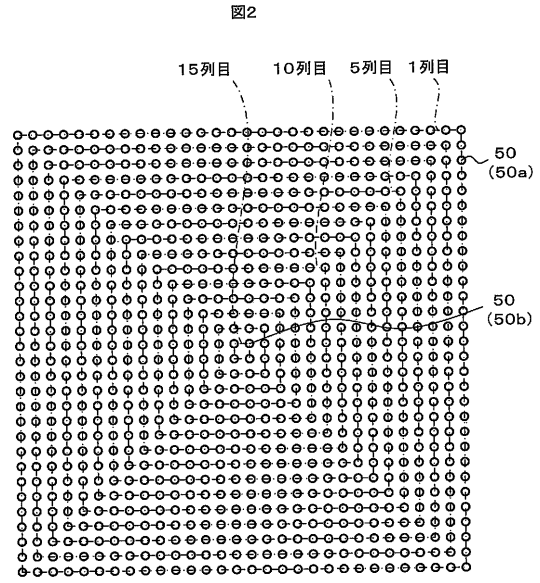
【産業上の利用可能性】

本発明の多層プリント配線板は、配線板搭載機器を用いる各種産業、例えば電器産業、通信機器産業、自動車産業などの分野に利用される。

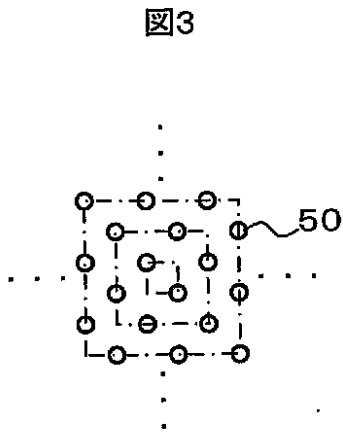
【 図 1 】



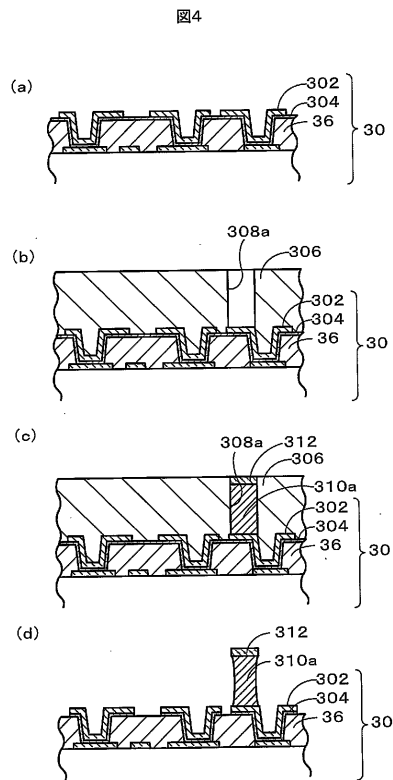
【 図 2 】



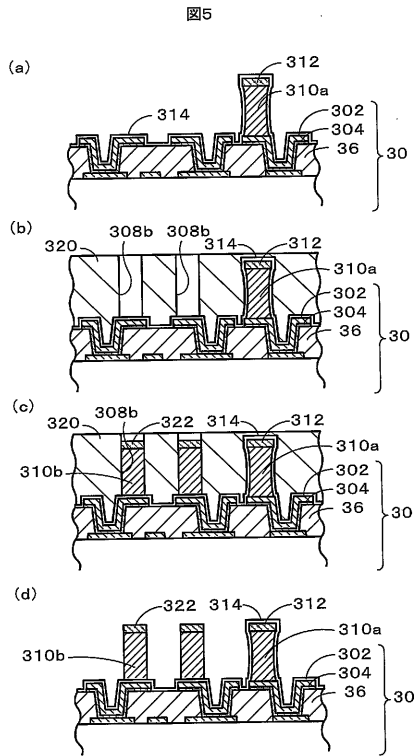
【 図 3 】



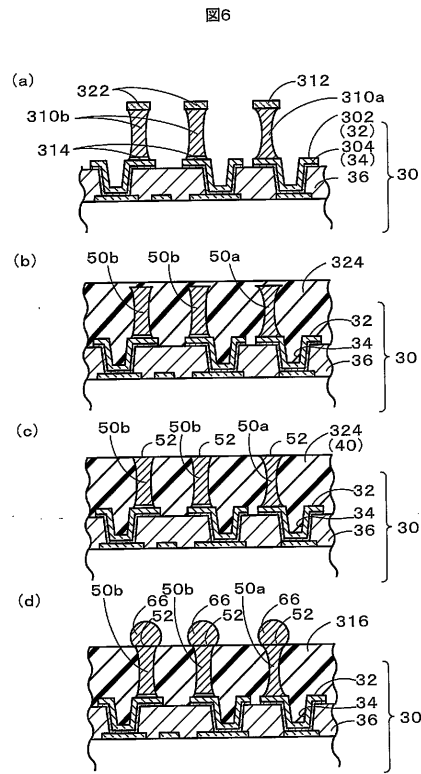
【 図 4 】



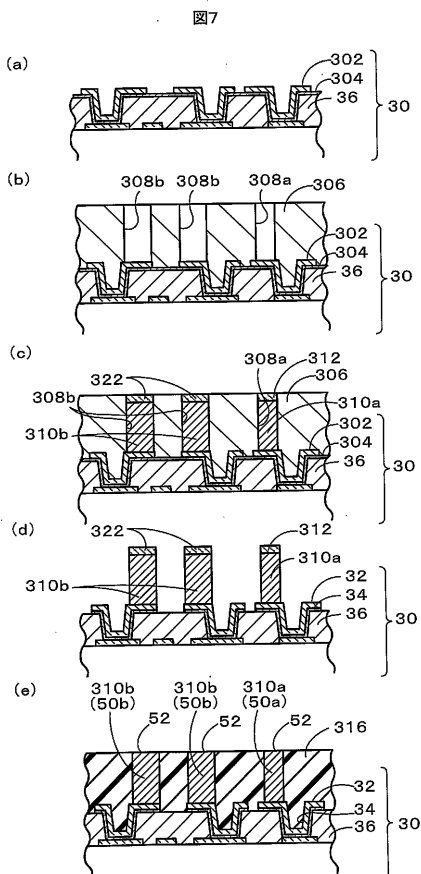
【図5】



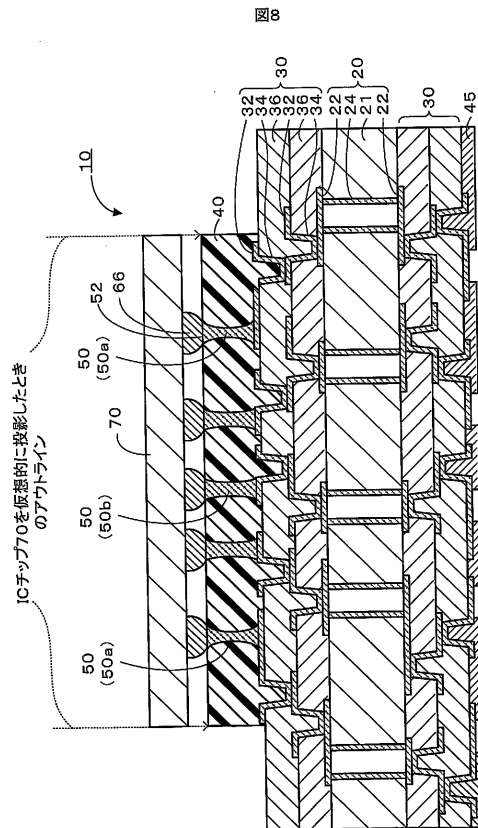
【図6】



【図7】



【図8】



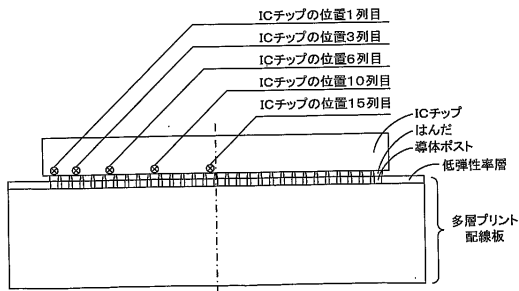
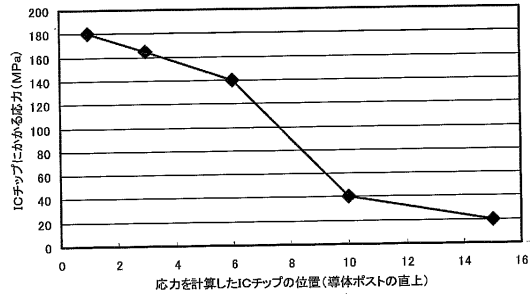
【図9】

図9

3Dストリップシミュレーション

ICチップの位置(列)	応力(MPa)
1	180
3	165
6	140
10	40
15	20

【ICチップの位置とそこにかかる応力との関係】



フロントページの続き

- (56)参考文献 特開2001-298272(JP,A)
特開2001-036253(JP,A)
特開平05-047842(JP,A)
特開昭58-028848(JP,A)

(58)調査した分野(Int.Cl., DB名)

H05K 3/46

H01L 23/12