

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4018309号

(P4018309)

(45) 発行日 平成19年12月5日(2007.12.5)

(24) 登録日 平成19年9月28日(2007.9.28)

(51) Int. Cl.

F I

HO 1 L	21/82	(2006.01)	HO 1 L	21/82	W
GO 3 F	1/08	(2006.01)	GO 3 F	1/08	A
GO 6 F	17/50	(2006.01)	GO 6 F	17/50	6 6 6 L
HO 1 L	21/027	(2006.01)	GO 6 F	17/50	6 6 8 M
			HO 1 L	21/30	5 0 2 Z

請求項の数 18 (全 27 頁)

(21) 出願番号 特願2000-35267 (P2000-35267)
 (22) 出願日 平成12年2月14日(2000.2.14)
 (65) 公開番号 特開2001-230323 (P2001-230323A)
 (43) 公開日 平成13年8月24日(2001.8.24)
 審査請求日 平成15年8月22日(2003.8.22)

(73) 特許権者 000005821
 松下電器産業株式会社
 大阪府門真市大字門真1006番地
 (74) 代理人 100095555
 弁理士 池内 寛幸
 (74) 代理人 100076576
 弁理士 佐藤 公博
 (72) 発明者 石倉 聡
 大阪府門真市大字門真1006番地 松下
 電器産業株式会社内

審査官 大嶋 洋一

最終頁に続く

(54) 【発明の名称】 回路パラメータ抽出方法、半導体集積回路の設計方法および装置

(57) 【特許請求の範囲】

【請求項1】

半導体集積回路のレイアウトから配線抵抗や配線容量等の回路パラメータを抽出する方法であって、

モデル配線と該モデル配線の周囲に存在する同層の配線との距離と、該モデル配線のマスクレイアウト幅と仕上がり幅との差との相関データを準備し、

実際のレイアウトから、解析配線の配線長と配線幅を抽出すると共に、該解析配線と同層で周囲に存在する配線との距離を抽出し、

抽出した前記解析配線のレイアウト配線幅と、同じく抽出した前記解析配線と前記解析配線の周囲に存在する前記配線との距離とに対して、前記相関データを参照することによって得られる配線仕上がり幅を用いて、配線抵抗値と配線容量値を算出することを特徴とする回路パラメータ抽出方法。

【請求項2】

半導体集積回路のレイアウトから配線抵抗や配線容量等の回路パラメータを抽出する方法であって、

モデル配線の配線層の、ある設定領域内における配線パターンの存在割合である配線パターン面積率と、該モデル配線の仕上がり幅の変化量との相関データを準備し、

実際のレイアウトから、解析配線の配線長と配線幅を抽出すると共に、該解析配線の配線層のパターン面積率を計算し、

抽出した前記解析配線の配線長と配線幅と、計算した前記解析配線層の前記パターン面

10

20

積率とに対して、前記相関データを参照することによって得られる、面積率に起因した配線仕上がり幅の変化量を用いて、配線仕上がり幅を求め、配線抵抗値と配線容量値を算出することを特徴とする回路パラメータ抽出方法。

【請求項 3】

準備する前記相関データは、前記モデル配線の配線断面を、長方形、長方形以外の鋭角や鈍角の角を有する四角形、四角以上の多角形、ある辺の形状をある曲率の円周曲線として表現する形状、およびある辺をある関数曲線で表現する形状のいずれかの変化として表現し、

前記抽出した前記解析配線のレイアウト上の配線長と配線幅に加えて、前記相関データを参照することで求められる仕上がり後の配線断面形状の断面積を計算することにより単位長当たりの配線抵抗値を求め、該単位長当たりの配線抵抗値とレイアウト上の配線長より解析配線の抵抗値と容量値を算出する請求項 1 または 2 記載の回路パラメータ抽出方法。

10

【請求項 4】

前記配線断面形状を台形形状として取り扱う請求項 3 記載の回路パラメータ抽出方法。

【請求項 5】

半導体集積回路のレイアウトから配線抵抗や配線容量等の回路パラメータを抽出する方法であって、

モデル配線のレイアウト上の配線幅をパラメータとして、該モデル配線と該モデル配線の周囲に存在する同層の配線との距離と、該モデル配線の抵抗値及び容量値の変化量とを表現した相関データを準備し、

20

実際のレイアウトから、解析配線の配線長と配線幅を抽出すると共に、該解析配線と同層で周囲に存在する配線との距離を抽出し、

抽出した前記解析配線のレイアウト配線幅をパラメータとして、前記相関データを参照することにより、前記解析配線の仕上がり抵抗値及び容量値を算出することを特徴とする回路パラメータ抽出方法。

【請求項 6】

半導体集積回路のレイアウトから配線抵抗や配線容量等の回路パラメータを抽出する方法であって、

モデル配線のレイアウト上の配線幅をパラメータとして、該モデル配線の配線層のある設定領域内における配線パターンの存在割合である配線パターン面積率と、該モデル配線の抵抗値及び容量値の変化量との相関データを準備し、

30

実際のレイアウトから、解析配線の配線長と配線幅を抽出すると共に、該解析配線の配線層のパターン面積率を計算し、

抽出した前記解析配線のレイアウト配線幅をパラメータとして、前記相関データを参照することにより、前記解析配線の仕上がり抵抗値及び容量値を算出することを特徴とする回路パラメータ抽出方法。

【請求項 7】

準備する前記相関データは、テーブル化もしくは近似計算式化されている請求項 1 から 6 のいずれか一項記載の回路パラメータ抽出方法。

40

【請求項 8】

前記配線パターン面積率の計算を行う際に、チップ面積全体に占める配線パターンの面積率を計算する請求項 2 または 6 記載の回路パラメータ抽出方法。

【請求項 9】

前記配線パターン面積率の計算を行う際に、回路ブロック毎に配線パターンの面積率を計算する請求項 2 または 6 記載の回路パラメータ抽出方法。

【請求項 10】

前記配線パターン面積率の計算を行う際に、配線加工プロセス工程が周囲に存在する配線パターンの面積率の影響を受け得る範囲内において、パターン面積率の計算を行う請求項 2 または 6 記載の回路パラメータ抽出方法。

50

【請求項 1 1】

最小加工寸法の 10 倍の領域範囲内において、前記配線パターン面積率の計算を行う請求項 1 0 記載の回路パラメータ抽出方法。

【請求項 1 2】

請求項 1 から 1 1 のいずれか一項記載の回路パラメータ抽出方法と、半導体リソグラフィ工程で使用するフォトマスクデータ生成工程におけるリソグラフィ工程に起因したレジスト仕上がり幅の変化量を補正する光近接効果補正、及びレジストのエッチング工程に起因した孤立パターンでのレジスト細りの変化量補正とを合わせて用いることを特徴とする半導体集積回路の設計方法。

【請求項 1 3】

マスクレイアウトデータを一旦参照して、請求項 1 から 1 1 のいずれか一項記載の回路パラメータ抽出方法を用いて、配線仕上がり幅と配線抵抗値及び配線容量値を算出した上で、前記配線抵抗値及び配線容量値と設計時に設定した所望の配線抵抗値及び配線容量値とを比較し、

レイアウト配線幅に対して前記所望の配線抵抗値及び配線容量値に近づける補正を加えるか否かを判定し、

前記判定の結果、補正が必要である場合に、前記所望の配線抵抗値及び配線容量値に近づけるように前記レイアウト配線幅に補正を加え、

再度、前記レイアウト配線幅を補正した後の配線抵抗値及び配線容量値を用いて、半導体集積回路のタイミングシミュレーションを行うことを特徴とする半導体集積回路の設計方法。

【請求項 1 4】

半導体集積回路の設計方法であって、

配線の断面形状を台形形状として扱い、

リソグラフィ工程に起因したレジスト仕上がり幅の変化量を補正する光近接効果補正、およびレジストのエッチング工程に起因した孤立パターンでのレジスト細りの変化量補正を加えるレイアウト補正を行い、

前記レイアウト補正を用いた上での、モデル配線と該モデル配線の周囲に存在する同層の配線との距離と、該モデル配線の仕上がり形状の上底及び下底との第 1 相関データと共に、前記レイアウト補正を用いた上での、前記モデル配線の配線層の面積率と、前記モデル配線の仕上がり形状の上底及び下底の仕上がり値との第 2 相関データとを準備し、

実際のレイアウトから、解析配線の配線長と配線幅を抽出すると共に、該解析配線と同層で周囲に存在する配線との距離を抽出し、

前記解析配線の配線層のパターン面積率を計算し、

抽出した解析配線の前記配線長、前記配線幅、前記解析配線と同層で周囲に存在する配線との前記距離、および前記解析配線の配線層の前記パターン面積率を用いて、前記解析配線の台形形状断面における上底及び下底の変化量、前記解析配線の配線断面積、および配線抵抗値を計算し、

計算した前記解析配線抵抗値に対して、設計時に意図した所望の配線抵抗値及び配線容量値に近づける補正を加えるか否かを判定し、

前記判定の結果、補正が必要である場合に、前記所望の配線抵抗値及び配線容量値に近づけるようにレイアウト配線幅を変化させる補正を加え、

再度、前記補正を行った後の配線抵抗値及び配線容量値を用いて、半導体集積回路のタイミングシミュレーションを行うことを特徴とする半導体集積回路の設計方法。

【請求項 1 5】

前記解析配線の配線層の前記パターン面積率を計算する際に、チップ面積全体に占める配線パターンの面積率を計算する請求項 1 4 記載の半導体集積回路の設計方法。

【請求項 1 6】

前記解析配線の配線層の前記パターン面積率を計算する際に、回路ブロック毎に配線パターンの面積率を計算する請求項 1 4 記載の半導体集積回路の設計方法。

10

20

30

40

50

【請求項 17】

前記解析配線の配線層の前記パターン面積率を計算する際に、配線加工プロセス工程が周囲に存在する配線パターンの面積率の影響を受け得る範囲内において、パターン面積率の計算を行う請求項 14 記載の半導体集積回路の設計方法。

【請求項 18】

最小加工寸法の 10 倍の領域範囲内において、前記解析配線の配線層の前記パターン面積率の計算を行う請求項 17 記載の半導体集積回路の設計方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】

本発明は、主に半導体集積回路設計における配線抵抗値、配線容量値、トランジスタのゲート幅等の回路パラメータ抽出方法、及び抽出した回路パラメータを用いて半導体集積回路のタイミング検証シミュレーションを実行する半導体集積回路の設計方法および装置に関する。

【0002】

【従来の技術】

従来の半導体集積回路設計においては、レイアウトデータからタイミング検証のためのシミュレーション用回路データを抽出/作成する際に、配線容量に関しては周囲に存在する配線との関係を考慮して計算されているが、配線抵抗に関しては、その配線自身がマスク的に描かれている幅と長さのみを考慮して計算されていた。少なくとも現在市販されている自動配置配線ツールと組み合わせて用いられるタイミングシミュレーションを行う際には、同層配線との配線間隔は考慮されていないのが現状である。

【0003】

しかしながら、配線抵抗は周囲の配線とは関係が無く、配線容量は周囲配線との関係で決まるということは、物理現象的な観点においては正しいが、実際の半導体製造工程では、配線のパターン形成はリソグラフィ工程やエッチング工程によって形成されるため、対象とする配線と同層の配線が周囲に存在するか否か、周囲配線との距離、配線パターンの面積率等により、その仕上がり配線幅や断面形状に差が出てくる。

【0004】

特に近年はプロセス微細化が加速度的に進んでおり、リソグラフィ工程で加工対象とするパターンの最小寸法に対して、リソグラフィ工程で使用するステッパー光源波長の余裕度が益々少なくなっている。そのため、配線パターン間の距離を検出して、所望の仕上がり幅となるような補正をマスクパターンに加える光近接効果補正 (Optical Proximity Correction、略して OPC と称する) が考案され、ゲート電極層に関しては、この OPC を用いるのが最近の微細プロセスでは一般的となっている。

【0005】

メタル配線層に関して言えば、パターン描画にリソグラフィ工程が使われる点についてはゲート電極層と同じであるが、同一プロセス世代ではゲート電極層よりも最小加工寸法が大きい場合が一般的である。具体的な数値で述べると、0.18 μm 世代では、ゲート電極幅が約 0.18 μm 程度で、メタル配線幅が 0.20 ~ 0.35 μm 程度というのが一般的なレイアウトルールである。メタル配線については、トランジスタ特性に直接的に大きな影響を与えるゲート寸法よりは厳しい寸法規格値を要求されてこなかったため、OPC 等はほとんど用いられていないのが現状一般的である。言い換えれば、OPC を用いなくても所望のレジスト寸法制御 (リソグラフィ性能) が確保可能だからである。

【0006】

また、拡散層の分離領域形成もプロセスの微細化に伴って、従来の LOCOS から STI (Shallow Trench Isolation) に移行して来ている。LOCOS ではシリコンの熱酸化によって分離用の SiO₂ 膜を形成していたが、バースピークと呼ばれる大きな入り込み量が生じてしまうという短所を有しており、微細化には不向きであった。STI は、このバースピーク発生の不具合を回避して微細なトランジスタ分離領域を形成するために考案さ

10

20

30

40

50

れた。その概要としては、ドライエッチングで彫り込んだ部分に SiO_2 膜を埋め込むフローによって分離膜を形成するプロセスフローである。微細な分離パターンを形成可能という長所に加えて、LOCOSが拡散層側面部にチャンネルストップ注入と呼ばれる大きな寄生容量成分を持っていたのに対し、STIは SiO_2 膜でトランジスタ活性領域の側面部を分離するので寄生容量が少ないという長所もある。

【0007】

【発明が解決しようとする課題】

しかしながら、従来方法には以下のような問題点がある。

【0008】

考慮せねばならないのは、配線の製造工程は、配線のリソグラフィ工程だけではなく、レジスト形成後の配線ドライエッチ工程も含むことである。以下に、LSI製造工程を含めて図13を用いて説明する。

【0009】

図13に示すように、配線の製造工程は、(a)配線層を堆積、(b)レジストを塗布、(c)マスクを用いて感光、(d)不要なレジストパターン除去、(e)レジストパターンを用いて配線層をドライエッチングでパターン形成、からなる。

【0010】

まず、工程(c)、(d)でレジストパターンを形成するのであるが、近辺に存在するパターンとの光学的干渉や面積率の関係から、マスク上に描いたパターン寸法通りに仕上がらないという問題がある。この問題に対しては、従来技術に示したような、ゲート電極に対して用いられている光近接効果補正(OPC)が有効である。

【0011】

そしてさらに、リソグラフィ工程でレジストが寸法通りに形成されていたとしても、配線パターン形成におけるドライエッチング工程において、その配線パターンの近くに別の配線が存在するか否かで配線形状に差が生じてしまうという問題が新たに存在する。

【0012】

配線のエッチング条件を、最小のライン&スペースピッチ、またはASIC設計手法における自動配置配線ツールでの配線グリッドのように、非常に多く用いられる狭いピッチに最適設定したとする。ここで、最適設定とは、そうしたレイアウト状態の場合にエッチング対象の配線断面形状がほぼ真四角になるようにエッチング条件を設定することを意味している。

【0013】

こうしたエッチング条件設定の場合、あるモデル配線の周囲に他の配線が存在しないようなレイアウトパターンに対しては、そのモデル配線のボトム部が太まり、配線抵抗値が低くなる傾向がある。この理由としては、周囲に配線が存在しない場合、ドライエッチング時に取り除くメタルの量が非常に多くなり、一旦プラズマエッチングで飛ばされたエッチング対象であるメタルが、再度配線パターンの側壁に堆積するメカニズム等により説明されている。(図14(a)、図14(b)、および図14(c)にそれぞれ示す、ライン&スペース・パターンの断面図、孤立パターンの断面図、および図14(b)の拡大図を参照)

よって、着目配線の隣に来る配線が遠い程エッチング時に側壁近傍で飛ばされるメタル量が増え、たとえ着目配線のトップ部が光近接効果補正等により所望のレジスト幅に仕上がっていたとしても、配線ボトム部の幅が広がった、上底よりも下底の方が大きな台形形状になってしまうという課題がある。

【0014】

図15に、その配線スペースと配線仕上がり幅との依存性グラフ(実測値)を示す。図15からもわかるように、配線のトップ部の寸法は配線間距離(スペース幅)が変わってもほとんど変化しておらず、ボトム側の寸法が変化している。このことから、リソグラフィをケアしてレジスト寸法がきちんと出るように光近接効果補正や孤立パターンに対する補正等をいくら行ったとしても、このボトム部の太りに対しては精度良く扱いきれないこと

10

20

30

40

50

が判る。

【 0 0 1 5 】

より正確に言うと、エッチングプラズマはレジストの上から配線パターンに垂直に飛んでくるのでレジスト寸法以上には削れないという理由付けで上記説明を行ったが、エッチング工程の条件設定によっては、配線パターンの側面部に飛び込んでくる速度成分を持ったエッチングプラズマによってレジスト下の配線トップ部寸法もレジスト寸法以上に削れてしまうこともあり得る。

【 0 0 1 6 】

また、こうしたプロセス工程に対しては、パターン面積率というファクターが重要な因子なのであるが、この配線ドライエッチの工程に対しても、従来から光近接効果等を用いて議論されているレジストのリソグラフィ工程に対しても、対象パターンの面積率が未考慮であり、それを考慮に入れることで配線の仕上がりパターン形状、及びそれから導出される機能確認シミュレーションで使用する配線抵抗や容量等の回路パラメータの精度をさらに向上出来ることが判った。

10

【 0 0 1 7 】

図 1 6 に、メタルをドライエッチング工程で削るプロセスにおける配線パターン面積率（開口率 = 1 0 0 - パターン面積率で表す）と配線仕上がり幅のズレ量との相関データ（実測値）を示す。図 1 6 に示すように、配線パターン面積率が小さくなる（開口率が大きくなる）ほど、配線仕上がり幅は太めになっていくことがわかる。ちなみに、ゲート電極は配線とはエッチングされる材料が異なるので、エッチング時に付くテーパ角は配線ほど問題になるレベルではない。

20

【 0 0 1 8 】

また最近、配線の低抵抗化 / 高信頼性を狙って、配線材料をアルミでなく銅（Cu）を用いるプロセスも用いられて来つつある。Cu の場合はエッチングが難しく、層間膜を掘り込んでおいてその中に Cu を埋め込み、Cu を CMP（Chemical Mechanical Polishing：化学的機械研磨）して形成するダマシンプロセスを用いるのが現在の主流プロセスである。しかし、このダマシンプロセスにおいてもエッチング工程を用いているので、この配線間の距離や面積率によってテーパ角が変わる問題は同一である。但し、配線自体をエッチングするのとポジとネガが逆の関係であり、配線自体をエッチングする場合とは配線間距離や配線パターン面積率と仕上がり幅との相関関係は増減が逆の関係となる。また、配線幅が太いパターンにおいて、メタル CMP 時に配線幅がすり鉢型に中央程薄くなるディッシングと呼ばれる不具合が発生すること等が配線自体をエッチングするプロセスとは異なる。

30

【 0 0 1 9 】

また、前述のトランジスタ分離領域形成プロセス STI においても、分離領域を掘り込む際にエッチング工程が存在するので、詳細はそのエッチング特性にも依存するが、トランジスタ活性領域間の距離が変われば STI 端のテーパ角が変わり、トランジスタゲート幅が変化する可能性がある。

【 0 0 2 0 】

したがって、本発明は、上記課題に鑑みてなされたものであり、高精度な配線仕上がり幅算出および高精度な回路シミュレーションを可能にする回路パラメータ抽出方法、それを用いた半導体集積回路の設計方法および装置を提供することを目的とする。

40

【 0 0 2 1 】

【課題を解決するための手段】

前記の目的を達成するため、本発明の第 1 回路パラメータ抽出方法は、半導体集積回路のレイアウトから配線抵抗や配線容量等の回路パラメータを抽出する方法であって、モデル配線と該モデル配線の周囲に存在する同層の配線との距離と、該モデル配線のマスクレイアウト幅と仕上がり幅との差との相関データを準備し、実際のレイアウトから、解析配線の配線長と配線幅を抽出すると共に、該解析配線と同層で周囲に存在する配線との距離を抽出し、抽出した前記解析配線のレイアウト配線幅と、同じく抽出した前記解析配線と前

50

記解析配線の周囲に存在する前記配線との距離とに対して、前記相関データを参照することによって得られる配線仕上がり幅を用いて、配線抵抗値と配線容量値を算出することを特徴とする。

【0022】

この第1回路パラメータ抽出方法によれば、従来技術では未考慮であった解析配線の仕上がり幅とその解析配線の周囲に存在する配線との距離との相関データを用いることにより、従来よりもより高精度な配線抵抗/容量の抽出、及び高精度な回路シミュレーションが可能となる。これにより、チップ上の各場所での配線間距離差に起因して発生する配線抵抗値の違いによって生じうるタイミングスキュー等のタイミングエラーも抑制可能となる。

10

【0023】

また、本手法はリソグラフィ工程に起因して生ずる配線仕上がり幅の変化も含めて用いることが可能であるので、配線トップ部の寸法がマスクレイアウトパターン通りの寸法に仕上がっていなくても、その差も含めて高精度に配線パラメータを抽出しシミュレーションできる。その応用的使用方法としては、配線に用いるレジストが加工ルールの断線やショートには至らないOKのレベルだが仕上がりバラツキに関する規格値としてはOPCを用いねば実現不可能な精度を要求されているような場合において、OPC無しで本発明の配線間距離と配線仕上がり幅依存性を考慮した回路パラメータ抽出も用いることによって、OPC用の微細追加パターンを扱える高精度な高額マスクや長時間のOPCマスク処理が不要となる。

20

【0024】

前記の目的を達成するため、本発明の第2回路パラメータ抽出方法は、半導体集積回路のレイアウトから配線抵抗や配線容量等の回路パラメータを抽出する方法であって、モデル配線の配線層の、ある設定領域内における配線パターンの存在割合である配線パターン面積率と、該モデル配線の仕上がり幅の変化量との相関データを準備し、実際のレイアウトから、解析配線の配線長と配線幅を抽出すると共に、該解析配線の配線層のパターン面積率を計算し、抽出した前記解析配線の配線長と配線幅と、計算した前記解析配線層の前記パターン面積率とに対して、前記相関データを参照することによって得られる、面積率に起因した配線仕上がり幅の変化量を用いて、配線仕上がり幅を求め、配線抵抗値と配線容量値を算出することを特徴とする。

30

【0025】

この第2回路パラメータ抽出方法によれば、解析配線の配線層面積率と解析配線仕上がり幅との相関データを用いることにより、高精度な配線抵抗及び配線容量パラメータの抽出が可能となる。また、チップ上の各場所での配線の粗密差や配線間距離差に起因して発生する配線抵抗値の違いによって生じうるタイミングスキュー等のタイミングエラーも抑制可能となる。

【0026】

前記第1および第2回路パラメータ抽出方法において、準備する前記相関データは、前記モデル配線の配線断面を、長方形、長方形以外の鋭角や鈍角の角を有する四角形、四角以上の多角形、ある辺の形状をある曲率の円周曲線として表現する形状、およびある辺をある関数曲線で表現する形状のいずれかの変化として表現し、前記抽出した前記解析配線のレイアウト上の配線長と配線幅に加えて、前記相関データを参照することで求められる仕上がり後の配線断面形状の断面積を計算することにより単位長当たりの配線抵抗値を求め、該単位長当たりの配線抵抗値とレイアウト上の配線長より解析配線の抵抗値と容量値を算出することが好ましい。

40

【0027】

この方法によれば、従来の真四角な断面として扱われていたものよりもより高精度な抵抗計算が可能となる。

【0028】

また、前記配線断面形状を台形形状として取り扱うことが好ましい。

50

【0029】

この方法によれば、従来の真四角な断面として扱われていたものよりもより高精度な抵抗計算が可能となる。特に、台形状は扱いがさほど複雑ではなく、かつ、配線仕上がり形状をかなり精度良く取り扱える近似形状である。

【0030】

前記の目的を達成するため、本発明の第3回路パラメータ抽出方法は、半導体集積回路のレイアウトから配線抵抗や配線容量等の回路パラメータを抽出する方法であって、モデル配線のレイアウト上の配線幅をパラメータとして、該モデル配線と該モデル配線の周囲に存在する同層の配線との距離と、該モデル配線の抵抗値及び容量値の変化量とを表現した相関データを準備し、実際のレイアウトから、解析配線の配線長と配線幅を抽出すると共に、該解析配線と同層で周囲に存在する配線との距離を抽出し、抽出した前記解析配線のレイアウト配線幅をパラメータとして、前記相関データを参照することにより、前記解析配線の仕上がり抵抗値及び容量値を算出することを特徴とする。

10

【0031】

この第3回路パラメータ抽出方法によれば、ASIC設計手法のように決まった配線幅でのレイアウトが主のケースにおいては、直接着目配線の抵抗値を用いた方が、計算量が少ない効率的な、隣接配線間距離が配線抵抗に与える影響を考慮した回路シミュレーションが可能となる。

【0032】

前記の目的を達成するため、本発明の第4回路パラメータ抽出方法は、半導体集積回路のレイアウトから配線抵抗や配線容量等の回路パラメータを抽出する方法であって、モデル配線のレイアウト上の配線幅をパラメータとして、該モデル配線の配線層のある設定領域内における配線パターンの存在割合である配線パターン面積率と、該モデル配線の抵抗値及び容量値の変化量との相関データを準備し、実際のレイアウトから、解析配線の配線長と配線幅を抽出すると共に、該解析配線の配線層のパターン面積率を計算し、抽出した前記解析配線のレイアウト配線幅をパラメータとして、前記相関データを参照することにより、前記解析配線の仕上がり抵抗値及び容量値を算出することを特徴とする。

20

【0033】

この第4回路パラメータ抽出方法によれば、ASIC設計手法のように決まった配線幅でのレイアウトが主のケースにおいては、直接着目配線の抵抗値を用いた方が、計算量が少ない効率的な、配線層面積率が配線抵抗に与える影響を考慮した回路シミュレーションが可能となる。

30

【0034】

前記第1から第4回路パラメータ抽出方法において、準備する前記相関データは、テーブル化もしくは近似計算式化されていることが好ましい。

【0035】

この方法によれば、テーブル化表現ではそのテーブルポイントでは実測値ベース等で用意された所望の値そのものでシミュレーション可能となり、(ポイント間は通常一次あるいはさらに高次の関数等で補間)近似計算化表現では、配線スペース等に関する連続したポイントにおいて高精度な合わせこみが可能となる。

40

【0036】

前記第2および第4回路パラメータ抽出方法において、前記配線パターン面積率の計算を行う際に、チップ面積全体に占める配線パターンの面積率を計算することが好ましい。

【0037】

この方法によれば、チップの中において著しい配線パターンの粗密が無い限りは、少ないCAD処理及びCADオペレーション回数で、配線パターン面積率を用いた高精度の配線抵抗と配線容量算出が可能となる。

【0038】

または、前記第2および第4回路パラメータ抽出方法において、前記配線パターン面積率の計算を行う際に、回路ブロック毎に配線パターンの面積率を計算することが好ましい。

50

【 0 0 3 9 】

この方法によれば、面積率計算を行う際に、ブロック面積に対する面積率を使用することで、面積率計算が数回～数十回程度で良くなるので、高負荷のCAD処理を行うことなしに、配線面積率を考慮に入れた回路パラメータ抽出が可能となる。また、ブロックレベルで、配線が多いか少ないか、ゲート幅の大きいトランジスタを多数使っているか否か、トランジスタと配線どちらが面積を決めているのかという特徴は決定していることが多いので、CAD負荷量も考慮に入れた場合には非常に有効な手法となる。

【 0 0 4 0 】

または、前記第2および第4回路パラメータ抽出方法において、前記配線パターン面積率の計算を行う際に、配線加工プロセス工程が周囲に存在する配線パターンの面積率の影響を受け得る範囲内において、パターン面積率の計算を行うことが好ましい。

10

【 0 0 4 1 】

この方法によれば、面積率計算を行う際に、着目プロセス工程が影響を受ける領域をとって面積率を計算することで、プロセス仕上がりをケアした処理としては理想的な形となるので、高精度な回路パラメータ抽出が可能となる。

【 0 0 4 2 】

また、最小加工寸法の10倍の領域範囲内において、前記配線パターン面積率の計算を行うことが好ましい。

【 0 0 4 3 】

これにより、配線層面積率への依存度合いが大きい工程が配線エッチング工程である場合に、その配線面積率が配線レイアウト幅に対する配線仕上がり幅の変化量に大きく影響を及ぼす領域は、解析配線に対して最小加工寸法の10倍程度の範囲内であるので、高精度な回路パラメータ抽出が可能となる。

20

【 0 0 4 4 】

前記の目的を達成するため、本発明の半導体集積回路の第1設計方法は、前記第1から第4回路パラメータ抽出方法と、半導体リソグラフィ工程で使用するフォトマスクデータ生成工程におけるリソグラフィ工程に起因したレジスト仕上がり幅の変化量を補正する光近接効果補正、及びレジストのエッチング工程に起因した孤立パターンでのレジスト細りの変化量補正とを合わせて用いることを特徴とする。

【 0 0 4 5 】

この第1設計方法によれば、半導体リソグラフィ工程での光近接効果補正や孤立パターンに対するエッチングのレジスト細り補正を行った上でもまだ残る、配線エッチングに起因した仕上がり形状とのズレを補正することが可能になる。

30

【 0 0 4 6 】

前記の目的を達成するため、本発明の半導体集積回路の第2設計方法は、マスクレイアウトデータを一旦参照して、前記第1から第4回路パラメータ抽出方法を用いて、配線仕上がり幅と配線抵抗値及び配線容量値を算出した上で、前記配線抵抗値及び配線容量値と設計時に設定した所望の配線抵抗値及び配線容量値とを比較し、レイアウト配線幅に対して前記所望の配線抵抗値及び配線容量値に近づける補正を加えるか否かを判定し、前記判定の結果、補正が必要である場合に、前記所望の配線抵抗値及び配線容量値に近づけるように前記レイアウト配線幅に補正を加え、再度、前記レイアウト配線幅を補正した後の配線抵抗値及び配線容量値を用いて、半導体集積回路のタイミングシミュレーションを行うことを特徴とする。

40

【 0 0 4 7 】

この第2設計方法によれば、解析対象の配線仕上がり時の抵抗値及び容量値を正確に取り扱えるだけでなく、再度、論理&タイミング設計時に想定していた抵抗値に近づける処理が施されるので、最終タイミング検証シミュレーションでの検証結果がよりOKになり易くなる。また、チップ上の各場所での配線の粗密差や配線間距離差に起因して発生する配線抵抗値の違いによって生じるタイミングスキュー等のタイミングエラーも抑制可能となる。

50

【0048】

前記の目的を達成するため、本発明の半導体集積回路の第3設計方法は、配線の断面形状を台形形状として扱い、リソグラフィ工程に起因したレジスト仕上がり幅の変化量を補正する光近接効果補正、およびレジストのエッチング工程に起因した孤立パターンでのレジスト細りの変化量補正を加えるレイアウト補正を行い、前記レイアウト補正を用いた上での、モデル配線と該モデル配線の周囲に存在する同層の配線との距離と、該モデル配線の仕上がり形状の上底及び下底との第1相関データと共に、前記レイアウト補正を用いた上での、前記モデル配線の配線層の面積率と、前記モデル配線の仕上がり形状の上底及び下底の仕上がり値との第2相関データとを準備し、実際のレイアウトから、解析配線の配線長と配線幅を抽出すると共に、該解析配線と同層で周囲に存在する配線との距離を抽出し、前記解析配線の配線層のパターン面積率を計算し、抽出した解析配線の配線長、前記配線幅、前記解析配線と同層で周囲に存在する配線との前記距離、および前記解析配線の配線層の前記パターン面積率を用いて、前記解析配線の台形形状断面における上底及び下底の変化量、前記解析配線の配線断面積、および配線抵抗値を計算し、計算した前記解析配線抵抗値に対して、設計時に意図した所望の配線抵抗値及び配線容量値に近づける補正を加えるか否かを判定し、前記判定の結果、補正が必要である場合に、前記所望の配線抵抗値及び配線容量値に近づけるようにレイアウト配線幅を変化させる補正を加え、再度、前記補正を行った後の配線抵抗値及び配線容量値を用いて、半導体集積回路のタイミング検証シミュレーションを行うことを特徴とする。

10

【0049】

この第3設計方法によれば、従来技術では未考慮であった解析配線の仕上がり幅とその解析配線の周囲に存在する配線との距離との第1相関データ、および解析配線の配線層面積率と解析配線仕上がり幅との第2相関データを、比較的扱い易く高い精度が出る台形断面形状として扱うことにより、仕上がり等の配線抵抗及び配線容量を容易かつ高精度に抽出可能となり、再度、論理&タイミング設計時に想定していた抵抗値に近づける処理が施されることにより、最終タイミング検証シミュレーションでの検証結果がよりOKになり易くなる。

20

【0050】

前記第3設計方法において、前記解析配線の配線層の前記パターン面積率を計算する際に、チップ面積全体に占める配線パターンの面積率を計算することが好ましい。

30

【0051】

この方法によれば、チップの中において著しい配線パターンの粗密が無い限りは、少ないCAD処理及びCADオペレーション回数で、配線パターン面積率を用いた高精度の配線抵抗と配線容量算出が可能となる。

【0052】

または、前記第3設計方法において、前記解析配線の配線層の前記パターン面積率を計算する際に、回路ブロック毎に配線パターンの面積率を計算することが好ましい。

【0053】

この方法によれば、面積率計算を行う際に、ブロック面積に対する面積率を使用することで、面積率計算が数回~数十回程度で良くなるので、高負荷のCAD処理を行うことなしに、配線面積率を考慮に入れた回路パラメータ抽出が可能となる。また、ブロックレベルで、配線が多いか少ないか、ゲート幅の大きいトランジスタを多数使っているか否か、トランジスタと配線どちらが面積を決めているのかという特徴は決定していることが多いので、CAD負荷量も考慮に入れた場合には非常に有効な手法となる。

40

【0054】

または、前記第3設計方法において、前記解析配線の配線層の前記パターン面積率を計算する際に、配線加工プロセス工程が周囲に存在する配線パターンの面積率の影響を受け得る範囲内において、パターン面積率の計算を行うことが好ましい。

【0055】

この方法によれば、面積率計算を行う際に、着目プロセス工程が影響を受ける領域をとつ

50

て面積率を計算することで、プロセス仕上がりをケアした処理としては理想的な形となるので、高精度な回路パラメータ抽出が可能となる。

【0056】

また、最小加工寸法の10倍の領域範囲内において、前記解析配線の配線層の前記パターン面積率の計算を行うことが好ましい。

【0057】

これにより、配線層面積率への依存度合いが大きい工程が配線エッチング工程である場合に、その配線面積率が配線レイアウト幅に対する配線仕上がり幅の変化量に大きく影響を及ぼす領域は、解析配線に対して最小加工寸法の10倍程度の範囲内であるので、高精度な回路パラメータ抽出が可能となる。

10

【0079】

【発明の実施の形態】

以下、図面を用いて本発明の実施の形態について詳細に説明する。

【0080】

(第1の実施形態)

本発明の第1の実施形態について、図1および図2を参照して説明する。図1は、本発明の第1の実施形態に係る回路パラメータ抽出方法を示すフローチャート、図2は、配線間スペースの大きさによる配線仕上がり形状を断面で示す模式図である。

【0081】

まず、レイアウトデータ100と、モデル配線に対して同層で隣りに存在する配線との距離とモデル配線の仕上がり幅との相関データ101を用意する。相関データ101は、上述したが、図2に示すように、配線が狭いスペースでレイアウトされている時はほぼ真四角な形状に仕上がっていても、同層配線間の寄生容量を減らす等のために配線間隔を広げてレイアウトを行った場合に、配線エッチング工程の特性から配線のボトム部の幅が広がってしまうことに基づいて作成している。データとしては、図15のようなデータを計算式化もしくはテーブル化して準備することになる。具体的に数値を用いて計算する例は第4の実施形態にて説明する。

20

【0082】

また、この相関データ101は、実測データやプロセスシミュレーションによって得るものであるが、光近接効果補正の有無やその仕様等に関しては、実際にレイアウトデータからマスクデータを作成する際に用いるものと同一仕様でなくてはならない。

30

【0083】

ある配線幅ごとに左右の配線間距離をパラメータとしたテーブルあるいは関数でもって表現したものを用意した場合の利点として、テーブル化表現では、そのテーブルポイントでは実測値ベース等で用意された所望の値そのものでシミュレーション可能となり、(ポイント間は通常一次あるいはさらに高次の関数等で補完)近似計算化表現では、配線スペース等に関する連続したポイントにおいて高精度な合わせこみが可能となる。

【0084】

また、データの持ち方としては、配線幅個別にでなく、レイアウト配線端においてトップ及びボトム部の増減量を表現することにより、異なる配線幅ごとにデータを準備するよりもデータ量を減らしても良い。

40

【0085】

さらには、ASIC設計手法のように、使用する配線幅がある程度限られているような場合には、101の同層配線間レイアウト距離と配線仕上がり幅依存性の配線仕上がり幅の代わりに、同層配線間レイアウト距離と仕上がりの配線抵抗値との依存性データを用いてもかまわない。

【0086】

ASIC設計手法のように、決まった配線幅でのレイアウトが主たるケースにおいては、直接着目配線の抵抗値を用いた方が、計算量が少ない効率的な回路シミュレーションが可能となる。

50

【0087】

図1において、まず、レイアウトデータ100より、従来手法と同じく、配線幅、配線長、配線間距離を抽出工程102により抽出する。ここで言う配線間距離は容量計算にも用いられるため、それには異層メタルに対する距離の抽出も含まれる。

【0088】

次に、工程102において抽出した配線幅に対して、同じく工程102で抽出した同層の配線間距離と先に準備していた配線仕上がり幅の配線間距離依存性データ101を用いて、各々着目する配線のレイアウト幅に対して補正をかけることで配線仕上がり幅を予想する(工程103)。この補正された予想仕上がり配線幅及び配線間距離と配線容量データ104を用いることで、配線抵抗及び配線容量をプロセス工程後の実物仕上がり値により近いものとして高精度に計算することが可能となる(工程105)。

10

【0089】

本実施形態により、従来技術では未考慮であった解析配線の仕上がり幅とその解析配線の周囲に存在する配線との距離との相関データを用いることにより、従来よりもより高精度な配線抵抗/容量抽出、及び高精度な回路シミュレーションが可能となる。これにより、チップ上の各場所での配線間距離差に起因して発生する配線抵抗値の違いによって生じるタイミングスキュー等のタイミングエラーも抑制可能となる。

【0090】

また、本手法はリソグラフィ工程に起因して生ずる配線仕上がり幅の変化も含めて用いることが可能であるので、配線トップ部の寸法がマスクレイアウトパターン通りの寸法に仕上がっていなくても、その差も含めて高精度に配線パラメータを抽出しシミュレーションできる。その応用的使用方法としては、配線に用いるレジストが加工ルールのレベルには断線やショートには至らないOKのレベルだが仕上がりパラツキに関する規格値としてはOPCを用いねば実現不可能な精度を要求されているような場合において、OPC無しで本発明の配線間距離と配線仕上がり幅依存性を考慮した回路パラメータ抽出も用いることによって、OPC用の微細追加パターンを扱える高精度な高額マスクや長時間のOPCマスク処理が不要となる。

20

【0091】

(第2の実施形態)

本発明の第2の実施形態について、図3および図4を参照して説明する。図3は、本発明の第2の実施形態に係る回路パラメータ抽出方法を示すフローチャート、図4は、図3の一部を変更したフローチャートである。なお、本実施形態は、配線仕上がり幅の配線面積率依存性データの活用方法に関するものである。

30

【0092】

また、配線面積率の考慮だけでなく、第1の実施形態に示した配線仕上がり幅の配線間距離依存性データ101を合わせて用いる場合を例に説明する。

【0093】

まず、図3のフローチャートから説明する。

【0094】

図3において、レイアウトデータ100より配線幅、配線長、配線間距離を抽出する工程102、参照する配線間隔-配線仕上がり幅相関データ101、および相関データ101を用いて仕上がり配線幅補正予測する工程103については、第1の実施形態と同一である。

40

【0095】

本実施形態では新たに、図13に示すような配線面積率と配線仕上がり幅との相関データ201を準備する。レイアウトデータ100とそこから抽出した配線データとを基に、配線面積率計算工程200によって配線面積率を計算する。配線面積率計算工程200は、理想的には着目するプロセス工程が周辺のパターンに影響を受ける領域範囲に適切に分割しながら面積率を求めるのが望ましい。エッチング工程においては、最小加工サイズの約10倍程度の範囲内における面積率を計算するのが望ましく、ダマシンプロセスで用いら

50

れるメタルCMP工程におけるディッシングやエロージョンといった配線膜厚の減少を扱う場合には、研磨パッドの硬さ等に依存するが100～500 μ m範囲内で扱うのが望ましい。

【0096】

しかしながら、その着目配線すべてに対してある限定した範囲内の面積率を計算していくことはCAD処理上負荷が大きいため、チップの中において著しい粗密が無い限りは、請求項11に記載のように、着目ブロック単位あるいはチップ全体に対して面積率を計算して用いてもかまわない。

【0097】

この配線面積率計算工程200で求めた面積率を配線面積率 - 配線仕上がり幅との相関データ201に参照して、仕上がり配線幅補正予測する工程103で求めた配線幅の補正予測値に対してさらに配線幅に補正をかける(工程202)。以上の工程を通して算出した配線幅及び配線間隔を用いて、配線容量データ104を参照し、工程105により配線抵抗と配線容量の最終仕上がり予測値を求める。

10

【0098】

以上の図3に示す方法は、補正工程を配線間隔依存性と配線面積率依存性との2段階に分けたフローチャートで表現したが、図4の工程203に示すように、用意する相関データを配線面積率もパラメータとした同層配線間隔 - 配線仕上がり幅相関データとして準備すれば、フロー的には簡略化される。(但し、考え方としては図3と図4は同一である。)扱う面積率計算範囲の利点を再度まとめると以下の通りである。

20

【0099】

(1)面積率計算を行う際に、着目プロセス工程が影響を受ける領域をとって面積率を計算する場合、エッチング工程で言うと最小加工寸法の約10倍程度の範囲で計算すると、プロセス仕上がりをケアした処理としては理想的な形となるので、高精度な回路パラメータ抽出が可能となる。

【0100】

(2)面積率計算を行う際に、チップ面積に対する面積率を使用すれば、面積率計算が一度で良くなるので、高負荷のCAD処理を行うことなしに、配線面積率を考慮に入れた回路パラメータ抽出が可能となる。

【0101】

(3)面積率計算を行う際に、ブロック面積に対する面積率を使用することで、面積率計算が数回～数十回程度で良くなるので、高負荷のCAD処理を行うことなしに、配線面積率を考慮に入れた回路パラメータ抽出が可能となる。

30

【0102】

また、ブロックレベルでは、1 配線が多いか少ないか、2 ゲート幅の大きいトランジスタを多数使っているか否か、3 トランジスタと配線どちらが面積を決めているのか、という特徴はだいたい決定していることが多いので、CAD負荷量も考慮に入れた場合には有効な手法である。

【0103】

以上のように、解析配線の配線層面積率と解析配線仕上がり幅との相関データを用いることにより、高精度な配線抵抗及び配線容量パラメータの抽出が可能となる。また、チップ上の各場所での配線の粗密差や配線間距離差に起因して発生する配線抵抗値の違いによって生じるタイミングスキュー等のタイミングエラーも抑制可能となる。

40

【0104】

(第3の実施形態)

本発明の第3の実施形態について、図5から図8を参照して説明する。

【0105】

なお、本実施形態では主に、配線断面形状を台形として扱う手法について説明する。さらに、第1、第2の実施形態でも示した配線仕上がり幅の同層配線間距離依存性と面積率の両方を扱うとともに、光近接効果補正等のレジスト仕上がり幅に対する補正を加える場合

50

も合わせて示す。

【0106】

図5は、本発明の第3の実施形態に係る回路パラメータ抽出方法を示すフローチャートである。図5において、301は、レジストに対する光近接効果補正等の補正を加えたマスクを用いて拡散された実際の半導体から測定した、面積率をパラメータとした、配線間距離 - 配線仕上がり幅相関データである。

【0107】

たとえマスクのリソグラフィ実力に余裕が無く、配線間距離によってエッチング前のレジスト幅自体が異なるような場合でも、マスクデータにOPC補正を加えることでレジスト仕上がり寸法としてほぼ所望の値が実現可能になる。レジスト寸法は一般的に、パターン同士の距離がある程度以上接近すると光の干渉によりレジスト仕上がりパターンが細くなるので、OPC対応ではそのような近接パターンのマスクを太目に補正しておく。ある程度の距離が離れるとマスクパターン寸法通りにレジスト寸法が仕上がる。しかしながら今度は、孤立のパターンとなった場合は、レジストのオーバーエッチングによりレジストが細くなる傾向もまたある。但し、レジストのエッチングは薬液によるものが多く感光工程で所望のパターンサイズにパターンニングされていれば、孤立パターンのレジストエッチングはさほど問題にならないのが一般的である。

【0108】

本発明が問題にするのは、たとえ上記のようなOPCを活用してレジストが所望の値に仕上がったとしても、そのサイズに仕上がるのは配線断面のトップ部のみであり、配線間距離が離れるに従いボトム部は太くなってしまふ、という点にある。図6に、ドライエッチング工程により形成される配線の断面形状を模式的に示す。

【0109】

図7は、図6の模式図に基づき実測値をベースに作成したものであるが、配線間距離に対する仕上がり幅を示すグラフ(a)、および配線間距離に対する片側でのトップとボトムとの差を示すグラフ(b)である。図7(a)に示すように、配線間距離が最小スペースの6倍程度離れるとボトムはトップの2倍近いサイズになる。配線断面形状を台形形状、配線膜厚を0.4 μm と仮定して、単位長さ当たりの配線抵抗比を概算すると、レジスト寸法通りの幅で真四角で仕上がったとした場合の約1.5倍の抵抗値になることになる。

【0110】

ちなみに、この隣り合う同層配線間の距離を大きくすることは、配線容量を削減して高速化を図る際によく用いられる設計手法である。図7のデータを基に、配線間距離と片側辺りのトップとボトムとの仕上がり値差を示しているのが図8(b)である。

【0111】

再度図5に戻って、設計フローを順に辿って説明する。

【0112】

まず、論理及びタイミング設計を行い(工程300)、そのネットリストを元に作成したレイアウトデータ100から配線幅、配線長、同層/異層含めての配線間距離を抽出し(工程102)、抽出した配線幅に対して、図8(b)に示すように、配線間距離依存性を配線の右端/左端それぞれに対して使用し、単位長さ当たりの仕上がり幅を算出し、その台形形状の断面積に応じて配線抵抗及び配線容量を求める(工程105)。この配線抵抗算出は、長さ方向に対しては、隣り合う配線との距離が異なる複数の部分に分割して活用する方がなお高精度となる。

【0113】

その後は、工程105で高精度に算出した配線抵抗及び容量を用いて、工程304にて最終のタイミング検証シミュレーションを行って動作確認を行い、タイミング検証結果判定工程306において、タイミング検証NGであれば再度OKになるように、タイミング調整用の回路及びレイアウト修正を工程303において実施し、抵抗値/容量値計算工程105に戻る。工程306にてタイミングがOKになったところで、前述の301のデータを収集する際に用いたと同一処理のレジスト寸法補正工程302の処理を行った後、工程

10

20

30

40

50

303でマスクデータ処理しマスクデータを作成する設計手順となる。

【0114】

以上のように、配線断面を台形形状として取り扱うことで、従来の真四角な断面として扱われていたものよりもより高精度な抵抗計算が可能となる。台形形状のトップ側は配線用レジストのリソグラフィ精度で決まっていたが、本実施形態によれば、配線ドライエッチで発生するテーパ形状とボトムの太りをより実物に近い形で正確に取り扱うことが可能となる。

【0115】

また、配線間距離や配線面積率との相関データを上底に対する下底の太り分のみで表現しておくことで、配線太さごとに相関データを準備するよりも準備データ量を少なくすることが出来る。

10

【0116】

さらに、リソグラフィに起因したレジストの仕上がり幅の変化を補正する光近接効果補正や孤立パターンに対するレジスト細り等の対策を併せて用いることにより、設計値に近い値で高精度シミュレーションが実現出来る。

【0117】

次に、本実施形態による配線断面形状を台形として扱う手法についてより具体的な数値例を用いて説明する。

【0118】

図8(a)に示すように、配線幅 $0.4\mu\text{m}$ で配線長 1mm 、解析配線の左右にそれぞれ、距離 $0.9\mu\text{m}$ 、 $1.5\mu\text{m}$ の間隔で隣接配線が長さ 1mm に渡って解析配線に対して配置されているものとする。配線断面形状は、台形形状として扱うものとする。また、配線膜厚は $0.4\mu\text{m}$ とし、レイアウト上の配線間隔が $0.5\mu\text{m}$ で両脇に存在した場合、配線トップ部幅が $0.4\mu\text{m}$ 、配線ボトム部幅が $0.5\mu\text{m}$ であるとする。

20

【0119】

ここで、配線の抵抗値 R []は、配線断面積を A [μm^2]、配線長を L [mm]とすると、

(数1)

$$R [] = (0.18 / A) \times L [\text{mm}] \times 200 [\quad / \text{mm}]$$

という配線断面積 A に反比例、配線長 L に比例する形で与えられるものとする。

30

【0120】

隣接配線との距離が S [μm]の時のトップ部及びボトム部の変化量は、図8(b)で与えられるような、トップ部は常に増減が無く一定で、ボトム部が配線間距離が開くに従って距離 $1.5\mu\text{m}$ までは幅が太くなり、距離 $1.5\mu\text{m}$ 以上では太り幅は増えないというように近似表現されるものとする。なお、図8(b)はテーブル形式表記であるが、その下に示すような関数式で表現しても良い。

【0121】

今、解析配線と左の隣接配線との距離は $0.9\mu\text{m}$ であるので、図8(b)より、ボトム幅増分は $0.1\mu\text{m}$ である。また、解析配線と右の隣接配線との距離は $1.5\mu\text{m}$ であるので、図8(b)より、ボトム幅増分は $0.25\mu\text{m}$ である。故に、解析配線のトップ幅は $0.4\mu\text{m}$ 、ボトム幅は $0.5 + 0.1 + 0.25 = 0.85\mu\text{m}$ となる。

40

【0122】

配線断面積は、台形面積の計算式である(上底+下底)×高さ÷2で計算出来るので、 $(0.4 + 0.85) \times 0.4 \div 2 = 0.25$ [μm^2]となる。

【0123】

よって、上記式1を用いることにより、配線の抵抗値は $R = (0.18 / 0.25) \times 1 \times 200 = 144$ []と算出される。

【0124】

配線間距離による変化を考慮しない場合には、常に断面積は $0.18\mu\text{m}^2$ であるとして扱うことになるので、配線抵抗は 200 []であるから、抵抗値誤差が $\{ (200 - 144$

50

4) / 200 } × 100 = 28% 存在していることになる。

【0125】

このように、配線断面を台形形状で表現し、解析配線と隣接配線との距離と解析配線仕上がり幅との関連データを、またテーブル表記あるいは関数表記を用いることにより、配線抵抗パラメータの抽出精度をより向上させることが可能となる。

【0126】

(第4の実施形態)

本発明の第4の実施形態について、図9を参照して説明する。

【0127】

図9は、本発明の第4の実施形態に係る回路パラメータ抽出方法を示すフローチャートであり、工程105までは第3の実施形態をベースとしている。それに加えて、工程105による計算後の抵抗値が実レイアウト前の論理&タイミング設計300で用いられていた時に仮定されていた形状(ここでは、通常のライン&スペース時に実現されるほぼ真四角に近い断面形状の際に仕上がる場合とする)での配線抵抗値と比較してその差を検出する工程701と、ある規定値以上のズレがある場合に、元のレイアウトデータ100に対して配線幅の補正処理を行うべきとの判定を行う判定工程702と、実際にレイアウト配線幅に対して修正処理を行う工程703とを有するものである。

10

【0128】

このフローに基づいて処理されることで、解析対象配線は、再度工程300の論理&タイミング設計時に想定していた抵抗値に近づくようになるので、最終タイミング検証シミュレーション工程304での検証結果がよりOKになり易くなる。また、チップ上の各場所での配線の粗密差や配線間距離差に起因して発生する配線抵抗値の違いによって生じうるタイミングスキュー等のタイミングエラーも抑制可能となる

20

ちなみに、最新の自動配置配線ツールは、配線抵抗をそろえてクロックスキューを抑制するために、クロック分配ポイントから各フリップフロップへの配線長をほぼ同一にしてレイアウトする機能を有している。こうした機能を有していても、配線の粗密や配線間距離によって配線抵抗に差が生ずる場合は未考慮であるので、本実施形態が有効なスキュー抑制手法となる。

【0129】

(第5の実施形態)

本発明の第5の実施形態について、図10を参照して説明する。

30

【0130】

図10は、ゲート長の想定プロセス変動範囲を示す模式図である。

【0131】

図10に示すように、LSI設計時に仮定される主要な設計マージンは、電源電圧変動分や温度依存性分の他に、プロセス変動分という重要なファクターがある。プロセス変動分の中でLSIの動作スピードに最も効くのは、通常、トランジスタの駆動電流(I_{ds})であり、その I_{ds} のバラツキ量の支配的要因はゲート長である。ASIC設計手法の場合、セルレベルで用意された部品(ライブラリ)を組み合わせることで所望の機能を実現するのだが、結果として対応する品種数分の種々のレイアウトが存在することとなり、その多数のレイアウト全てに対してLSIの正常動作を保証しなくてはならないので、必然的にある程度ゲート電極の加工精度を広めに仮定せざるを得ない。しかしながら、実際にレイアウトが終了した段階ではゲート電極面積率は決定しているため、レイアウト確定後はその想定バラツキ範囲を狭く設定することが可能である。

40

【0132】

ゲート電極の形成はそのパターンが非常に微細であるため、パターン形成用レジストの寸法精度の影響が大きく出る。そのため、電極素材自体のエッチングよりもレジスト仕上がり寸法の影響の方が大きく、ゲート電極面積率が小さい場合は、レジストがオーバーエッチング気味になってゲート長が細めに仕上がることになる。この場合には、ゲート長が細い領域でショートチャンネル効果を示しているトランジスタの閾値電圧は低め、トランジス

50

タ駆動電流値は高めとなり、動作スピード的には高速条件となる。結果として、スピード面での保証値を高目に設定可能となる。

【 0 1 3 3 】

逆にゲート電極面積率が大きい場合は、レジストがアンダーエッチング気味になってゲート長が太目に仕上がる。この場合、ゲート長が細い領域でショートチャネル効果を示しているトランジスタでは閾値電圧は高めとなり、ゲート幅の管理規格的にはOKの範囲であるとは言えスピードマージンは少なくなる方向であり、配線遅延の増加等何かしらのプロセス的な不具合が生じた場合には、スピード未達による歩留りロスに至るリスクが高まる。

【 0 1 3 4 】

ゲート長が太目に仕上がる場合の利点としては、トランジスタのオフ電流が少なくなるので、携帯機器等で重要な性能項目であるスタンバイ電流規格に対して余裕が生ずる。特に、LSIのレイアウトでは最小ゲート長が用いられることが多いのだが、このスタンバイ電流について、最小ゲート長トランジスタを用いてレイアウトしている場合には、平均的な条件に対する最良および最悪条件は各々約1/10倍および約10倍程度バラツクのが一般的である。このため、この面積率を考慮に入れることによって、ゲート長バラツキの面積率依存分を無くして規格値の見積りを行うことが可能となり、プロセスバラツキ分を考慮したスタンバイ電流値の保証規格値をより少ない値に設定することが可能となる。また言い換えれば、ゲート長が細目に仕上がるような場合には、オフ電流増加に対するリスクを事前に見積ることにより、レイアウトが完成した後もプロセス的な拡散条件でVt注入条件を高めに設定し直す等の的確な対処を早い時期に施すことが出来る。

【 0 1 3 5 】

(第6の実施形態)

本発明の第6の実施形態について、図11を参照して説明する。

【 0 1 3 6 】

また、本実施形態では、第5の実施形態で説明したゲート電極素材の仕上がり幅とその面積率依存性の概念をブロックごとに用いる。

【 0 1 3 7 】

現在の微細プロセスは、微細化が進んで集積度が増したことから、一つのチップの中に複数の機能ブロックを有しているのが一般的である。このブロックについては、1 配線でブロック面積が決まる場合、2 配線工程以前のバルク部分でブロック面積が決まる場合、3 メモリセルのようにゲート電極面積が非常に高い場合等、ブロックごとにゲート電極の面積率が異なる傾向が出て来ている。

【 0 1 3 8 】

図11は、本発明の第6の実施形態におけるLSIのブロック配置を示す概略図である。

【 0 1 3 9 】

図11において、ブロックA(902)はゲート面積率が小さく、ブロックB(903)はゲート面積率が大きく、ブロックC(904)はゲート面積率がブロックAとBの間であると仮定する。元々の設計方針として、プロセスバラツキに起因した平均からのスピード増減バラツキ幅が、高速条件側に+30%、遅い条件側に+30%であるとし、ブロックA、B、Cの想定スピード範囲はそれぞれ、ブロックAが+30%~-20%、ブロックBが+20%~-30%、ブロックCが+25%~-25%になるものとする。ブロックAは遅い側には-30%でなく-20%分だけしか見なくて良くなるので、その分スピード面で余裕が生じる。汎用マイクロプロセッサ等で、周波数に応じてチップ価値が変わるようなものに対しては、高速になる分付加価値が高まるし、なにより、例えば図11のブロックC(904)に対してブロックA(902)から来る信号905と、ブロックB(903)から来る信号906との間で、LSI内のトランジスタ仕上がり寸法が同様であるとして扱う限りは検出不可能な、ブロック毎のゲート電極の粗密から生ずるトランジスタ駆動電流差、及びそこから生じるタイミングスキューが検出可能になる。

【 0 1 4 0 】

10

20

30

40

50

従来は、LSIチップ上に形成されるトランジスタは全て同じ条件下で形成されるものとして扱われ、シミュレーション等によりタイミング検証が行われていた。しかしながら実際には、このゲート電極面積率の違いに起因したゲート長の仕上がり幅の違い、及びそれによって生ずるトランジスタ駆動能力の違いと回路動作スピードの違いがあるので、ブロック毎のゲート面積の粗密を考慮してタイミング検証シミュレーションを実行することにより、ブロック毎に最適なマージン設定でLSI設計が可能となる。

【0141】

また、対象とするLSI(900)が非同期設計である場合には、ブロックC(904)に対するブロックA(902)からの信号905とブロックB(903)からの信号906との間で発生し得るタイミングスキューについても高精度に取り扱うことが可能となり、LSIの設計品質の向上が図れる。

10

【0142】

(第7の実施形態)

本発明の第7の実施形態について、図12を参照して説明する。

【0143】

本実施形態は、第6の実施形態で説明したゲート電極素材の仕上がり幅とその面積率依存性の概念をさらにスタンダードセルレベルに適用したものである。

【0144】

図12は、本発明の第7の実施形態におけるLSIのスタンダードセルライブラリ配置を示す概略図である。

20

【0145】

図12において、スタンダードセルユニット907が横方向に繋がって行きスタンダードセルレーン908を形成し、さらにそれと使用セルは異なるが同様の構造のスタンダードセルレーンが縦方向に複数並ぶ形で回路ブロックを形成している。実際には、個々のスタンダードセルの横幅はその機能や駆動能力によって回路構成内容が異なるので、当然ながら各セルの面積及び横幅も異なっている。

【0146】

ゲート電極面積率の違いに起因したゲート長の仕上がり幅の違いをより正確に扱うために、ブロックをゲート電極形成工程が影響を受ける領域範囲に切り分けた上でゲート電極面積率を計算する。

30

【0147】

理想的には、セル1A、1B、1C...と一つ一つのセルについてスキャンさせて行く形で全セルについてゲート電極面積率を計算した方がより正確である。しかしながら、CAD計算の負荷を減らすために、スタンダードセルブロックをゲート電極形成工程が影響を受ける領域範囲程度のサイズに切り分けて、その分割ブロック内毎にゲート電極面積率を計算してその計算面積率をその領域内に存在する全セルに対して使用することも可能である。

【0148】

これにより、ゲート電極面積率の違いに起因したゲート長の仕上がり幅の違い、及びそれによって生ずるトランジスタ駆動能力の違いと回路動作スピードの違いを、プロセス形成工程に対してブロック全体という領域範囲で扱うよりも、プロセス的な現象をより忠実に詳細に扱うことが可能となり、シミュレーション精度が向上する。

40

【0149】

よって、適切なゲート幅及びセルサイズでの設計が可能になると共に、ゲート電極面積率が異なるが故に発生し得るセル同士の駆動電流差に起因したタイミングスキューも抑制することができ、高品質なLSI設計が可能となる。

【0150】

(第8の実施形態)

本発明の第8の実施形態について、図17から図19を参照して説明する。

【0151】

50

S T I (Shallow Trench Isolation) においても、S T I の分離部分を形成する際にエッチング工程が用いられるので、その分離領域と活性領域の境界部に対してもエッチング起因のテーパが生ずることになる。

【 0 1 5 2 】

図 1 7 は、トランジスタ活性領域間の距離が近い場合の S T I 構造を示すための平面図 (a) および断面図 (b) である。図 1 8 は、トランジスタ活性領域間の距離が離れている場合の S T I 構造を示すための平面図 (a) および断面図 (b) である。

【 0 1 5 3 】

図 1 7 に示す状態から、図 1 8 に示すようなトランジスタ活性領域間の距離が離れた場合に、S T I に付くテーパ角が大きくなる。但し、エッチング条件にもよるのであるが、S T I 形成時には、レジストはトランジスタ活性領域の上に存在するので、前記配線パターンのレジスト寸法通りに仕上がり易いトップ側がトランジスタゲート幅を決めることになるので、その分離端のテーパ形状の影響を著しく受ける形にはならない。

10

【 0 1 5 4 】

しかし、チャンネルが表面よりも若干下目に形成されていたり、S T I エッチング条件がレジスト下のトップ側部の方がより狭まるようなエッチング条件に設定されている場合には、レイアウトデータからシミュレーション用の回路データを抽出する際に、このトランジスタ同士の配置距離によって生ずるトランジスタゲート幅のマスキレイアウト幅と仕上がり幅との差が無視できなくなる。

【 0 1 5 5 】

そこで、このトランジスタ同士の配置距離によって生ずるトランジスタゲート幅のマスキレイアウト幅と仕上がり幅との差をゲート幅抽出時に補正して抽出することにより、より高精度にトランジスタパラメータを抽出することが可能になり、タイミング検証シミュレーションの高精度化を図ることが出来る。

20

【 0 1 5 6 】

次に、図 1 9 および図 2 0 を参照して、具体的に数値を用いた例について説明する。

【 0 1 5 7 】

図 1 9 は、解析トランジスタの左右に S T I 分離を挟み 2 つのトランジスタが隣接している様子を模式的に示す平面図 (a) および断面図 (b) である。図 2 0 は、トランジスタ間距離とマスキレイアウト上の端部からのゲート幅入り込み量との相関関係を示している

30

【 0 1 5 8 】

図 1 9 に示すように、解析トランジスタのレイアウト上の配線幅が $0.4 \mu\text{m}$ で、ゲート幅が伸びている方向に対して、左側に距離 $0.7 \mu\text{m}$ 、右側に距離 $1.5 \mu\text{m}$ の間隔で隣接トランジスタが存在するものとする。

【 0 1 5 9 】

トランジスタは S T I で分離されており、その端部の仕上がりは隣接トランジスタ同士の距離に応じてテーパが付く。解析対象のトランジスタのゲート幅に影響が出るか否かはエッチング条件にも依存するが、本例では、S T I 分離のトップとボトムの間点がレイアウト幅通りにエッチングされるような条件であると仮定し、隣接トランジスタ間の距離が $0.5 \mu\text{m}$ の場合にトランジスタ活性領域のレイアウト境界部にトランジスタの電氣的なゲート幅の仕上がりエッジが形成され、その隣接トランジスタ間距離が離れるに従い、図 2 0 に示すようなトランジスタゲート幅入り込み量 W_g になるものとする。図 2 0 は、テーブル形式表記になっているが、関数式で表現しても良い。

40

【 0 1 6 0 】

図 1 9 に示すレイアウトを行った場合、解析トランジスタと左の隣接トランジスタとの距離は $0.7 \mu\text{m}$ であるので、図 2 0 に示すように、トランジスタゲート幅の左側からの入り込み量は $0.01 \mu\text{m}$ となり、解析トランジスタと右の隣接トランジスタとの距離は $1.5 \mu\text{m}$ であるので、トランジスタゲート幅の右側からの入り込み量は $0.05 \mu\text{m}$ となる。

50

【 0 1 6 1 】

故に、解析トランジスタの仕上がりのゲート幅は、 $0.4 - 0.01 - 0.05 = 0.34 \mu\text{m}$ となる。

【 0 1 6 2 】

ゲート幅が伸びる方向に存在する隣接トランジスタとの間の距離による変化を考慮しない場合には、常にトランジスタゲート幅はレイアウト寸法通りの $0.4 \mu\text{m}$ であるとする、トランジスタゲート幅は $0.34 / 0.4 = 0.85$ となり、15%の誤差を含むことになる。

【 0 1 6 3 】

このように、解析対象トランジスタのゲート幅が伸びる方向に存在する隣接トランジスタとの間の距離による解析トランジスタのゲート幅の変化を考慮することにより、トランジスタゲート幅の抽出精度をより向上させることが可能になる。

10

【 0 1 6 4 】

【 発明の効果 】

以上説明したように、本発明によれば、以下に列記する効果を奏する。

【 0 1 6 5 】

(1) 着目配線の仕上がり幅とその着目配線の周囲に存在する配線との距離との相関データを用いることにより、高精度な配線抵抗/容量抽出、及び高精度な回路シミュレーションが可能となる。これにより、チップ上の各場所での配線間距離差に起因して発生する配線抵抗値の違いによって生じるタイミングスキュー等のタイミングエラーも抑制可能となる。

20

【 0 1 6 6 】

(2) リソグラフィ工程に起因して生ずる配線仕上がり幅の変化も含めて用いることが可能である。その応用方法としては、配線に用いるレジストが加工ルールの断線やショートには至らないOKのレベルだが仕上がりバラツキに関する規格値としてはOPCを用いねば実現不可能な精度を要求されているような場合においても、OPC無しで本発明の配線間距離と配線仕上がり幅依存性を考慮した正確な回路パラメータ抽出も用いることで、OPC用の微細追加パターンを扱える高精度な高額マスクや長時間のOPCマスク処理が不要になる。

【 0 1 6 7 】

(3) 解析配線の配線層面積率と解析配線仕上がり幅との相関データを用いることにより、高精度な配線抵抗及び配線容量パラメータの抽出が可能となる。また、チップ上の各場所での配線の粗密差や配線間距離差に起因して発生する配線抵抗値の違いによって生じるタイミングスキュー等のタイミングエラーも抑制可能となる。

30

【 0 1 6 8 】

(4) 配線断面を台形形状として取り扱うことで、従来の真四角な断面として扱われていたものよりもより高精度な抵抗計算が可能となる。台形形状のトップ側は配線用レジストのリソグラフィ精度で決まっていたが、配線ドライエッチで発生するテーパ形状とボトムの太りをより実物に近い形で正確に取り扱うことが可能となる。また、配線間距離や配線面積率との相関データを上底に対する下底の太り分のみで表現しておくことで、配線太さごとに相関データを準備するよりも準備データ量を少なくすることが出来る。さらに、リソグラフィに起因したレジストの仕上がり幅の変化を補正する光近接効果補正や孤立パターンに対するレジスト細り等の対策を併せて用いることにより、設計値に近い値で高精度シミュレーションが実現出来る。

40

【 0 1 6 9 】

(5) ゲート長バラツキの面積率依存分を無くして規格値の見積りを行うことが可能となり、プロセスバラツキ分を考慮したスタンバイ電流値の保証規格値をより少ない値に設定することが可能となる。また言い換えれば、ゲート長が細目に仕上がるような場合には、オフ電流増加に対するリスクを事前に見積ることにより、レイアウトが完成した後でもプロセス的な拡散条件でVt注入条件を高めに設定し直す等の的確な対処を早い時期に施す

50

ことが出来る。

【0170】

(6) ブロック毎のゲート面積の粗密を考慮してタイミング検証シミュレーションを実行することにより、ブロック毎に最適なマージン設定でLSI設計が可能となる。

【0171】

(7) 適切なゲート幅及びセルサイズでの設計が可能になると共に、ゲート電極面積率が異なるが故に発生し得るセル同士の駆動電流差に起因したタイミングスキューも抑制することができ、高品質なLSI設計が可能となる。

【0172】

(8) 解析対象トランジスタのゲート幅が伸びる方向に存在する隣接トランジスタとの間の距離による解析トランジスタのゲート幅の変化を考慮することにより、トランジスタゲート幅の抽出精度をより向上させることが可能になる。 10

【図面の簡単な説明】

【図1】 本発明の第1の実施形態に係る回路パラメータ抽出方法を示すフローチャート

【図2】 配線間スペースの大きさによる配線仕上がり形状を断面で示す模式図

【図3】 本発明の第2の実施形態に係る回路パラメータ抽出方法を示すフローチャート

【図4】 図3の一部を変更したフローチャート

【図5】 本発明の第3の実施形態に係る回路パラメータ抽出方法を示すフローチャート

【図6】 ドライエッチング工程により形成される配線の断面形状を示す模式図

【図7】 配線間距離に対する仕上がり幅を示すグラフ(a)、および配線間距離に対する片側でのトップとボトムとの差を示すグラフ(b) 20

【図8】 本発明の第3の実施形態に係る配線レイアウト及び断面図(a)、および配線間距離と片側辺りのトップとボトムとの仕上がり値差の相関データを示す図(b)

【図9】 本発明の第4の実施形態に係る回路パラメータ抽出方法を示すフローチャート

【図10】 本発明の第5の実施形態に係るゲート長の想定プロセス変動範囲を示す模式図

【図11】 本発明の第6の実施形態に係るLSIのブロック配置を示す概略図

【図12】 本発明の第7の実施形態に係るLSIのスタンダードセルライブラリ配置を示す概略図

【図13】 配線の製造工程を示す断面図 30

【図14】 ライン&スペース・パターンの断面図(a)、孤立パターンの断面図(b)、および拡大断面図(c)

【図15】 配線間距離と配線仕上がり幅との相関関係を示すグラフ

【図16】 配線面積率と配線仕上がり幅との相関関係を示すグラフ

【図17】 トランジスタ活性領域間の距離が近い場合のSTI構造を示すための平面図(a)および断面図(b)

【図18】 トランジスタ活性領域間の距離が離れている場合のSTI構造を示すための平面図(a)および断面図(b)

【図19】 本発明の第8の実施形態について説明するための、解析トランジスタの左右にSTI分離を挟み2つのトランジスタが隣接している様子を模式的に示す平面図(a)および断面図(b) 40

【図20】 トランジスタ間距離とマスキレイアウト上の端部からのゲート幅入り込み量との相関データを示す図

【符号の説明】

100 レイアウトデータ

101 配線間隔 - 配線仕上がり幅相関データ

102 配線幅、配線長、配線間距離抽出工程

103 配線幅(及び配線間隔)補正工程

104 配線間隔 - 配線容量相関データ

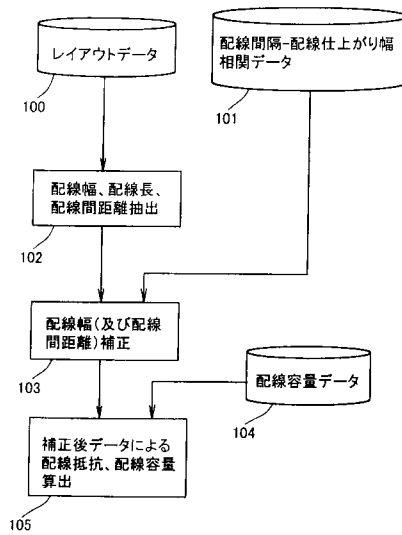
105 配線抵抗及び配線容量算出工程 50

- 2 0 0 配線面積率計算工程
- 2 0 1 配線面積率 - 配線仕上がり幅関連データ
- 2 0 2 配線幅（及び配線間隔）補正工程
- 2 0 3 配線面積率を加味した配線間隔 - 配線仕上がり幅関連データ
- 3 0 0 論理 & タイミング設計工程
- 3 0 1 配線面積率を加味した配線間隔 - 配線仕上がり幅関連データ（レジストに対する光近接効果等の補正入り）
- 3 0 2 光近接効果補正等のレジスト寸法制御補正工程
- 3 0 3 マスクデータ処理工程
- 3 0 4 最終タイミング検証シミュレーション工程
- 3 0 5 タイミング調整用の回路及びレイアウト修正工程
- 3 0 6 タイミング検証結果判定工程
- 7 0 1 補正前後での配線抵抗値比較、及び差の検出工程
- 7 0 2 レイアウト配線幅修正の必要性判定工程
- 7 0 3 レイアウト配線幅修正工程
- 9 0 0 対象LSI
- 9 0 1 I/Oセル部
- 9 0 2 ブロック A
- 9 0 3 ブロック B
- 9 0 4 ブロック C
- 9 0 5 ブロック A からブロック C への信号
- 9 0 6 ブロック B からブロック C への信号
- 9 0 7 スタンダードセルライブラリ・ユニット
- 9 0 8 スタンダードセル・レーン
- 9 0 9 ゲート電極パターンの面積率計算範囲

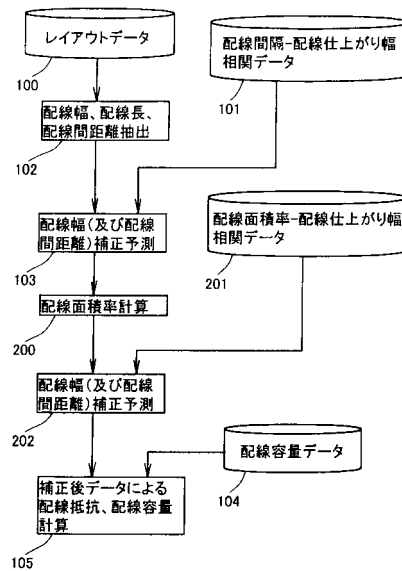
10

20

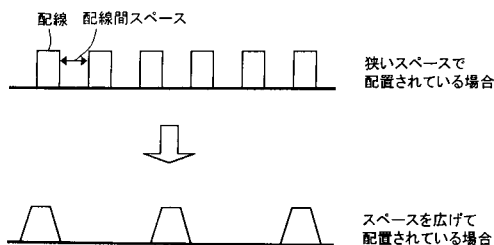
【 図 1 】



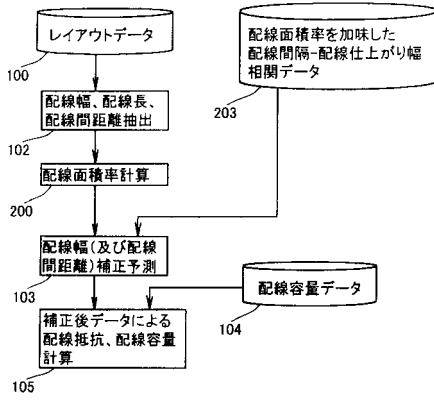
【 図 3 】



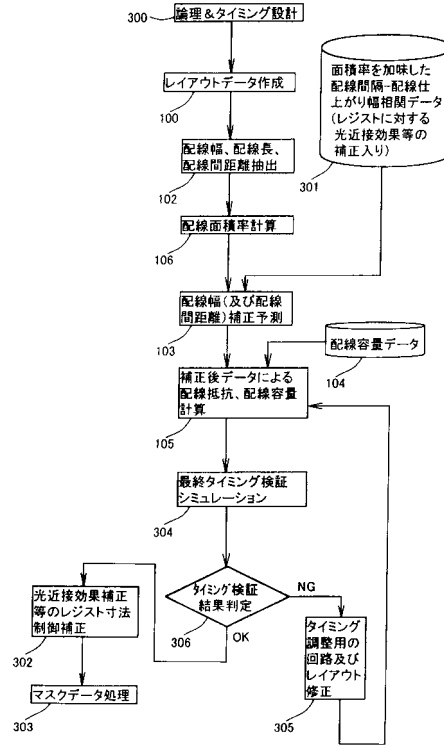
【 図 2 】



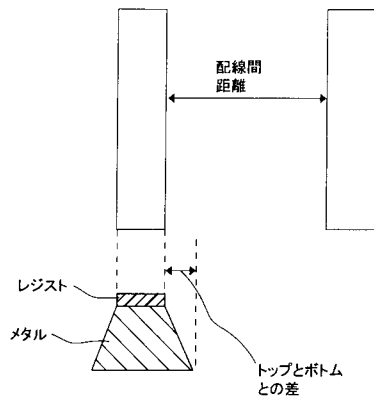
【図4】



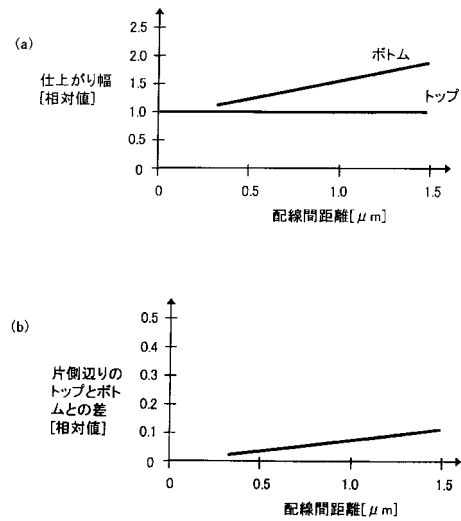
【図5】



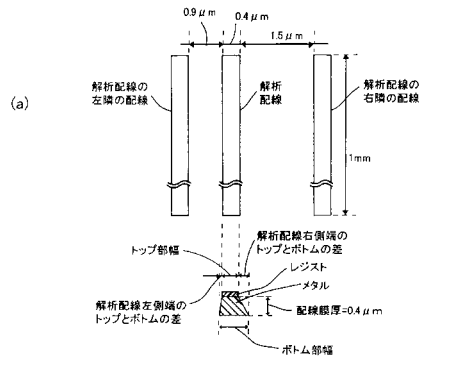
【図6】



【図7】



【 図 8 】

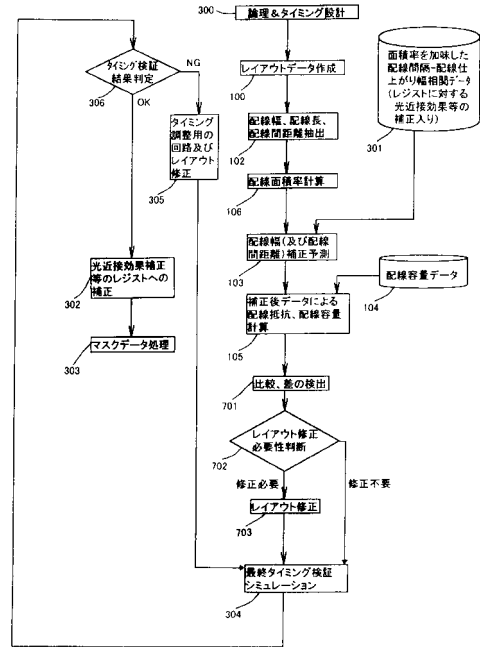


(b)

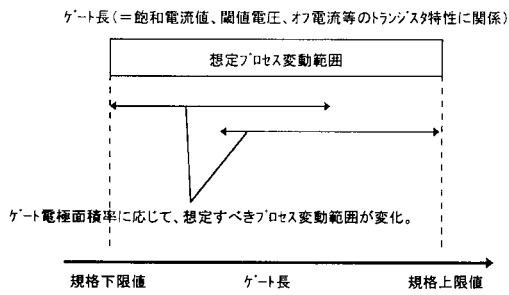
配線間距離: S[μm]	0.5	0.6	0.7	0.8	0.9	1.0	1.1	1.2	1.3	1.4	1.5	>1.5
トップ部太り分[μm]	0	0	0	0	0	0	0	0	0	0	0	0
ボトム部太り分[μm]	0	0.025	0.05	0.075	0.1	0.125	0.15	0.175	0.2	0.225	0.25	0.25

トップ部太り分: $\Delta T[\mu m]$ $\Delta T=0$ S は配線間距離[μm]
 ボトム部太り分: $\Delta B[\mu m]$ $\Delta B=0.25 \times S - 0.125 (0.5 < S \leq 1.5)$
 $= 0.25 (S > 1.5)$

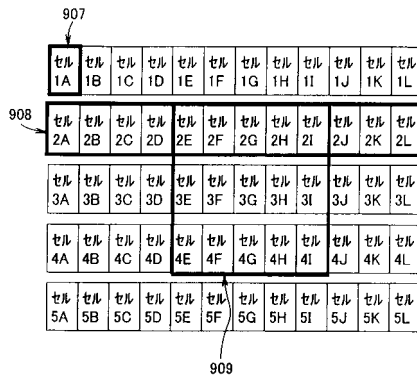
【 図 9 】



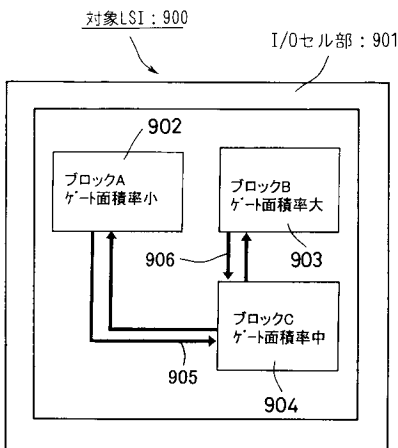
【 図 10 】



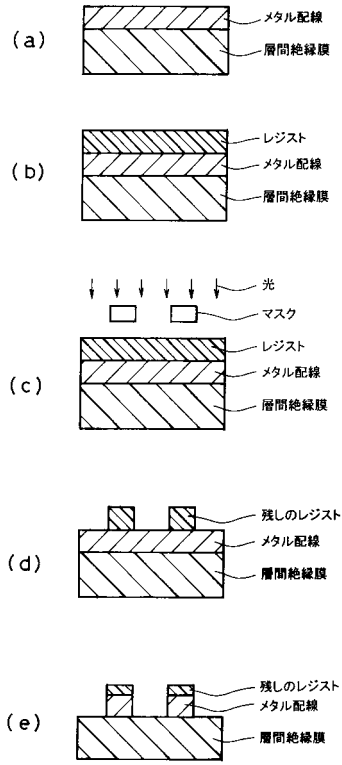
【 図 12 】



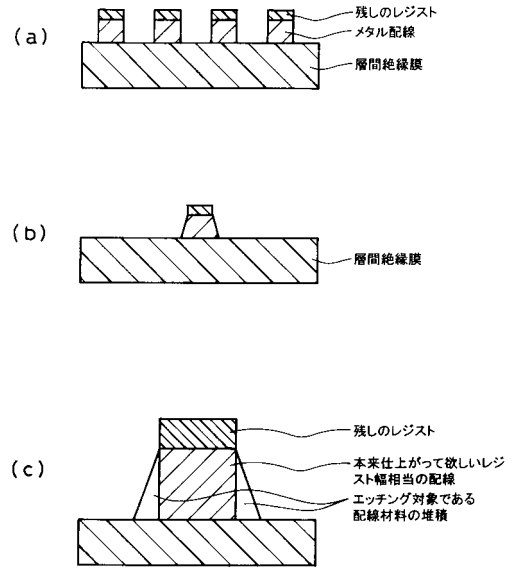
【 図 11 】



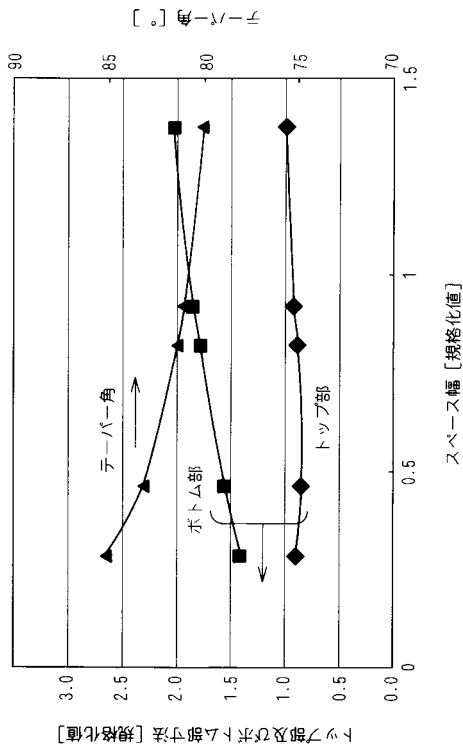
【図13】



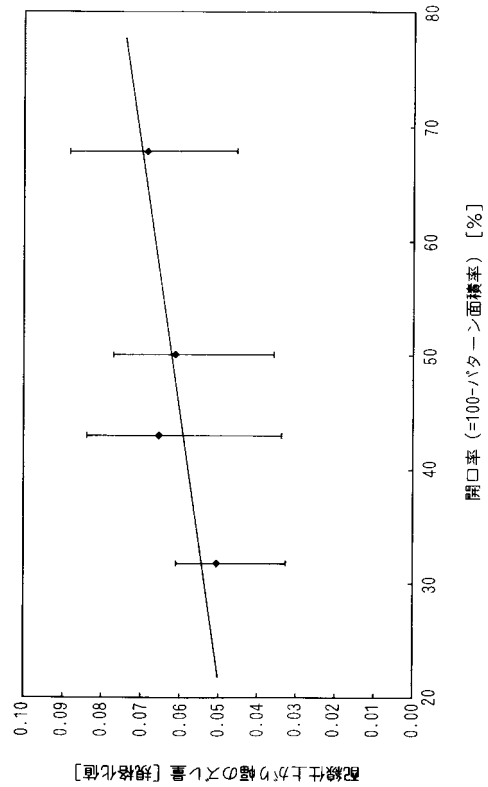
【図14】



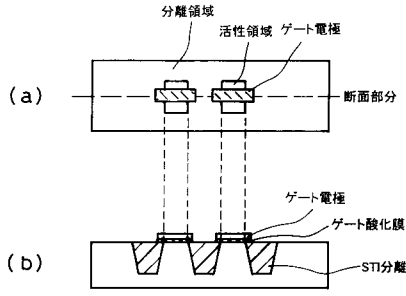
【図15】



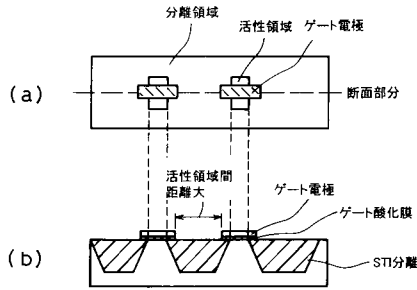
【図16】



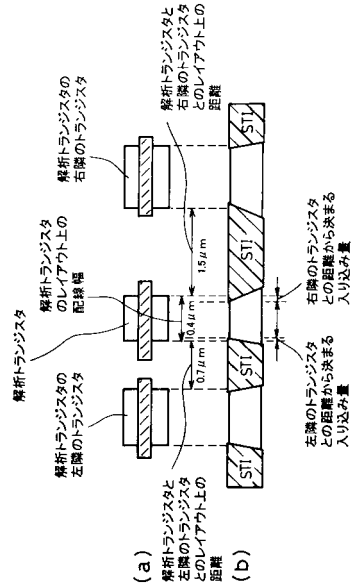
【 図 17 】



【 図 18 】



【 図 19 】



【 図 20 】

トランジスタ外間距離[μm]	0.5	0.6	0.7	0.8	0.9	1.0	1.1	1.2	1.3	1.4	1.5	>1.5
ΔWg [μm]	0	0.0005	0.01	0.015	0.02	0.025	0.03	0.035	0.04	0.045	0.05	0.05

フロントページの続き

- (56)参考文献 特開2000-020564(JP,A)
特開平11-126824(JP,A)
特開平11-067916(JP,A)
特開平11-040672(JP,A)
特開平09-293765(JP,A)
特開平08-297692(JP,A)
特開平06-333928(JP,A)
特開平05-190668(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/82
G03F 1/08
G06F 17/50
H01L 21/027