



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년05월30일
(11) 등록번호 10-1625394
(24) 등록일자 2016년05월24일

(51) 국제특허분류(Int. Cl.)
H04N 5/378 (2011.01) H04N 5/225 (2006.01)
(21) 출원번호 10-2013-0159860
(22) 출원일자 2013년12월20일
심사청구일자 2014년12월19일
(65) 공개번호 10-2014-0080446
(43) 공개일자 2014년06월30일
(30) 우선권주장
JP-P-2012-278320 2012년12월20일 일본(JP)
JP-P-2013-176254 2013년08월28일 일본(JP)
(56) 선행기술조사문헌
JP2011244249 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
캐논 가부시끼가이샤
일본 도쿄도 오오따꾸 시모마루코 3조메 30방 2고
(72) 발명자
무토 타카시
일본국 도쿄도 오오따꾸 시모마루코 3조메 30방
2고 캐논 가부시끼가이샤 나이
하시모토 세이지
일본국 도쿄도 오오따꾸 시모마루코 3조메 30방
2고 캐논 가부시끼가이샤 나이
(뒷면에 계속)
(74) 대리인
권태복

전체 청구항 수 : 총 24 항

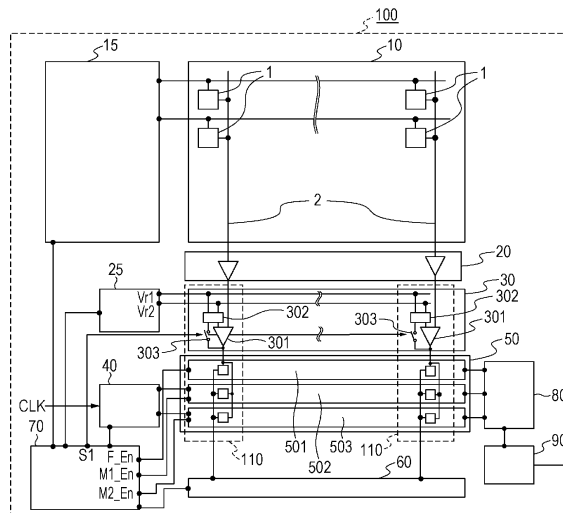
심사관 : 이성현

(54) 발명의 명칭 활상장치의 구동방법, 디지털 신호의 보정방법, 활상장치, 활상 시스템의 구동방법, 및 활상 시스템

(57) 요약

활상장치의 구동방법, 디지털 신호의 보정방법, 활상장치, 활상 시스템의 구동방법, 및 활상 시스템을 제공한다. 단위시간당 제1량만큼 전위가 변화되는 제1 참조 신호와, 단위시간당 상기 제1량보다 큰 제2량만큼 전위가 변화되는 제2 참조 신호를 사용해서, 비교부의 입력 노드의 전위에 근거하여 디지털 신호들을 생성한다. 디지털 신호 간의 신호 값의 차이에 근거하는 보정값을 취득한다. 화소신호에 근거하는 디지털 신호를, 그 취득한 보정값에 의거하여 보정한다.

대표도 - 도1a



(72) 발명자

요시다 다이스케

일본국 도쿄도 오오따꾸 시모마루쵸 3쵸메 30방 2
고 캐논 가부시끼가이샤 나이

마쓰노 야스시

일본국 도쿄도 오오따꾸 시모마루쵸 3쵸메 30방 2
고 캐논 가부시끼가이샤 나이

명세서

청구범위

청구항 1

활상장치의 구동방법으로서, 상기 활상장치는,

화소신호를 출력하는 화소와,

아날로그 신호를 디지털 신호로 변환하는 아날로그 대 디지털 변환부를 구비하고, 상기 아날로그 대 디지털 변환부는,

아날로그 신호와, 시간에 의존해서 전위가 변화되는 참조 신호와를 비교한 비교 결과신호를 출력하는 비교부를 가지고, 상기 구동방법은,

상기 아날로그 대 디지털 변환부를 사용하여, 제1 아날로그 신호와, 단위시간당 제1량만큼 전위가 변화되는 제1 참조 신호와를 비교하는 상기 비교부의 결과로서 상기 비교부에서 출력한 상기 비교 결과신호에 의거하여 제1 디지털 신호를 생성하는 단계;

상기 아날로그 대 디지털 변환부를 사용하여, 상기 제1 아날로그 신호와, 상기 제1량보다 큰 단위시간당의 제2량만큼 전위가 변화되는 제2 참조 신호와를 비교하는 상기 비교부의 결과로서 상기 비교부에서 출력한 상기 비교 결과신호에 의거하여 제2 디지털 신호를 생성하는 단계;

상기 아날로그 대 디지털 변환부를 사용하여, 상기 화소신호에 근거하는 상기 아날로그 신호의 신호와, 상기 제1 참조 신호 또는 상기 제2 참조 신호와를 비교하는 상기 비교부의 결과로서 상기 비교부에서 출력한 상기 비교 결과신호에 의거하여 제3 디지털 신호를 생성하는 단계; 및

상기 제1 디지털 신호와 상기 제2 디지털 신호에 의거하여 상기 제3 디지털 신호를 보정하는 단계를 포함한, 활상장치의 구동방법.

청구항 2

제 1 항에 있어서,

상기 제 1 디지털 신호와 상기 제 2 디지털 신호를 사용하여 보정값이 취득되고, 상기 보정값은 상기 제 1 량과 상기 제 2 량의 비율 및 설정 비율 차이에 대응하고,

상기 제 3 디지털 신호는 상기 보정값을 사용하여 보정되는, 활상장치의 구동방법.

청구항 3

제 1 항에 있어서,

클록 신호를 계수하여 카운트 값을 생성하는 카운트부를 더 포함하고,

상기 제 3 디지털 신호는, 적어도 하나의 상기 제 1 참조신호(Vr1)와 상기 제 2 참조신호(Vr2)의 전위가 시간에 의존하여 변화하기 시작하는 타이밍과, 상기 카운트부가 상기 클록 신호를 계수하기 시작하는 타이밍 간의 차이에 의해 발생하며, 상기 제 3 디지털 신호에 포함되어 있는 오프셋을 줄이기 위해, 상기 제 1 디지털 신호와 상기 제 2 디지털 신호에 의거하여 보정되는, 활상장치의 구동방법.

청구항 4

제 1 항에 있어서,

상기 아날로그 대 디지털 변환부를 사용하여, 상기 제1 아날로그 신호와는 다른 신호 값의 제2 아날로그 신호와, 상기 제1 참조 신호와를 비교하는 상기 비교부의 결과로서 상기 비교부에서 출력한 상기 비교 결과신호에 의거하여 제4 디지털 신호를 생성하는 단계; 및

상기 아날로그 대 디지털 변환부를 사용하여, 상기 제2 아날로그 신호와 상기 제2 참조 신호와를 비교하는 상기 비교부의 결과로서 상기 비교부에서 출력한 상기 비교 결과신호에 의거하여 제5 디지털 신호를 생성하는 단계를 더 포함하고,

상기 제1 디지털 신호와 상기 제4 디지털 신호간의 신호 값의 차이와, 상기 제2 디지털 신호와 상기 제5 디지털 신호간의 신호 값의 차이에 의거하여 상기 제3 디지털 신호를 보정하는, 촬상장치의 구동방법.

청구항 5

제 4 항에 있어서,

상기 아날로그 대 디지털 변환부를 사용하여 상기 제1 디지털 신호와 상기 제2 디지털 신호를 생성한 후, 상기 제4 디지털 신호와 상기 제5 디지털 신호를 상기 아날로그 대 디지털 변환부를 사용하여 생성하는, 촬상장치의 구동방법.

청구항 6

제 4 항에 있어서,

이하의 식으로 구해지는 보정값 α 및 β 를 사용하여 상기 제3 디지털 신호를 보정하는, 촬상장치의 구동방법:

$$\alpha = D S 1 - G \times \beta \times D S 2$$

$$\beta = \frac{D S 1 - D N 1}{G \times (D S 2 - D N 2)}$$

여기서, $D N 1$ 은 상기 제1 디지털 신호의 신호 값을, $D N 2$ 는 상기 제2 디지털 신호의 신호 값을, $D S 1$ 은 상기 제4 디지털 신호의 신호 값을, $D S 2$ 는 상기 제5 디지털 신호의 신호 값을, G 는 상기 제1량에 대한 상기 제2량의 비율을 의미한다.

청구항 7

제 1 항에 있어서,

이하의 식으로 구해지는 보정값 α 를 사용하여 상기 제3 디지털 신호를 보정하는, 촬상장치의 구동방법:

$$\alpha = D N 1 - G \times D N 2$$

여기서, $D N 1$ 은 상기 제1 디지털 신호의 신호 값을, $D N 2$ 는 상기 제2 디지털 신호의 신호 값을, G 는 상기 제1량에 대한 상기 제2량의 비율을 의미한다.

청구항 8

제 6 항에 있어서,

상기 촬상장치는,

복수행으로 배치된 복수의 상기 화소와,

상기 복수의 화소를 주사하는 수직주사회로를 구비하고,

상기 수직주사회로가 상기 복수의 화소를 주사하지 않는 기간에, 또는, 상기 화소로부터 상기 비교부에 노이즈 신호가 출력되고 있는 기간에, 상기 제1 디지털 신호와 상기 제2 디지털 신호를 생성해서 상기 보정값 α 를 취득

하는, 촬상장치의 구동방법.

청구항 9

제 1 항에 있어서,

상기 아날로그 대 디지털 변환부를 사용하여 상기 제1 디지털 신호를 생성한 후,

상기 비교부를 사용하여, 상기 화소신호에 근거하는 상기 아날로그 신호의 상기 신호의 전위와 역치신호의 전위를 비교하는 단계와,

상기 비교부를 사용하여, 상기 역치신호의 전위가 상기 화소신호에 근거하는 상기 아날로그 신호의 상기 신호의 전위보다 클 경우에 상기 제1 참조 신호를 상기 제3 디지털 신호의 생성에 사용된 상기 참조 신호로서 설정하는 단계와,

상기 비교부를 사용하여, 상기 역치신호의 전위가 상기 화소신호에 근거하는 상기 아날로그 신호의 상기 신호의 전위보다 작을 경우에 상기 제2 참조 신호를 상기 제3 디지털 신호의 생성에 사용된 상기 참조 신호로서 설정하는 단계를 더 포함한, 촬상장치의 구동방법.

청구항 10

제 1 항에 있어서,

상기 촬상장치는,

복수의 열로 배치된 복수의 상기 화소와,

상기 화소의 상기 복수의 열 중 대응한 열에 각각 설치된 복수의 상기 아날로그 대 디지털 변환부를 구비하고, 상기 방법은,

상기 복수의 아날로그 대 디지털 변환부 중 대응한 아날로그 대 디지털 변환부에서 얻어진 상기 제2 디지털 신호의 신호 값과 상기 제1 디지털 신호의 신호 값간의 각 차이인, 차이들의 평균치를 취득하는 단계와,

상기 취득된 차이들의 평균치에 의거하여 상기 복수의 아날로그 대 디지털 변환부를 사용하여 생성된 상기 제3 디지털 신호를 보정하는 단계를 더 포함한, 촬상장치의 구동방법.

청구항 11

제 1 항에 있어서,

상기 촬상장치는,

복수의 열로 배치된 복수의 상기 화소와,

상기 화소의 상기 복수의 열 중 대응한 열에 각각 설치된 복수의 상기 아날로그 대 디지털 변환부를 구비하고, 상기 방법은,

상기 복수의 아날로그 대 디지털 변환부를 사용하여 생성된 상기 제2 디지털 신호의 평균치와 상기 복수의 아날로그 대 디지털 변환부를 사용하여 생성된 상기 제1 디지털 신호의 평균치간의 차이에 의거하여, 상기 복수의 아날로그 대 디지털 변환부를 사용하여 생성된 상기 제3 디지털 신호를 보정하는 단계를 더 포함하는, 촬상장치의 구동방법.

청구항 12

제 1 항에 있어서,

상기 활상장치는 증폭부를 더 구비하고,

상기 화소신호에 근거하는 상기 아날로그 신호의 상기 신호가, 상기 화소신호를 증폭하는 상기 증폭부의 결과로서 상기 증폭부가 출력한 신호인, 활상장치의 구동방법.

청구항 13

제 12 항에 있어서,

상기 증폭부의 입력 노드에 상기 화소신호가 공급되고,

상기 제1 아날로그 신호가, 상기 증폭부의 상기 입력 노드의 리셋트 전위에 의거하여 상기 증폭부가 출력한 신호인, 활상장치의 구동방법.

청구항 14

제 1 항에 있어서,

상기 제1 아날로그 신호가, 상기 화소가 출력한 노이즈 신호에 근거하는 신호인, 활상장치의 구동방법.

청구항 15

아날로그 신호를 아날로그 대 디지털 변환하는 아날로그 대 디지털 변환부의 결과로서 생성된 디지털 신호의 보정방법으로서,

상기 아날로그 대 디지털 변환부를 사용하여, 제1 아날로그 신호와, 단위시간당 제1량만큼 전위가 변화되는 제1 참조 신호와를 비교하여 얻어진 결과에 의거하여 제1 디지털 신호를 생성하는 단계;

상기 아날로그 대 디지털 변환부를 사용하여, 상기 제1 아날로그 신호와, 상기 제1량보다 큰 단위시간당의 제2량만큼 전위가 변화되는 제2 참조 신호와를 비교하여 얻어진 결과에 의거하여 제2 디지털 신호를 생성하는 단계; 및

상기 아날로그 대 디지털 변환부를 사용하여 생성된 상기 디지털 신호를, 상기 제1 디지털 신호와 상기 제2 디지털 신호에 의거하여 보정하는 단계를 포함하는, 디지털 신호의 보정방법.

청구항 16

활상 시스템의 구동방법으로서, 상기 활상 시스템은,

화소신호를 출력하는 화소와,

아날로그 신호를 디지털 신호로 변환하는 아날로그 대 디지털 변환부로서, 아날로그 신호와, 시간에 의존해서 전위가 변화되는 참조 신호와를 비교한 비교 결과신호를 출력하는 비교부를 구비한 상기 아날로그 대 디지털 변환부를 가지는 활상장치; 및

상기 활상장치로부터 출력된 신호를 처리하는 신호 처리부를 구비하고, 상기 구동방법은,

상기 아날로그 대 디지털 변환부를 사용하여, 제1 아날로그 신호와, 단위시간당 제1량만큼 전위가 변화되는 제1 참조 신호와를 비교하는 상기 비교부의 결과로서 상기 비교부에서 출력한 상기 비교 결과신호에 의거하여 제1 디지털 신호를 생성하는 단계;

상기 아날로그 대 디지털 변환부를 사용하여, 상기 제1 아날로그 신호와, 단위시간당 상기 제1량보다 큰 제2량만큼 전위가 변화되는 제2 참조 신호와를 비교하는 상기 비교부의 결과로서 상기 비교부에서 출력한 상기 비교 결과신호에 의거하여 제2 디지털 신호를 생성하는 단계;

상기 아날로그 대 디지털 변환부를 사용하여, 상기 화소신호에 근거하는 상기 아날로그 신호의 신호와, 상기 제1 참조 신호 또는 상기 제2 참조 신호와를 비교하는 상기 비교부의 결과로서 상기 비교부에서 출력한 상기 비교

결과신호에 의거하여 제3 디지털 신호를 생성하는 단계; 및

상기 제1 디지털 신호와 상기 제2 디지털 신호에 의거하여 상기 제3 디지털 신호를 보정하는 단계를 포함한, 촬상 시스템의 구동방법.

청구항 17

제 16 항에 있어서,

상기 촬상장치는 보정연산부를 더 구비하고, 상기 방법은,

상기 신호 처리부를 사용하여, 상기 제1 디지털 신호와 상기 제2 디지털 신호에 의거하여 보정값을 취득하는 단계와,

상기 신호 처리부를 사용하여, 상기 보정값을 상기 보정연산부에 출력하는 단계와,

상기 보정연산부를 사용하여, 상기 보정값에 의거하여 상기 제3 디지털 신호를 보정하는 단계를 더 포함하는, 촬상 시스템의 구동방법.

청구항 18

제 16 항에 있어서,

상기 신호 처리부를 사용하여, 상기 제1 디지털 신호와 상기 제2 디지털 신호에 의거하여, 상기 제3 디지털 신호를 보정하는, 촬상 시스템의 구동방법.

청구항 19

화소신호를 출력하는 화소;

아날로그 신호를 디지털 신호로 변환하는 아날로그 대 디지털 변환부로서,

아날로그 신호와 참조 신호를 비교한 비교 결과신호를 출력하는 비교부와,

제1 아날로그 신호와, 단위시간당 제1량만큼 전위가 변화되는 제1 참조 신호와를 비교하는 상기 비교부의 결과로서 상기 비교부에서 출력한 상기 비교 결과신호에 의거하여 제1 디지털 신호를 유지하고,

상기 제1 아날로그 신호와, 단위시간당 상기 제1량보다 큰 제2량만큼 전위가 변화되는 제2 참조 신호와를 비교하는 상기 비교부의 결과로서 상기 비교부에서 출력한 상기 비교 결과신호에 의거하여 제2 디지털 신호를 유지하고,

상기 화소신호에 근거하는 상기 아날로그 신호의 신호와, 상기 제1 참조 신호 또는 상기 제2 참조 신호와를 비교하는 상기 비교부의 결과로서 상기 비교부에서 출력한 상기 비교 결과신호에 의거하여 제3 디지털 신호를 유지하는, 메모리부를 구비한, 상기 아날로그 대 디지털 변환부;

상기 아날로그 대 디지털 변환부에 시간에 의존해서 전위가 변화되는 참조 신호를 공급하는 참조 신호 공급부; 및

상기 제1 디지털 신호와 상기 제2 디지털 신호에 의거하여 상기 제3 디지털 신호를 보정하는 보정부를 구비한, 촬상장치.

청구항 20

제 19 항에 있어서,

테스트 신호를 공급하고, 상기 비교부에 전기적으로 접속되는, 테스트 신호 공급부를 더 구비하고,

상기 제1 아날로그 신호는, 상기 테스트 신호 공급부에 의해 상기 비교부에 출력된 상기 테스트 신호에 근거하는 신호인, 활상장치.

청구항 21

제 19 항에 있어서,

화소신호를 증폭하되, 상기 화소와 상기 비교부와와의 사이의 전기적 경로에 배치되는, 증폭부를 더 구비하고,

상기 화소신호에 근거하는 상기 아날로그 신호의 상기 신호가, 상기 화소신호를 증폭하는 상기 증폭부의 결과로서 상기 증폭부가 출력한 신호인, 활상장치.

청구항 22

청구항 19 내지 청구항 21 중 어느 한 항에 따른 활상장치; 및

상기 활상장치로부터 출력된 신호를 처리하는 신호 처리부를 구비한, 활상 시스템.

청구항 23

화소신호를 출력하는 화소와,

아날로그 신호를 디지털 신호로 변환하는 아날로그 대 디지털 변환부로서, 상기 아날로그 대 디지털 변환부가,

아날로그 신호와 참조 신호를 비교한 비교 결과신호를 출력하는 비교부와,

제1 아날로그 신호와, 단위시간당 제1량만큼 전위가 변화되는 제1 참조 신호와를 비교하는 상기 비교부의 결과로서 상기 비교부에서 출력한 상기 비교 결과신호에 의거하여 제1 디지털 신호를 유지하고,

상기 제1 아날로그 신호와, 단위시간당 상기 제1량보다 큰 제2량만큼 전위가 변화되는 제2 참조 신호와를 비교하는 상기 비교부의 결과로서 상기 비교부에서 출력한 상기 비교 결과신호에 의거하여 제2 디지털 신호를 유지하고,

상기 화소신호에 근거하는 상기 아날로그 신호의 신호와, 상기 제1 참조 신호 또는 상기 제2 참조 신호와를 비교하는 상기 비교부의 결과로서 상기 비교부에서 출력한 상기 비교 결과신호에 의거하여 제3 디지털 신호를 유지하는, 메모리부를 구비한, 상기 아날로그 대 디지털 변환부와,

상기 아날로그 대 디지털 변환부에 시간에 의존해서 전위가 변화되는 참조 신호를 공급하는 참조 신호 공급부를 갖는, 활상장치;

상기 활상장치로부터 출력된 신호를 처리하는 신호 처리부; 및

상기 제1 디지털 신호와 상기 제2 디지털 신호에 의거하여 상기 제3 디지털 신호를 보정하는 보정부를 구비한, 활상 시스템.

청구항 24

제 23 항에 있어서,

상기 활상장치와 상기 보정부는 제1 반도체 기판 위에 배치되고,

상기 활상 시스템은, 제2 반도체 기판 위에 배치된 보정연산부를 더 구비하고,

상기 보정연산부는, 상기 제1 디지털 신호와 상기 제2 디지털 신호에 의거하여 보정값을 취득하고, 상기 보정값을 상기 보정부에 출력하고,

상기 보정부는, 상기 보정연산부로부터 출력되는 상기 보정값에 의거하여 상기 제3 디지털 신호를 보정하는, 활

상 시스템.

발명의 설명

기술 분야

[0001] 본 발명은, 화소가 출력하는 화소신호를 디지털 신호로 변환하는 아날로그 대 디지털(AD) 변환부를 가지는 촬상장치 및 촬상 시스템에 관한 것이다.

배경 기술

[0002] 화소가 출력하는 화소신호를 디지털 신호로 변환하는 AD변환부를 가지는 촬상장치가 이용 가능하다. 일본국 특허공개공보 2011-211535호에 기재된 AD변환부는, 참조 신호 공급부를 가진다. 그 참조 신호 공급부는, 단위시간당 제1량만큼 전위가 변화되는 제1 참조 신호와, 단위시간당 상기 제1량보다 큰 제2량만큼 전위가 변화되는 제2 참조 신호를 출력한다. 일본국 특허공개공보 2011-211535호에 기재된 AD변환부는, 비교부를 더 구비한다. 그 비교부는, 화소신호와, 제1 참조 신호 및 제2 참조 신호와 비교한다. 또한, 비교부는, 노이즈 신호에 근거하는 전위와, 상기 제1 참조 신호 및 상기 제2 참조 신호를 비교한다.

발명의 내용

[0003] 본 발명의 일 국면은, 화소신호를 출력하는 화소와, 아날로그 신호를 디지털 신호로 변환하는 아날로그 대 디지털 변환부를 가지는 촬상장치의 구동방법을 제공하고, 상기 아날로그 대 디지털 변환부는, 아날로그 신호와, 시간에 의존해서 전위가 변화되는 참조 신호와를 비교한 비교 결과신호를 출력하는 비교부를 가진다. 상기 구동방법은, 상기 아날로그 대 디지털 변환부를 사용하여, 제1 아날로그 신호와, 단위시간당 제1량만큼 전위가 변화되는 제1 참조 신호와를 비교하는 상기 비교부의 결과로서 상기 비교부에서 출력한 상기 비교 결과신호에 의거하여 제1 디지털 신호를 생성하는 단계; 상기 아날로그 대 디지털 변환부를 사용하여, 상기 제1 아날로그 신호와, 상기 제1량보다 큰 단위시간당의 제2량만큼 전위가 변화되는 제2 참조 신호와를 비교하는 상기 비교부의 결과로서 상기 비교부에서 출력한 상기 비교 결과신호에 의거하여 제2 디지털 신호를 생성하는 단계; 상기 아날로그 대 디지털 변환부를 사용하여, 상기 화소신호에 근거하는 상기 아날로그 신호의 신호와, 상기 제1 참조 신호 또는 상기 제2 참조 신호와를 비교하는 상기 비교부의 결과로서 상기 비교부에서 출력한 상기 비교 결과신호에 의거하여 제3 디지털 신호를 생성하는 단계; 및 상기 제1 디지털 신호와 상기 제2 디지털 신호에 의거하여 상기 제3 디지털 신호를 보정하는 단계를 포함한다.

[0004] 본 발명의 다른 국면은, 아날로그 신호를 아날로그 대 디지털 변환하는 아날로그 대 디지털 변환부의 결과로서 생성된 디지털 신호의 보정방법을 제공한다. 이 보정방법은, 상기 아날로그 대 디지털 변환부를 사용하여, 제1 아날로그 신호와, 단위시간당 제1량만큼 전위가 변화되는 제1 참조 신호와를 비교하여 얻어진 결과에 의거하여 제1 디지털 신호를 생성하는 단계; 상기 아날로그 대 디지털 변환부를 사용하여, 상기 제1 아날로그 신호와, 상기 제1량보다 큰 단위시간당의 제2량만큼 전위가 변화되는 제2 참조 신호와를 비교하여 얻어진 결과에 의거하여 제2 디지털 신호를 생성하는 단계; 및 상기 아날로그 대 디지털 변환부를 사용하여 생성된 상기 디지털 신호를, 상기 제1 디지털 신호와 상기 제2 디지털 신호에 의거하여 보정하는 단계를 포함한다.

[0005] 본 발명의 또 다른 국면은, 화소신호를 출력하는 화소와, 아날로그 신호를 디지털 신호로 변환하는 아날로그 대 디지털 변환부-이 아날로그 대 디지털 변환부가, 아날로그 신호와, 시간에 의존해서 전위가 변화되는 참조 신호와를 비교한 비교 결과신호를 출력하는 비교부를 구비한다-와를 가지는 촬상장치; 및 상기 촬상장치로부터 출력된 신호를 처리하는 신호 처리부를 구비한, 촬상 시스템의 구동방법을 제공한다. 이 구동방법은, 상기 아날로그 대 디지털 변환부를 사용하여, 제1 아날로그 신호와, 단위시간당 제1량만큼 전위가 변화되는 제1 참조 신호와를 비교하는 상기 비교부의 결과로서 상기 비교부에서 출력한 상기 비교 결과신호에 의거하여 제1 디지털 신호를 생성하는 단계; 상기 아날로그 대 디지털 변환부를 사용하여, 상기 제1 아날로그 신호와, 단위시간당 상기 제1량보다 큰 제2량만큼 전위가 변화되는 제2 참조 신호와를 비교하는 상기 비교부의 결과로서 상기 비교부에서 출력한 상기 비교 결과신호에 의거하여 제2 디지털 신호를 생성하는 단계; 상기 아날로그 대 디지털 변환부를 사용하여, 상기 화소신호에 근거하는 상기 아날로그 신호의 신호와, 상기 제1 참조 신호 또는 상기 제2 참조 신호와를 비교하는 상기 비교부의 결과로서 상기 비교부에서 출력한 상기 비교 결과신호에 의거하여 제3 디지털 신호를 생성하는 단계; 및 상기 제1 디지털 신호와 상기 제2 디지털 신호에 의거하여 상기 제3 디지털 신

호를 보정하는 단계를 포함한다.

[0006]

또한, 본 발명의 또 다른 국면은, 화소신호를 출력하는 화소와, 아날로그 신호를 디지털 신호로 변환하는 아날로그 대 디지털 변환부와, 상기 아날로그 대 디지털 변환부에 시간에 의존해서 전위가 변화되는 참조 신호를 공급하는 참조 신호 공급부와, 보정부를 구비한, 촬상장치를 제공한다. 상기 아날로그 대 디지털 변환부는, 아날로그 신호와 상기 참조 신호와를 비교한 비교 결과신호를 출력하는 비교부; 및 제1 아날로그 신호와, 단위시간당 제1량만큼 전위가 변화되는 제1 참조 신호와를 비교하는 상기 비교부의 결과로서 상기 비교부에서 출력한 상기 비교 결과신호에 의거하여 제1 디지털 신호를 유지하고, 상기 제1 아날로그 신호와, 단위시간당 상기 제1량보다 큰 제2량만큼 전위가 변화되는 제2 참조 신호와를 비교하는 상기 비교부의 결과로서 상기 비교부에서 출력한 상기 비교 결과신호에 의거하여 제2 디지털 신호를 유지하고, 상기 화소신호에 근거하는 상기 아날로그 신호의 신호와, 상기 제1 참조 신호 또는 상기 제2 참조 신호와를 비교하는 상기 비교부의 결과로서 상기 비교부에서 출력한 상기 비교 결과신호에 의거하여 제3 디지털 신호를 유지하는 메모리부를 구비한다. 상기 보정부는, 상기 제1 디지털 신호와 상기 제2 디지털 신호에 의거하여 상기 제3 디지털 신호를 보정하도록 구성된다.

[0007]

본 발명의 추가의 또 다른 국면은, 화소신호를 출력하는 화소와, 아날로그 신호를 디지털 신호로 변환하는 아날로그 대 디지털 변환부와, 상기 아날로그 대 디지털 변환부에 시간에 의존해서 전위가 변화되는 참조 신호를 공급하는 참조 신호 공급부를 가지는 촬상장치; 상기 촬상장치로부터 출력된 신호를 처리하는 신호 처리부; 및 보정부를 구비한, 촬상 시스템을 제공한다. 상기 아날로그 대 디지털 변환부는, 아날로그 신호와 상기 참조 신호와를 비교한 비교 결과신호를 출력하는 비교부; 및 제1 아날로그 신호와, 단위시간당 제1량만큼 전위가 변화되는 제1 참조 신호와를 비교하는 상기 비교부의 결과로서 상기 비교부에서 출력한 상기 비교 결과신호에 의거하여 제1 디지털 신호를 유지하고, 상기 제1 아날로그 신호와, 단위시간당 상기 제1량보다 큰 제2량만큼 전위가 변화되는 제2 참조 신호와를 비교하는 상기 비교부의 결과로서 상기 비교부에서 출력한 상기 비교 결과신호에 의거하여 제2 디지털 신호를 유지하고, 상기 화소신호에 근거하는 상기 아날로그 신호의 신호와, 상기 제1 참조 신호 또는 상기 제2 참조 신호와를 비교하는 상기 비교부의 결과로서 상기 비교부에서 출력한 상기 비교 결과신호에 의거하여 제3 디지털 신호를 유지하는 메모리부를 구비한다. 상기 보정부는, 상기 제1 디지털 신호와 상기 제2 디지털 신호에 의거하여 상기 제3 디지털 신호를 보정하도록 구성된다.

[0008]

본 발명의 또 다른 특징들은, 첨부도면을 참조하여 이하의 예시적 실시예들의 설명으로부터 명백해질 것이다.

도면의 간단한 설명

[0009]

- 도 1a는 촬상장치의 구성의 일례를 나타낸 도면이다.
- 도 1b는 촬상장치의 일부의 상세한 구성의 일례를 나타낸 도면이다.
- 도 2는 촬상장치의 동작의 일례를 나타낸 도면이다.
- 도 3a는 디지털 신호에 대해 행해진 비트 쉬프트 동작의 일례를 나타낸 도면이다.
- 도 3b는 참조 신호 공급부와 카운터의 동작의 일례를 나타낸 도면이다.
- 도 4a는 촬상장치의 동작의 일례를 나타낸 도면이다.
- 도 4b는 촬상장치의 동작의 일례를 나타낸 도면이다.
- 도 5a는 촬상장치의 구성의 일례를 나타낸 도면이다.
- 도 5b는 촬상장치의 일부의 상세한 구성의 일례를 나타낸 도면이다.
- 도 6a는 촬상장치의 동작의 일례를 나타낸 도면이다.
- 도 6b는 촬상장치의 동작의 일례를 나타낸 도면이다.
- 도 7은 촬상 시스템의 일례를 나타낸 도면이다.
- 도 8a는 촬상장치의 일부의 구성의 일례를 나타낸 도면이다.

도 8b는 촬상장치의 동작의 일례를 나타낸 도면이다.

도 9a는 촬상 시스템의 일례를 나타낸 도면이다.

도 9b는 촬상장치의 디지털 신호처리기(DSP)의 구성의 일례를 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0010] 일본국 특허공개공보 2011-211535호에 기재된 촬상장치에서는, 같은 신호 값의 아날로그 신호를 제1 참조 신호와 제2 참조 신호를 사용하여 변환한 디지털 신호들의 신호 값간에 오프셋이 생기기도 한다. 일본국 특허공개공보 2011-211535호에 기재된 촬상장치에서는, 이 디지털 신호에 포함되는 오프셋을 저감하는 것이 기재되어 있지 않다.
- [0011] 이하에 서술하는 촬상장치의 구동방법, 디지털 신호의 보정방법, 촬상장치, 촬상 시스템의 구동방법 및 촬상 시스템 각각은, 상기의 과제를 해결한다.
- [0012] 제1 실시예
- [0013] 이하, 도면을 참조하여 제1 실시예에 따른 촬상장치에 관하여 설명한다.
- [0014] 도 1a는, 제1 실시예에 따른 촬상장치(100)의 모식도다. 도 1a에 나타내는 촬상장치(100)는 단일 반도체 기판 위에 형성되어 있다.
- [0015] 촬상장치(100)는, 화소(1)가 복수행 및 복수열에 배치된 화소부(10)를 구비한다. 화소(1) 각각은, 수직 주사회로(15)에서 행해진 주사에 따라 화소신호를 증폭부(20)에 출력한다. 화소(1) 각각은, 입사광을 광전변환하는 광전변환부를 가진다. 화소신호는, 노이즈 신호와, 입사광을 광전변환해서 얻은 전하에 의거하여 출력하는 광전변환 신호를 포함한다. 수직주사회로(15)는 타이밍 제너레이터(이하, TG라고 약칭한다)(70)로부터 출력되는 신호에 따라, 화소(1)의 행마다의 주사를 행한다. 증폭부(20)는, 각 화소신호를 증폭해서 비교부(30)에 구비된 대응한 비교 회로(301)에 출력한다. 증폭부(20)는, 비교부(30)와 화소(1)와의 사이의 전기적 경로에 설치된다. 참조 신호 공급부(25)는 복수의 참조 신호를 각 열의 선택 회로(302)에 출력한다. 비교 회로(301) 각각은, 증폭부(20)가 출력하는 신호와 역치신호를 비교한 결과를 나타내는 비교 결과신호에 의거하여 스위치(303)를 거쳐 상기 대응한 선택 회로(302)에 선택신호SEL을 출력한다. 선택 회로(302) 각각은, 그 선택신호SEL에 의거하여 복수의 참조 신호에서 대응한 비교 회로(301)에 출력하는 참조 신호를 선택한다. 비교 회로(301)는, 증폭부(20)가 출력하는 신호와 상기 참조 신호와를 비교한 결과를 나타내는 비교 결과신호를 메모리부(50)와 대응한 선택 회로(302)에 출력한다. 메모리부(50)는 플래그 메모리(501), 제1메모리(502) 및 제2메모리(503)를 가진다. TG(70)는, 플래그 메모리(501)에 신호F_{En}을 출력한다. 카운터(40)는 클럭 신호CLK의 계수를 나타내는 카운트 신호를, 제1메모리(502) 및 제2메모리(503)에 출력한다. TG(70)는, 제1메모리(502) 및 제2메모리(503)에 각각 신호M1_{En}, M2_{En}을 출력한다. 수평주사회로(60)는, 각 열의 플래그 메모리(501), 제1메모리(502) 및 제2메모리(503)가 유지한 디지털 신호를 순차로 디지털 신호처리기(DSP)(80)에 출력시킨다. DSP(80)는, 각 열의 플래그 메모리(501), 제1메모리(502) 및 제2메모리(503)로부터 출력된 신호를 처리하여, 출력 회로(90)에 출력한다. 출력 회로(90)는 TG(70)가 출력하는 신호에 따라 촬상장치(100)의 외부에 신호를 출력한다.
- [0016] 도 1a에 나타낸 촬상장치(100)에서는, 대응한 열의 AD변환부(110)는, 비교부(30)와 메모리부(50)를 가지고 있다. 또한, AD변환부(110)의 각각은, 화소(1)의 대응한 열에 대해서 설치된다.
- [0017] 다음에, 도 1b를 참조하여, DSP(80)의 구성에 관하여 설명한다. DSP(80)는, 플래그 메모리(501)에 유지된 신호 값이 로우(low) 레벨일 때 제1메모리(502)에 유지된 신호의 각 비트를 2비트씩 최상위 비트(MSB)측으로 쉬프트하는 레벨 쉬프트부(801)를 가진다. 레벨 쉬프트부(801)는, 도 4b에 나타내는 보정동작을 행할 경우에는, 보정값 취득부(802)에 그 결과의 신호를 출력한다. 또한, 보정값 취득부(802)에는, 제2메모리(503)로부터 신호가 출력된다. 보정값 취득부(802)로 생성한 보정값은 보정연산부(803)에 출력된다. 보정연산부(803)는, 레벨 쉬프트부(801)에서 출력한 신호를 보정하고, S-N부(804)에 보정한 신호를 출력한다. S-N부(804)는, 보정연산부(803)가 출력한 신호와 제2메모리(503)가 출력한 신호간의 차이를 결정하고, 그 결정한 신호를 출력 회로(90)에 출력한다. DSP(80)는, 본 실시예의 보정부다.
- [0018] 도 2를 참조하여, 도 1a에 나타낸 촬상장치(100)의 동작에 관하여 설명한다. 도 2에서, Out_Amp는, 증폭부(20)가 출력한 신호를 의미한다. Vr1 및 Vr2는, 참조 신호 공급부(25)가 출력한 참조 신호를 의

미한다. 참조 신호 V_{r1} 은 단위시간당 제1량만큼 전위가 변화되는 제1 참조 신호다. 참조 신호 V_{r2} 는 단위시간당 제1량보다 큰 제2량만큼 전위가 변화되는 제2 참조 신호다. V_{r_Cmp} 는, 선택 회로(302)가 참조 신호 V_{r1} , V_{r2} 중 하나를 선택한 결과로서 상기 비교 회로(301)에 출력된 참조 신호를 의미한다. CMP는, 비교 회로(301)가 상기 신호 O_{ut_Amp} 와 참조 신호 V_{r_Cmp} 를 비교한 결과를 나타내는 비교 결과신호다. S1은 스위치(303)의 도통을 제어하는 신호다. 하이(high)레벨(이하, H레벨이라고 함)로 스위치(303)가 도통된다. 신호 F_En 을 H레벨로 하면, 플래그 메모리(501)는 비교 결과신호CMP를 유지한다. 제1메모리(502)는, 신호 $M1_En$ 이 H레벨인 상태에서, 비교 결과신호CMP의 신호 값이 변화되었을 때에 카운트 신호를 유지한다. 제2메모리(503)는, 신호 $M2_En$ 이 H레벨인 상태에서, 비교 결과신호CMP의 신호 값이 변화되었을 때에 카운트 신호를 유지한다.

[0019] 시각t1에서는, 비교 결과신호CMP, 신호S1, F_En , $M1_En$, $M2_En$ 은 로우레벨(이하, L레벨이라고 함)이다. 선택신호SEL은 H레벨이다.

[0020] 시각t2에서, 화소(1)는 노이즈 신호를 출력한다. 증폭부(20)는 노이즈 신호를 증폭한 신호를 출력한다.

[0021] 시각t3에서, 참조 신호 공급부(25)는, 참조 신호 V_{r1} 의 시간에 의존한 전위의 변화를 시작한다. 선택 회로(302)는, 선택신호SEL이 H레벨일 때, 참조 신호 V_{r1} , V_{r2} 중 참조 신호 V_{r1} 을 비교 회로(301)에 출력한다. 또한, TG(70)는, 신호 $M2_En$ 을 H레벨로 설정한다.

[0022] 시각t4에서, 증폭부(20)가 출력하는 신호 O_{ut_Amp} 와 참조 신호 V_{r_Cmp} 와의 대소관계가 역전함에 따라서, 비교 결과신호CMP의 신호 값이 변화된다. 제2메모리(503)는, 이 때의 카운트 신호를 유지한다.

[0023] 시각t5에서, 참조 신호 공급부(25)는 참조 신호 V_{r1} 의 시간에 의존한 전위의 변화를 정지하고, 참조 신호 V_{r1} 의 전위를 시각t3의 전위로 되돌린다. 또한, TG(70)는 신호 $M2_En$ 을 L레벨로 설정한다.

[0024] 시각t6에서, 화소(1)는 광전변환 신호를 출력한다. 증폭부(20)는 광전변환 신호를 증폭한 신호를 비교 회로(301)에 출력한다.

[0025] 시각t7에서, 참조 신호 공급부(25)는 참조 신호 V_{r1} 의 전위를 역치신호VREF의 전위로 설정한다. 역치신호VREF의 전위는, 후술하는 시각t11에서의 거의 참조 신호 V_{r1} 의 전위와 같다. 증폭부(20)가 출력하는 신호 O_{ut_Amp} 가 역치신호VREF보다도 클 경우에는, 비교 회로(301)는 L레벨의 비교 결과신호CMP를 출력한다. 반대로, 역치신호VREF가 증폭부(20)가 출력하는 신호 O_{ut_Amp} 보다도 클 경우에는, 비교 회로(301)는 H레벨의 비교 결과신호CMP를 출력한다. 여기에서는, 비교 회로(301)가 출력하는 비교 결과신호CMP가 L레벨이라고 가정하여 설명한다. TG(70)는 신호S1을 H레벨로 설정한다. 이에 따라, 시각t7의 L레벨의 비교 결과신호CMP가 선택신호SEL로서 선택 회로(302)에 출력된다. 선택 회로(302)는 시각t9이후에 비교 회로(301)에 출력하는 참조 신호를, 시각t7의 선택신호SEL의 신호 값에 따라 선택한다. 시각t7로부터 시각t9까지의 선택 회로(302)의 동작과 선택신호SEL의 신호 값간의 관계에 관하여 설명한다. 시각t7에서 선택신호SEL이 L레벨이 된 후, 선택 회로(302)는 시각t7로부터 시각t8까지 참조 신호 V_{r1} 을 비교 회로(301)에 계속해서 출력한다. 선택 회로(302)는, 시각t9이후에 출력하는 참조 신호를, 선택신호SEL의 신호 값에 따라 선택한다. 또한, 시각t7에서, TG(70)는 신호 F_En 을 H레벨로 설정한다. 이에 따라, 플래그 메모리(501)는, 시각t7의 비교 결과신호CMP, 즉, L레벨의 비교 결과신호CMP를 유지한다.

[0026] 시각t8에서, 참조 신호 공급부(25)는 참조 신호 V_{r1} 의 전위를 시각t3의 전위로 되돌린다. 또한, TG(70)는 신호 F_En 을 L레벨로 설정한다.

[0027] 시각t9에서, 참조 신호 공급부(25)는 참조 신호 V_{r1} , V_{r2} 의 시간에 의존한 전위의 변화를 시작한다. 선택 회로(302)는, L레벨의 선택신호SEL에 따라 참조 신호 V_{r2} 를 비교 회로(301)에 출력한다. TG(70)는, 신호 $M1_En$ 을 H레벨로 설정한다.

[0028] 시각t10에서, 증폭부(20)가 출력하는 신호 O_{ut_Amp} 와 참조 신호 V_{r_Cmp} 간의 대소관계가 역전함에 따라서, 비교 결과신호CMP의 신호 값이 변화된다. 제1메모리(502)는, 이 때의 카운트 신호를 유지한다.

[0029] 시각t11에서, 참조 신호 공급부(25)는 참조 신호 V_{r1} , V_{r2} 의 시간에 의존한 전위의 변화를 정지하고, 참조 신호 V_{r1} 의 전위를 시각t3의 전위로 되돌린다. TG(70)는, 신호 $M1_En$ 을 L레벨로 설정한다.

[0030] 시각t11 후에, 수평주사회로(60)는, 열단위의 메모리부(50)를 순차로 주사하여, 각 열의 플래그 메모리(501), 제1메모리(502) 및 제2메모리(503)에 유지된 디지털 신호를 DSP(80)에 출력시킨다.

[0031] 다음에, 도 3a를 참조하여, DSP(80)의 레벨 쉬프트부(801)의 동작에 관하여 설명한다. 도 3a에서, DN은, 제2메모리(503)가 유지한 디지털 신호를 의미한다. DS-1은, 제1메모리(502)가 유지하고, 참조 신호 Vr1과 증폭부(20)가 출력하는 신호Out_Amp와를 비교하여 얻어진 디지털 신호를 의미한다. DS-2는, 참조 신호 Vr2와 증폭부(20)가 출력하는 신호Out_Amp와의 비교에 의해 얻어지고, 상술한 DS-1의 디지털 신호를 유지한 제1메모리(502)와는 다른 열의 제1메모리(502)가 유지한 디지털 신호를 의미한다. 제2메모리(503)가 유지한 디지털 신호의 길이는 10비트인 반면에, 제1메모리(502)가 유지한 디지털 신호의 길이는 12비트다. 도 3a는, 참조 신호Vr1의 단위시간당의 전위의 변화량이, 참조 신호Vr2의 단위시간당의 전위의 변화량보다 4배 큰 예를 나타낸다. 따라서, 디지털 신호DS-2의 신호 값은, 디지털 신호DS-1보다 4배 크게 할 필요가 있다. $\log_2 4=2$ 이기 때문에, 디지털 신호DS-2의 각 비트를 MSB측으로 2비트씩 쉬프트하여 신호ED_DS-2를 생성한다. S-N부(804)는, 디지털 신호DS-1로부터 디지털 신호DN을 빼고, Data12, Data13의 신호 값을 0으로 설정하여 14비트의 신호를 생성하여, 출력 회로(90)에 출력한다. S-N부(804)는, 디지털 신호ED_DS-2의 Data0, Data1의 신호 값을 0으로 설정한 후, 그 결과의 신호로부터 디지털 신호DN을 뺀다. 이에 따라, DSP(80)로부터 출력된 디지털 신호는 Data0 내지 Data13으로 구성된 14비트 신호가 된다. 이때, 참조 신호Vr1, Vr2의 어느쪽의 참조 신호를 사용해서 제1메모리(502)가 유지한 디지털 신호를 얻는가는, 플래그 메모리(501)가 유지한 신호에 의거하여 판별되어도 된다. 구체적으로, 도 2에 나타낸 동작에서는, 플래그 메모리(501)가 유지한 신호가 H레벨이면, 제1메모리(502)가 유지한 신호는 참조 신호Vr1을 사용해서 얻은 신호다. 마찬가지로, 플래그 메모리(501)가 유지한 신호가 L레벨이면, 제1메모리(502)가 유지한 신호는 참조 신호Vr2를 사용해서 얻어진 신호다.

[0032] 도 3b를 참조하여, 참조 신호 공급부(25)와 카운터(40)의 동작에 대해서 한층 더 서술한다. 도 3b는, 특정 신호 값의 신호Out_Amp를 참조 신호Vr1, Vr2와 비교하는 경우를 나타낸 모식도다. 시각t20에서, 참조 신호 공급부(25)는, 참조 신호Vr1, Vr2의 시간에 의존한 전위의 변화를 시작한다. 카운터(40)는, 참조 신호Vr1, Vr2의 전위의 변화의 시작의 뒤에 있는, 시각t21에서의 클록 신호의 계수동작을 시작한다고 가정한다.

[0033] 상기 신호Out_Amp를 참조 신호Vr2와 비교할 경우에는, 비교 결과신호CMP가 시각t22에서 변화된다. 상기 신호Out_Amp를 참조 신호Vr1과 비교할 경우에는, 시각t23에서 비교 결과신호CMP가 변화된다. 시각t24에서, 참조 신호 공급부(25)는, 참조 신호Vr1, Vr2의 시간에 의존한 전위의 변화를 정지하고, 카운터(40)는 클록 신호의 계수동작을 정지한다.

[0034] 이제, 제1메모리(502)가 유지한 디지털 신호에 관하여 설명한다. 우선, 참조 신호Vr1을 사용하는 경우에 관하여 설명한다. 참조 신호Vr1이 시간에 의존한 전위의 변화를 시작하고나서, 비교 결과신호CMP의 신호 값이 변화될 때까지의 기간L1은,

[0035]
$$L1=t23-t20 \quad (1)$$

[0036] 로서 표현된다.

[0037] 카운터(40)가 클록 신호의 계수동작을 시작하고나서, 비교 결과신호CMP의 신호 값이 변화될 때까지의 기간LS1은,

[0038]
$$LS1=t23-t21 \quad (2)$$

[0039] 로서 표현된다.

[0040] 한층 더, 참조 신호Vr1이 시간에 의존한 전위의 변화를 시작하고나서, 카운터(40)가 동작을 시작할 때까지의 기간L0은,

[0041]
$$L0=t21-t20 \quad (3)$$

[0042] 으로서 표현된다.

[0043] 상기 기간LS1을 상기 기간L1, L0을 사용해서 다음과 같이 표현된다:

[0044]
$$LS1=L1-L0 \quad (4).$$

[0045] 기간LS1에 해당하는 카운트 신호가, 참조 신호Vr1을 사용해서 생성한 디지털 신호다.

[0046] 마찬가지로, 참조 신호Vr2를 사용하는 경우에 관하여 설명한다. 참조 신호Vr2가 시간에 의존한 전

위의 변화를 시작하고나서, 비교 결과신호CMP의 신호 값이 변화될 때까지의 기간L2는,

$$L2=t22-t20 \quad (5)$$

로서 표현된다.

카운터(40)가 클럭 신호의 계수동작을 시작하고나서, 비교 결과신호CMP의 신호 값이 변화 될 때까지의 기간LS2는,

$$LS2=t22-t21 \quad (6)$$

로서 표현된다.

상기 기간LS2를 상기 기간L2, L0을 사용해서 다음과 같이 표현된다:

$$LS2=L2-L0 \quad (7).$$

기간LS2에 해당하는 카운트 신호가, 참조 신호Vr2를 사용해서 생성한 디지털 신호다.

여기에서는, 참조 신호Vr1의 단위시간당의 전위의 변화량보다 참조 신호Vr2의 단위시간당의 전위의 변화량이 4배 크다고 가정한다. 이 경우, L1과 L2는,

$$L1=4 \times L2 \quad (8)$$

의 관계가 성립한다.

도 3a에 나타나 있는 바와 같이, 참조 신호Vr2를 사용해서 생성한 디지털 신호의 각 비트를 2비트씩 MSB측으로 쉬프트한다. 그 결과의 디지털 신호는, 기간LS2보다 4배 긴 기간에 얻어진 카운트 신호와 같은 신호 값을 가진다. 상기 기간4LS2는, 상기 기간LS1, L0을 사용해서 다음과 같이 표현된다:

$$4LS2=4L2-4L0=L1-4L0=LS1-3L0 \quad (9)$$

도 3b에서는, 특정 신호 값의 증폭부(20)가 출력하는 신호를 참조 신호Vr1, Vr2를 사용해서 디지털 신호로 변환하고 있다. 따라서, 참조 신호Vr2를 사용해서 얻은 디지털 신호를 2비트씩 MSB측으로 쉬프트한 신호의 신호 값은, 이상적으로는 참조 신호Vr1을 사용해서 얻은 디지털 신호의 신호 값과 같다. 그러나, (9)식에 나타나 있는 바와 같이, 참조 신호Vr1, Vr2가 시간에 의존하여 변화하기 시작하는 타이밍이 카운터(40)의 클럭 신호의 계수를 시작하는 타이밍과 다르면, 3L0의 오프셋이 생긴다.

이 오프셋을, 도 4a를 사용하여 설명한다. 도 4a는, (후술하는) 제1 실시예에 따른 보정을 행하지 않은 경우에 DSP(80)가 출력하는 디지털 신호를 나타낸다. 도 4a를 참조하면, 가로축은 화소(1)의 광전변환부에 입사하는 광량을 나타내고, 세로축은 DSP(80)가 출력하는 디지털 신호의 신호 값을 나타낸다. 또한, (X)는 참조 신호Vr1을 사용해서 AD변환을 행했을 경우 얻어진 디지털 신호를 나타내고, (Y)는 참조 신호Vr2를 사용해서 AD변환을 행했을 경우 얻어진 디지털 신호를 나타낸다. I-L은, 증폭부(20)가 출력하는 신호Output_Amp와 참조 신호Vr1을 비교하는 범위다. I-H는, 증폭부(20)가 출력하는 신호Output_Amp와 참조 신호Vr2를 비교하는 범위다. IO는 상기 I-L과 I-H 사이의 경계다. 실선의 그래프는, 범위I-L에서의 참조 신호Vr1과 범위I-H에서의 참조 신호Vr2를 사용해서 AD변환을 행해서 생성한 디지털 신호와, 입사 광량간의 관계를 의미한다. 파선의 그래프는, 범위I-H에 있어서, 입사 광량과, 참조 신호Vr1을 사용해서 AD변환해서 생성한 디지털 신호와의 관계를 의미한다. 범위I-L과 범위I-H와의 경계IO의 광량에서, 3L0의 오프셋이 생긴다. 제1 실시예에서는, 상기 특정한 입사 광량에 있어서, 디지털 신호(X)와 (Y)간의 차이를 저감하기 위해 보정동작을 행한다.

도 4b는, 제1 실시예에 따른 보정동작을 나타낸 도면이다. 도 4b에 나타난 보정동작의 기간에, 화소(1)는 노이즈 신호를 출력하고 있다.

시각t30에서, 선택신호SEL은 H레벨이고, 신호M1_En, M2_En은 L레벨이다.

시각t31에서, 참조 신호 공급부(25)는 참조 신호Vr1의 시간에 의존한 전위의 변화를 시작한다. 또한, TG(70)는 신호M2_En을 H레벨로 설정한다. 기간L0만큼 시각t30 뒤에 있는 시각t32에서, 카운터(40)는 클럭 신호의 계수를 시작한다.

시각t33에서, 비교 결과신호CMP의 신호 값이 변화된다. 제2메모리(503)는, 이 때의 카운트 신호를 유지한다. 이 제2메모리(503)가 유지한 이 카운트 신호를 디지털 신호DN1이라고 한다. 디지털 신호DN1은,

제1 아날로그 신호와, 제1 참조 신호와를 비교해서 상기 비교부(30)가 출력하는 비교 결과신호CMP에 의거하여 AD변환부(110)가 생성한 제1 디지털 신호다.

[0066] 시각t34에서, 참조 신호 공급부(25)는 참조 신호V_{r1}의 시간에 의존한 전위의 변화를 정지한다.

[0067] 시각t34로부터 시각t35까지의 기간에, 선택신호SEL이 H레벨로부터 L레벨로 변화된다.

[0068] 시각t35에서, 참조 신호 공급부(25)는 참조 신호V_{r2}의 시간에 의존한 전위의 변화를 시작한다. 또한, TG(70)는 신호M1_E_n을 H레벨로 설정한다. 기간L0만큼 시각t35 뒤에 있는 시각t36에서, 카운터(40)는 클럭 신호의 계수를 시작한다.

[0069] 시각t37에서, 비교 결과신호CMP의 신호 값이 변화된다. 제1메모리(502)는 이 때의 카운트 신호를 유지한다. 이 제1메모리(502)가 유지한 카운트 신호를, 디지털 신호DN2라고 한다. 디지털 신호DN2는, 제1 아날로그 신호와, 제2 참조 신호와를 비교해서 비교부(30)가 출력하는 비교 결과신호CMP에 의거하여 AD변환부(110)가 생성한 제2 디지털 신호다.

[0070] 시각t38에서, 참조 신호 공급부(25)는 참조 신호V_{r2}의 시간에 의존한 전위의 변화를 정지한다.

[0071] 다음에, 보정값 취득부(802)의 동작에 관하여 설명한다.

[0072] 레벨 쉬프트부(801)는, 제1메모리(502)가 유지한 디지털 신호DN2의 각 비트를 2비트씩 MSB측으로 쉬프트한다. 그 후, 2비트씩 MSB측으로 비트 쉬프트된 디지털 신호DN2가, 보정값 취득부(802)에 출력된다. 보정값 취득부(802)는, 보정값α를 이하의 (10)식으로 구한다.

$$\alpha = DN1 - 4 \times DN2 \quad (10)$$

[0074] 여기서, DN1은 디지털 신호DN1의 신호 값이고, 4×DN2는 디지털 신호DN2의 각 비트를 2비트씩 MSB측으로 쉬프트한 디지털 신호의 신호 값이다.

[0075] 보정값 취득부(802)는, 그 취득한 보정값α를 보정연산부(803)에 출력한다. 플래그 메모리(501)가 L레벨을 유지하는 열의 제1메모리(502)가 유지한 디지털 신호는, 레벨 쉬프트부(801)에 의해, 2비트씩 MSB측으로 비트 쉬프트 된다. 그 결과로 얻어진 신호는 보정연산부(803)에 출력된다. 보정연산부(803)는, 레벨 쉬프트부(801)가 비트 쉬프트한 신호에 보정값α를 가산한다. 이때, 제1메모리(502)가 유지한 디지털 신호는, 화소신호에 근거하는 제3 디지털 신호다.

[0076] 한편, 플래그 메모리(501)가 H레벨을 유지하는 열의 제1메모리(502)가 유지한 디지털 신호에 대해서, 레벨 쉬프트부(801)에서의 비트 쉬프트 동작과 보정연산부(803)에서의 보정값α의 가산 동작은 행하지 않는다.

[0077] 제1 실시예에 따른 촬상장치(100)는, 보정값 취득부(802)와 보정연산부(803)를 가진다. 이러한 구성에 의해, 참조 신호의 시간에 의존한 전위의 변화의 시작과 카운터의 클럭 신호의 계수동작의 시작과의 타이밍 차이로 일어나는, 디지털 신호에 포함된 오프셋을 저감하기도 한다.

[0078] 제1 실시예에서는, 참조 신호의 시간에 의존한 전위의 변화를 시작 후에 카운터(40)가 계수동작을 시작하는 구성을 설명했다. 참조 신호의 시간에 의존한 전위의 변화의 시작에 앞서 카운터(40)가 계수동작을 시작하는 또 다른 구성에도, 제1 실시예에 따른 보정동작을 적용 가능하다. 도 4a에서 설명한 디지털 신호(X)와(Y)에 대한(X)-(Y)의 연산으로부터 +3L0의 오프셋이 생긴다. 참조 신호의 시간에 의존한 전위의 변화의 시작에 앞서 카운터(40)가 계수동작을 시작하는 구성에서는, (X)-(Y)로부터 -3L0의 오프셋이 생긴다. 그러나, 이러한 구성에서도, 도 4b를 참조하여 설명한 보정동작을 행함으로써, 참조 신호의 시간에 의존한 전위의 변화의 시작에 앞서 카운터(40)가 계수동작을 시작한 결과로서 생긴 오프셋을 저감한 디지털 신호를 얻기도 한다.

[0079] 이때, 제1 실시예의 보정값α를 해당 열의 AD변환부(110)마다 구하여도 된다. 이와는 달리, 복수열의 AD변환부(110)가 출력하는 디지털 신호를 사용해서 보정값α를 구하고, 평균화된 보정값을 보정연산부(803)가 사용하여도 된다. 또한, 각각의 열의 AD변환부(110)를 복수의 블록으로 분할하고, 블록마다 보정값α의 평균치를 구하여도 된다. 예를 들면, 복수열의 복수의 AD변환부(110)마다, 카운트 신호를 증계하는 버퍼가 설치될 경우에는, 그 AD변환부(110)는, 버퍼단위로 블록들로 그룹핑되어도 된다. 이것은, 버퍼가 카운트 신호의 지연의 원인이 되기 때문이다. 구체적으로는, 참조 신호의 시간에 의존한 전위의 변화의 시작과, 메모리부(50)의 각 열에의 카운트 신호의 입력 타이밍과의 차이가, 그 버퍼에서 달라지기도 하기 때문이다. 보정값α를 구할 때, 복수열의 AD변환부(110)에서 얻어진 제1 디지털 신호와 제2 디지털 신호를 각각 평균화하고, 평균화된 제1 디지털 신호와 제2 디지털 신호간의 차이로부터, 복수열의 AD변환부(110)에 대해 공통으로 사용된 보정값α를

구해도 된다. 이와는 달리, 그 복수의 보정값 α 를 복수의 프레임에 대해서 취득하여도 된다. 이 경우에, 보정연산부(803)는, 복수의 보정값 α 의 평균치를 사용해도 된다. 복수의 보정값 α 를 평균화 함으로써, 보정값 α 에 포함된 랜덤 노이즈를 저감하여도 된다. 따라서, 보정연산부(803)는, 입력된 디지털 신호로부터 랜덤 노이즈의 영향을 저감한 디지털 신호를 생성하여도 된다.

[0080] 또한, 제1 실시예에 따른 보정동작은, 촬상장치(100)의 전원투입 직후에 행하여도 된다. 또는, 제1 실시예에 따른 보정동작은, 수직주사회로(15)가 화소부(10)의 전체 행을 주사한 후, 다음에, 수직주사회로(15)가 화소부(10)의 주사를 시작할 때까지의 블랭킹(blanking) 기간에 행하여도 된다. 또는, 제1 실시예에 따른 보정동작은, 동영상 또는 정지 화상등의 촬상 모드를 바꾸었을 때에 행하여도 된다.

[0081] 도 4b는, 제1 실시예에서 화소(1)가 노이즈 신호를 출력하는 구성을 나타낸다. 노이즈 신호 대신에, 증폭부(20)의 입력 노드의 리셋트 전위에 의거하여, 증폭부(20)가 출력한 신호를 사용하여도 된다. 증폭부(20)가 용량귀환형의 증폭회로일 경우에는, 차동 앰프의 출력 노드로부터 차동 앰프의 입력 노드에의 귀환 경로를 도통시켜서 그 전위를 리셋트하여도 된다. 이 차동 앰프의 입력 노드는, 증폭부(20)의 입력 노드다. 증폭부(20)의 입력 노드의 전위가 리셋트되어 있는 구성이외에, 비교 회로(301)에 입력된 신호가 시각t31로부터 시각t34까지와, 시각t35로부터 시각t38까지에서 거의 일정하게 유지되는 구성도 가능하다. 도 4b의 보정동작 동안에 비교 회로(301)에 입력된 신호가 증폭부(20)의 리셋트된 입력 노드의 전위에 근거한 신호일 경우에, 정지 화상 촬영시의 화소(1)가 노광되어 있는 노광 축적 기간 동안에 보정값 α 를 구하는 보정동작을 행하여도 된다. 그 노광 축적 기간 동안에 보정동작을 행하는 경우에, 수직주사회로(15)가 화소부(10)의 화소(1)의 수직주사를 행하지 않는 기간, 또는, 화소부(10)로부터 노이즈 신호가 출력되고 있는 기간에, 보정값 α 를 구하는 보정동작을 행하는 것이 적합하기도 하다.

[0082] 또한, 제1 실시예에서는, 참조 신호 V_{r2} 의 참조 신호 V_{r1} 에 대한 단위시간당의 전위의 변화량의 비율을 4배로서 설명했지만, 다른 비율로 실시하는 것이 적합하기도 하다. 예를 들면, 참조 신호 V_{r2} 의 참조 신호 V_{r1} 에 대한 단위시간당의 전위의 변화량의 비율이 8배라고 가정한다. 이 경우에, 레벨 쉬프트부(801)는, 플래그 메모리(501)가 L레벨을 유지하는 열의 제1메모리(502)가 유지한 디지털 신호의 비트를, 3비트씩 MSB측으로 쉬프트해서, 그 결과의 신호를 보정연산부(803)에 출력한다. 보정값 취득부(802)는, 보정값 α 를 이하의 (11)식으로 구하여도 된다.

[0083]
$$\alpha = DN1 - 8 \times DN2 \quad (11)$$

[0084] 참조 신호 V_{r2} 의 참조 신호 V_{r1} 에 대한 단위시간당의 전위의 변화량의 비율이 G를 의미한다. 그 후, 보정값 α 를 이하의 (12)식으로 구하여도 된다.

[0085]
$$\alpha = DN1 - G \times DN2 \quad (12)$$

[0086] 제1 실시예에서는, 참조 신호 V_{r2} 를 사용해서 생성된 디지털 신호를 보정하는 구성에 대해서 서술했다. 이와는 달리, 참조 신호 V_{r1} 를 사용해서 생성된 디지털 신호를 보정하여도 된다. 구체적으로, 플래그 메모리(501)가 H레벨을 유지하는 열의 제1메모리(502)가 유지한 디지털 신호로부터 (10)식으로 얻어진 보정값 α 를 빼도 된다. 이 구성에서도, 단위시간당 다른 양만큼 전위가 변화되는 복수의 참조 신호를 사용한 촬상장치는, 참조 신호의 시간에 의존한 전위의 변화의 시작과 카운터의 클럭 신호의 계수동작의 시작과의 타이밍 차이에 기인하는 오프셋을 저감하여도 된다. 또한, 제1 실시예에서는, 보정값 α 를 제1 디지털 신호와 제2 디지털 신호간의 차이에 근거해서 구하는 구성에 대해서 서술했지만, 다른 구성도 가능하다. 예를 들면, 제1 디지털 신호와 제2 디지털 신호의 비율에 의거하여 보정값 α 를 구하여도 된다.

[0087] 일본국 특허공개공보 2011-211535호에 기재된 촬상장치에서는, 광전변환 신호에 근거한 전위 및 노이즈 신호에 근거한 전위를, 제1 참조 신호 및 제2 참조 신호와 비교한다. 이에 대하여, 제1 실시예에서는, 제1 참조 신호와 제2 참조 신호 중 어느 한쪽과, 광전변환 신호에 근거한 전위를 비교하여도 좋다. 또한, 노이즈 신호에 근거한 전위는, 제1 참조 신호와 비교되어도 된다. 제1 실시예에 따른 촬상장치(100)에 있어서, DSP(80)는 비트 쉬프트 동작 및, 비트 쉬프트후의 하위 비트의 신호 값을 보완하는 동작을 행한다. 따라서, 광전변환 신호에 근거한 전위 및 노이즈 신호에 근거한 전위를 상기 제1 참조 신호 및 제2 참조 신호와 비교하지 않고, 광전변환 신호에 근거하는 디지털 신호의 해상도와, 노이즈 신호에 근거하는 디지털 신호의 해상도를 일치시킨다. 이에 따라 제1 실시예에 따른 촬상장치(100)는, 일본국 특허공개공보 2011-211535호에 기재된 촬상장치에 비하여, 1행의 화소로부터 출력된 화소신호의 AD변환에 요하는 기간을 단축할 수 있다.

- [0088] 제2 실시예
- [0089] 이하, 도면을 참조하여 제2 실시예에 따른 촬상장치를 상기 제1 실시예와 다른 점에 대해 주로 설명한다.
- [0090] 제2 실시예에 따른 촬상장치(100)에서는, 제1 실시예에 따른 촬상장치(100)에서 제공된 효과뿐만 아니라, 복수의 참조 신호간의, 단위시간당의 전위의 변화량의 비율이 변동하는 것으로 생기는 디지털 신호의 오차를 저감할 수도 있다.
- [0091] 도 5a는 제2 실시예에 따른 촬상장치(100)를 나타낸다. 도 5a에서, 도 1a에 나타난 촬상장치(100)의 대응한 구성요소와 같은 기능을 갖는 구성요소는, 도 1a에서 사용된 것과 같은 부호로 나타내어진다. 제2 실시예에 따른 촬상장치(100)는, 수직신호선(2)에 전기적으로 접속된 테스트 신호 공급부(200)를 가진다. 테스트 신호 공급부(200)에는, TG(70)로부터 신호S2, S3이 출력된다.
- [0092] 도 5b는, 테스트 신호 공급부(200)의 구성의 일례를 나타낸 도면이다. 테스트 신호 공급부(200)는, 테스트 신호 선택부(201), 테스트 신호 공급선(202) 및 스위치(203)를 가지고 있다. 테스트 신호 선택부(201)는, 다른 신호 값의 테스트 신호V S1, V S2중 하나를 신호S2에 의거하여 테스트 신호 공급선(202)에 출력한다. 제2 실시예에서 사용된 테스트 신호V S1은, 제1 실시예의 화소(1)의 노이즈 신호의 신호 값을 갖는다. 제2 실시예에서 사용된 테스트 신호V S2는, (후술하는) 시각t48에 있어서의 참조 신호V r1의 전위이하인 신호 값을 갖는다. 테스트 신호 공급선(202)은, 각각의 스위치(203)를 거쳐 각 열의 수직신호선(2)에 전기적으로 접속되어 있다. 스위치(203)는 신호S3이 H레벨인 상태에서 도통한다.
- [0093] 도 6a를 참조하여, 제2 실시예에 따른 촬상장치(100)의 보정동작을 설명한다.
- [0094] 시각t40에서, 신호S3은 H레벨이어서, 테스트 신호 공급선(202)의 신호가 각 열의 수직신호선(2)에 출력된다. 선택신호S E L은 H레벨이다.
- [0095] 시각t41에서, TG(70)는, 신호S2를 H레벨로 설정한다. 이에 따라, 테스트 신호V S1이 각 열의 수직신호선(2)에 출력된다.
- [0096] 시각t42-1에서, 참조 신호 공급부(25)는, 참조 신호V r1의 시간에 의존한 전위의 변화를 시작한다. TG(70)는, 신호M2_E n을 H레벨로 설정한다. 그 후, 시각t42-2에서, 카운터(40)는 클록 신호의 계수동작을 시작한다.
- [0097] 시각t43에서, 테스트 신호V S1과 참조 신호V r1간의 대소관계가 역전함에 따라서, 비교 결과신호C M P의 신호 값이 변화된다. 제2메모리(503)는, 이 시점에서 카운트 신호를 유지한다. 이 제2메모리(503)가 유지한 카운트 신호를, 제2 실시예에서 디지털 신호D N1이라고 한다. 디지털 신호D N1은, 제1 아날로그 신호와 제1 참조 신호를 비교해서 비교부(30)가 출력하는 비교 결과신호C M P에 의거하여 A D변환부(110)가 생성하는 제1 디지털 신호다.
- [0098] 시각t44에서, 참조 신호 공급부(25)는 참조 신호V r1의 전위의 변화를 정지한다.
- [0099] 시각t45에서, TG(70)는 신호S2를 L레벨로 설정한다. 이에 따라, 테스트 신호V S2가 테스트 신호 공급선(202) 및 각각의 스위치(203)를 거쳐 각 열의 수직신호선(2)에 출력된다.
- [0100] 시각t46-1에서, 참조 신호 공급부(25)는, 참조 신호V r1의 시간에 의존한 전위의 변화를 시작한다. 또한, TG(70)는 신호M1_E n을 H레벨로 설정한다. 계속해서, 시각t46-2에서, 카운터(40)는 클록 신호의 계수동작을 시작한다.
- [0101] 시각t47에서, 테스트 신호V S2와 참조 신호V r1간의 대소관계가 역전함에 따라서, 비교 결과신호C M P의 신호 값이 변화된다. 제1메모리(502)는, 이 시점의 카운트 신호를 유지한다. 이 제1메모리(502)가 유지한 카운트 신호를, 제2 실시예에서 디지털 신호D S1이라고 한다. 디지털 신호D S1은, 제1 참조 신호와, 제1 아날로그 신호와는 신호 값이 다른 제2 아날로그 신호와를 비교해서 비교부(30)가 출력하는 비교 결과신호C M P에 의거하여 A D변환부(110)가 생성한 제4 디지털 신호다.
- [0102] 시각t48에서, 참조 신호 공급부(25)는 참조 신호V r1의 시간에 의존한 전위의 변화를 정지한다. 시각t48로부터 시각t50-1까지의 기간에, 수평주사회로(60)는, 각 열의 제1메모리(502) 및 제2메모리(503)가 유지한 신호를 순차로 D S P(80)에 전송한다.

- [0103] 시각t49에서, TG(70)는 신호S2를 H레벨로 설정한다. 이에 따라, 테스트 신호V S1이 테스트 신호 공급선(202) 및 각각의 스위치(203)를 거쳐 각 열의 수직신호선(2)에 출력된다. 또한, TG(70)는 선택신호S E L을 L레벨로 설정한다.
- [0104] 시각t50-1에서, 참조 신호 공급부(25)는 참조 신호V r 2의 시간에 의존한 전위의 변화를 시작한다. 또한, TG(70)는, 신호M2_E n을 H레벨로 설정한다. 그 후, 시각t50-2에서, 카운터(40)는 클록 신호의 계수동작을 시작한다.
- [0105] 시각t51에서, 테스트 신호V S1과 참조 신호V r 2간의 대소관계가 역전함에 따라서, 비교 결과신호C M P의 신호 값이 변화된다. 제2메모리(503)는, 이 시점의 카운트 신호를 유지한다. 이 제2메모리(503)가 유지한 카운트 신호를, 제2 실시예에서는 디지털 신호D N2라고 한다. 디지털 신호D N2는, 제2 참조 신호와 제1 아날로그 신호를 비교해서 비교부(30)가 출력하는 비교 결과신호에 의거하여 A D변환부(110)가 생성한 제2 디지털 신호다.
- [0106] 시각t52에서, 참조 신호 공급부(25)는 참조 신호V r 2의 시간에 의존한 전위의 변화를 정지한다.
- [0107] 시각t53에서, TG(70)는 신호S2를 L레벨로 설정한다.
- [0108] 시각t54-1에서, 참조 신호 공급부(25)는, 참조 신호V r 2의 시간에 의존한 전위의 변화를 시작한다. 또한, TG(70)는, 신호M1_E n을 H레벨로 설정한다. 그 후, 시각t54-2에서, 카운터(40)는 클록 신호의 계수동작을 시작한다.
- [0109] 시각t55에서, 테스트 신호V S2와 참조 신호V r 2간의 대소관계가 역전함에 따라서, 비교 결과신호C M P의 신호 값이 변화된다. 제1메모리(502)는, 이 시점의 카운트 신호를 유지한다. 이 제1메모리(502)가 유지한 카운트 신호를, 제2 실시예에서는 디지털 신호D S2라고 한다. 디지털 신호D S2는, 상기 제2 참조 신호와 상기 제2 아날로그 신호를 비교해서 비교부(30)가 출력하는 비교 결과신호C M P에 의거하여 A D변환부(110)가 생성한 제5 디지털 신호다.
- [0110] 시각t56에서, 참조 신호 공급부(25)는 참조 신호V r 2의 시간에 의존한 전위의 변화를 정지한다.
- [0111] 시각t56이후, 수평주소회로(60)는, 각 열의 제1메모리(502) 및 제2메모리(503)가 유지한 신호를 순차로 D S P(80)에 전송한다.
- [0112] 제2 실시예에 따른 보정동작을 행하지 않는 경우에 얻어진 디지털 신호의 신호 값에 대해서, 도 6b를 참조하여 설명한다. 도 6b에서, (Y1) 및 (Y2)는, 참조 신호V r 2를 사용한 A D변환으로부터 생기는 디지털 신호를 의미한다. 구체적으로, (Y1)은, 참조 신호V r 2의 참조 신호V r 1에 대한 단위시간당의 전위의 변화량의 비율이 4배일 때에 얻어진 디지털 신호를 의미한다. 이에 대하여, (Y2)는, 참조 신호V r 2의 참조 신호V r 1에 대한 단위시간당의 전위의 변화량의 비율이, 오차에 의해 4배미만일 때에 얻어진 디지털 신호를 의미한다. 상기 범위I-L과 범위I-H간의 경계I O에 있어서, 디지털 신호(X)와 (Y1)의 신호 값들이, 도 4a에 서술한 것처럼, 각각 D1과 D2이다. 한층 더, (Y2)일 경우에는, 참조 신호V r 2의 참조 신호V r 1에 대한 단위시간당의 전위의 변화량의 비율이, 오차에 의해 4배미만이어서, 그 결과의 디지털 신호의 신호 값은, D2보다도 작은 D3이다. 제2 실시예에서는, 특정한 입사 광량에 있어서, 디지털 신호(X)와 (Y2)의 신호 값간의 차이를 저감하기 위해 보정동작을 행한다.
- [0113] 다음에, 제2 실시예에 따른 보정동작을 설명한다. 이 보정동작을 행하는 D S P(80)의 구성은, 상기 제1 실시예와 마찬가지로다.
- [0114] 보정값 취득부(802)는, 이하의 (13)식 및 (14)식에 의해, 보정값 α , β 를 취득한다.
- [0115]
$$\alpha = D S 1 - 4 \times \beta \times D S 2 \quad (13)$$
- [0116]
$$\beta = \frac{D S 1 - D N 1}{G \times (D S 2 - D N 2)} \quad (14)$$
- [0117] 보정값 취득부(802)는, 취득한 보정값 α , β 를 보정연산부(803)에 출력한다. 플래그 메모리(501)가 L레벨을 유지하는 열의 제1메모리(502)가 유지한 디지털 신호는, 레벨 쉬프트부(801)에 의해, 2비트씩 MSB측으로 비트 쉬프트되고 나서, 그 결과로부터 얻어진 신호는 보정연산부(803)에 출력된다. 보정연산부(803)는, 레벨 쉬

프트부(801)가 비트 쉬프트하는 것으로 생긴 신호를, 이하의 (15)식에 의거하여 보정한다.

[0118] $CAL_DS = \alpha + ED_DS \times \beta$ (15)

[0119] (15)식에서, ED_DS 는, 플래그 메모리(501)가 L레벨을 유지하는 열의 제1메모리(502)가 유지한 디지털 신호를, 레벨 쉬프트부(801)가, 2비트씩 MSB측으로 쉬프트해서 보정연산부(803)에 출력한 신호이고, CAL_DS 는, 보정연산부(803)가 출력하는 보정후의 디지털 신호다.

[0120] 플래그 메모리(501)가 H레벨을 유지하는 열의 제1메모리(502)가 유지한 디지털 신호에 대해서, 레벨 쉬프트부(801)에서의 비트 쉬프트 동작과 보정연산부(803)에서의 보정값 α 의 가산의 동작은 행하지 않는다.

[0121] S-N부(804) 및 출력 회로(90)의 동작은, 상기 제1 실시예와 같아도 된다. 또한, 상기 보정값 α 은, (13)식 대신에, 이하의 (16)식을 사용하여 취득되어도 된다.

[0122] $\alpha = DN1 - 4 \times \beta \times DN2$ (16)

[0123] (13)식은 테스트 신호 $VS2$ 를 사용해서 생성된 디지털 신호를 사용하는 반면에, (16)식은 테스트 신호 $VS2$ 보다도 신호 값이 작은 테스트 신호 $VS1$ 을 사용해서 생성된 디지털 신호를 사용한다. 이 때문에, (16)식 쪽이 노이즈의 영향을 더 받기 쉽고, 보정값 α 의 정밀도가 낮아질 가능성이 있다. 따라서, (13)식을 사용하는 것이 바람직하다.

[0124] 제2 실시예에 따른 촬상장치(100)에 의해서, 상기 제1 실시예와 동일한 효과를 얻기도 한다. 한층 더, 제2 실시예에 따른 촬상장치(100)에서는, 복수의 참조 신호의, 단위시간당의 전위의 변화량간의 비율이 변동하는 것에 의해 생기는 디지털 신호의 오차를 저감하기도 한다.

[0125] 제2 실시예의 도 6a에 나타난 동작동안에, 디지털 신호는 $DN1$, $DS1$, $DN2$ 및 $DS2$ 의 순서로 생성된다. 또는, 예를 들면 디지털 신호는, $DN1$, $DN2$, $DS1$ 및 $DS2$ 의 순서로 생성되어도 된다. 이 경우에, 제1메모리(502)에 디지털 신호 $DN1$ 을, 제2메모리(503)에는 디지털 신호 $DN2$ 를 유지시킨다. 수평주사회로(60)는, 각 열의 메모리부(50)로부터 순차로 $DSP(80)$ 에 디지털 신호를 전송한다. 그 후에, 제1메모리(502)에 디지털 신호 $DS1$ 을, 제2메모리(503)에는 디지털 신호 $DS2$ 를 유지시킨다. 그 후, 수평주사회로(60)는, 각 열의 메모리부(50)로부터 순차로 $DSP(80)$ 에 디지털 신호를 전송한다. 다른 예에서, 촬상장치(100)는, 열마다 2개의 제1메모리와 2개의 제2메모리를 구비하여도 된다. 그 2개의 제1메모리 각각은, 디지털 신호 $DN1$, $DN2$ 중 대응한 것을 기억한다. 그 2개의 제2메모리 각각은, 디지털 신호 $DS1$, $DS2$ 중 대응한 것을 기억한다. 이 경우에는, 4개의 메모리가 필요하다. 이에 대하여, 제2 실시예에 따른 촬상장치(100)에서는, 각 열의 AD변환부(110)의 하나의 제1메모리(502)와 하나의 제2메모리(503)를 구비한다. 이에 따라 메모리부(50)의 회로 사이즈를, 각 열의 AD변환부(110)가 2개의 제1메모리(502)와 2개의 제2메모리(503)를 구비하는 경우보다 작게 하여도 된다.

[0126] 디지털 신호 $DN1$, $DN2$, $DS1$ 및 $DS2$ 의 순서로 디지털 신호를 얻는 상술한 경우에 대해서 다시 설명한다. 이 경우에, 도 6a의 경우보다 신호 값이 일정한 테스트 신호 $VS1$ 을 디지털 신호로 변환하여도 된다. 따라서, 디지털 신호 $DN1$ 과 $DN2$ 에 포함된 노이즈 성분의 변동을 저감하기도 한다. 이것은, 테스트 신호 공급부(200)가 출력하는 테스트 신호 대신에, 화소(1)가 출력하는 신호를 사용하는 경우도 같다. 구체적으로, 화소(1)로부터 출력된 노이즈 신호에 근거하는 신호를 참조 신호 $Vr1$, $Vr2$ 를 사용하여 AD변환한다. 그 후, 화소(1)로부터 출력된 광전변환 신호에 근거하는 신호를 참조 신호 $Vr1$, $Vr2$ 를 사용하여 AD변환한다. 이 경우에도, (13) 및 (14)식의 보정값 α , β 를 취득하기도 한다. 도 6a의 순서로 AD변환을 행하는 구성과 비교하여, 참조 신호 $Vr1$, $Vr2$ 를 사용하여 AD변환된 노이즈 신호와 광전변환 신호의 신호 값에 변동이 생기기 어렵다. 이에 따라, 노이즈 신호와 광전변환 신호의 신호 값의 변동을 저감한 디지털 신호를 얻기도 한다. 따라서, 보다 정확한 보정값 α , β 를 취득하기도 한다. 이 효과는, 디지털 신호 $DN1$, $DN2$, $DS1$ 및 $DS2$ 의 순서로 디지털 신호를 얻는 구성에 한정되지 않는다. 테스트 신호 $VS1$ 에 근거하는 2개의 디지털 신호는 순차적으로 생성되어도 된다. 또한, 테스트 신호 $VS2$ 에 근거하는 2개의 디지털 신호는 순차적으로 생성되어도 된다. 예를 들면, 디지털 신호의 생성순서는, $DN2$, $DN1$, $DS2$ 및 $DS1$ 또는, $DS1$, $DS2$, $DN2$ 및 $DN1$ 이어도 된다. 즉, 제1 디지털 신호와 제2 디지털 신호의 한쪽을 생성한 후, 제1 디지털 신호와 제2 디지털 신호의 다른 쪽을 생성한다. 또한, 제4 디지털 신호와 제5 디지털 신호의 한쪽을 생성한 후, 제4 디지털 신호와 제5 디지털 신호의 다른 쪽을 생성하여도 된다.

[0127] 제2 실시예에 따른 촬상장치(100)에서는, 참조 신호 $Vr2$ 를 사용해서 생성된 디지털 신호를 보정하는 경우를 설명했다. 또는, 제1 실시예에서 설명한 것처럼, 참조 신호 $Vr1$ 을 사용해서 생성된 디지털 신호를 보정

해도 된다. 구체적으로, 플래그 메모리(501)가 H레벨을 유지하는 열의 제1메모리(502)가 유지한 디지털 신호의 신호 값을, 보정값 β 로 나눈다. 그 후, 그 결과로부터 보정값 α 를 뺀다. 이에 따라, 제1 실시예에서 서술한 효과와 동일한 효과를 얻을 수도 있다. 또한, 제2 실시예에 따른 촬상장치(100)에서는, 복수의 참조 신호의, 단위 시간당의 전위의 변화량의 비율이 변동하는 것에 의해 생기는 디지털 신호의 오차를 저감하기도 한다.

[0128] 본 명세서에서는, 카운터(40)가 각 열의 AD변환부(110)에 공통으로 카운트 신호를 공급하는 경우를 설명했다. 또는, 각 열의 AD변환부(110)는, 각각 카운터를 구비하여도 된다. 이 경우의 일례에서, 각 열의 AD변환부(110)는, 카운터, 플래그 메모리, 제1메모리 및 제2메모리를 각각 구비한다. 이 경우에도, 상기 카운터, 상기 플래그 메모리, 상기 제1메모리 및 상기 제2메모리의 동작은, 각 실시예에서 서술한 동작과 같기도 하다.

[0129] 또한, 본 명세서에서는, 참조 신호의 시간에 의존한 전위의 변화가 슬로프(slope) 모양으로 행해지는 경우로서 설명했지만, 계단 모양으로 변화되는 경우의 참조 신호이어도 된다. 계단 모양으로 전위가 변화되는 참조 신호는, 시간에 의존해서 전위가 변화되는 참조 신호의 일례다.

[0130] 제3 실시예

[0131] 제3 실시예에서, 촬상장치는, 테스트 신호 공급부(200)가 출력하는 테스트 신호 대신에, 참조 신호 공급부(25)가 출력하는 출력신호를 사용해서 보정값 α 및 β 를 취득한다.

[0132] 이하, 도면을 참조하여 제2 실시예와 다른 점을 주로 설명한다.

[0133] 제3 실시예에 따른 촬상장치(100)의 구성은, 도 1과 같은 구성을 갖는다.

[0134] 제3 실시예에 따른 비교 회로(301)의 구성에 대해서 도 8a에 나타낸다.

[0135] 전류원(311)의 일단에는 전원전압 V_{dd} 가 공급된다. 전류원(311)의 타단은, PMOS트랜지스터312의 주 노드와 PMOS트랜지스터313의 주 노드에 전기적으로 접속된다. PMOS트랜지스터312의 다른쪽의 주 노드는, NMOS트랜지스터314의 주 노드에 전기적으로 접속된다. PMOS트랜지스터313의 다른쪽의 주 노드는, NMOS트랜지스터315의 주 노드에 전기적으로 접속된다. NMOS트랜지스터314, 315의 다른쪽의 주 노드에는 그라운드 전압이 공급된다. NMOS트랜지스터314, 315의 제어 노드는 공통으로 NMOS트랜지스터314의 주 노드에 전기적으로 접속된다. PMOS트랜지스터312, 313의 제어 노드는, 각각, 용량소자 318, 319의 노드에 전기적으로 접속된다. 용량소자(318)의 다른쪽의 노드에는, 참조 신호 V_{r_Cmp} 가 입력된다. 용량소자(319)의 다른쪽의 노드에는, 출력 신호 O_{ut_Amp} 가 입력된다.

[0136] PMOS트랜지스터312, 313의 제어 노드는, 각각, NMOS트랜지스터316, 317의 주 노드에 전기적으로 접속되어 있다. 또한, PMOS트랜지스터312와 NMOS트랜지스터314의 주 노드끼리가 전기적으로 접속된 노드와, NMOS트랜지스터316의 다른쪽의 주 노드가 전기적으로 접속되어 있다. 또한, PMOS트랜지스터313과 NMOS트랜지스터315의 주 노드끼리가 전기적으로 접속된 노드와, NMOS트랜지스터317의 다른쪽의 주 노드가, 전기적으로 접속되어 있다. NMOS트랜지스터316, 317의 제어 노드에는, TG(70)로부터 신호 $RESET$ 가 입력된다. TG(70)가 신호 $RESET$ 를 H레벨로 설정하면, PMOS트랜지스터312와 NMOS트랜지스터314의 주 노드끼리가 전기적으로 접속된 노드와, PMOS트랜지스터312의 제어 노드가, 단락된다. 또한, PMOS트랜지스터313과 NMOS트랜지스터317의 주 노드끼리가 전기적으로 접속된 노드와, PMOS트랜지스터313의 제어 노드가, 단락된다. 이에 따라, PMOS트랜지스터312, 313의 제어 노드의 전위는 거의 같다.

[0137] 비교 회로(301)는, 비교 출력 회로(320)를 가진다.

[0138] PMOS트랜지스터313과 NMOS트랜지스터315의 주 노드끼리가 전기적으로 접속된 노드는, 한층 더 비교 출력 회로(320)에 전기적으로 접속되어 있다. 비교 출력 회로(320)는, 출력 신호 O_{ut_Amp} 와 참조 신호 V_{r_Cmp} 의 비교 결과에 근거하여, 비교 결과신호 CMP 와 선택신호 SEL 을 선택 회로(302)에 출력한다. 도 8a에는 도시하지 않았지만, 비교 출력 회로(320)가 출력하는 선택신호 SEL 의 신호 값은, 출력 신호 O_{ut_Amp} 와 참조 신호 V_{r_Cmp} 의 비교 결과에 의존하지 않고, TG(70)에 의한 제어에 의해 강제적으로 설정되어도 된다.

[0139] 계속해서, 상기 제3 실시예에 따른 촬상장치(100)의 동작을 설명한다.

[0140] 도 8b는 상기 제3 실시예에 따른 동작을 나타낸 타이밍 차트다. 도 8b에 나타낸 기간에, 화소(1)는 노

이즈 신호를 출력하고 있다. 도 8b에 나타낸 기간에, 출력 신호 O_{ut_Amp} 는, 증폭된 노이즈 신호의 신호레벨을 갖는다. 또한, 도 8b에 나타낸 기간에, 비교 출력 회로(320)는, TG(70)의 제어에 근거하는 신호 값의 선택 신호 S_{EL} 을 선택 회로(302)에 출력한다.

[0141] 시각t60에서, TG(70)는 선택신호 S_{EL} 을 H레벨로 유지하기 때문에, 선택 회로(302)는 참조 신호 V_{r1} 을 비교 회로(301)에 출력한다. 또한, TG(70)는 신호 R_{ESET} 를 L레벨로 유지한다.

[0142] 시각t61에서, 참조 신호 공급부(25)는, 참조 신호 V_{r1} 의 전위를 $V_{r_{os1}}$ 로 변화시킨다.

[0143] 시각t62에서, TG(70)는 신호 R_{ESET} 를 H레벨로 설정한다. 그 후, 시각t63에서, TG(70)는 신호 R_{ESET} 를 L레벨로 설정한다. 이에 따라, PMOS트랜지스터(312, 313)의 제어 노드끼리의 전위가 거의 같다. 출력 신호 O_{ut_Amp} 의 신호 값이 일정하기 때문에, 참조 신호 V_{r1} 의 전위가 전위 $V_{r_{os1}}$ 보다도 진폭이 커졌을 때에, 상기 비교 결과신호 CMP 의 신호 값이 L레벨로부터 H레벨로 변화된다.

[0144] 시각t64에서, 참조 신호 공급부(25)는 참조 신호 V_{r1} 의 전위를 시각t60의 전위로 되돌린다.

[0145] 시각t65-1에서, 참조 신호 공급부(25)는, 참조 신호 V_{r1} 의 시간에 의존한 전위의 변화를 시작한다. TG(70)는, 신호 $M2_En$ 을 H레벨로 설정한다. 그 후, 시각t65-2에서, 카운터(40)는 클록 신호의 계수동작을 시작한다.

[0146] 시각t66에서, 참조 신호 V_{r_Cmp} 가 전위 $V_{r_{os1}}$ 의 진폭보다도 커진다. 이 때, 비교 결과신호 CMP 의 신호 값이 L레벨로부터 H레벨로 변화된다. 시각t66에서 비교 결과신호 CMP 의 신호 값이 L레벨로부터 H레벨로 변화되는 것에 따라, 제2메모리(503)가 디지털 신호 D_{N1} 을 유지한다.

[0147] 시각t67에서, 참조 신호 공급부(25)는 참조 신호 V_{r1} 의 전위의 변화를 정지한다.

[0148] 시각t68에서, 참조 신호 공급부(25)는, 참조 신호 V_{r1} 의 전위를 전위 $V_{r_{os1}}$ 보다 진폭이 큰 전위 $V_{r_{os2}}$ 로 변화시킨다. 시각t69에서, TG(70)는 신호 R_{ESET} 를 H레벨로 설정한다. 그 후, 시각t70에서, TG(70)는 신호 R_{ESET} 를 L레벨로 설정한다. 출력 신호 O_{ut_Amp} 의 신호 값이 일정하기 때문에, 참조 신호 V_{r1} 의 전위가, 전위 $V_{r_{os2}}$ 보다도 진폭이 커졌을 때에, 상기 비교 결과신호 CMP 의 신호 값이 L레벨로부터 H레벨로 변화된다.

[0149] 시각t71에서, 참조 신호 공급부(25)는 참조 신호 V_{r1} 의 전위를 시각t60의 전위로 되돌린다.

[0150] 시각t72-1에서, 참조 신호 공급부(25)는, 참조 신호 V_{r1} 의 시간에 의존한 전위의 변화를 시작한다. 또한, TG(70)는 신호 $M1_En$ 을 H레벨로 설정한다. 그 후, 시각t72-2에서, 카운터(40)는 클록 신호의 계수동작을 시작한다.

[0151] 시각t73에서, 참조 신호 V_{r_Cmp} 가 전위 $V_{r_{os2}}$ 를 초과한다. 이 때, 비교회로(301)는 대소관계가 역전했다고 판단함에 따라서, 비교 결과신호 CMP 의 신호 값이 변화된다. 시각t73에서, 비교 결과신호 CMP 의 신호 값이 L레벨로부터 H레벨로 변화되는 것에 따라, 제1메모리(502)가 디지털 신호 D_{S1} 을 유지한다.

[0152] 시각t74에서, 참조 신호 공급부(25)는 참조 신호 V_{r1} 의 시간에 의존한 전위의 변화를 정지한다.

[0153] 시각t74로부터 시각t75까지의 기간에, 수평주사회로(60)는, 각 열의 제1메모리(502) 및 제2메모리(503)가 유지한 신호를 순차로 $DSP(80)$ 에 전송한다.

[0154] 시각t75에서, 참조 신호 공급부(25)는 참조 신호 V_{r1} 의 전위를 $V_{r_{os1}}$ 로 설정한다.

[0155] 시각t76에서, TG(70)는 신호 R_{ESET} 를 H레벨로 설정한다. 그 후, 시각t76에서, TG(70)는 신호 R_{ESET} 를 L레벨로 설정한다. 출력 신호 O_{ut_Amp} 의 신호 값이 일정하기 때문에, 나중에 입력되는 참조 신호 V_{r2} 의 전위가, 전위 $V_{r_{os1}}$ 보다도 진폭이 커졌을 때에, 비교 결과신호 CMP 의 신호 값이 L레벨로부터 H레벨로 변화된다.

[0156] 시각t78에서, 참조 신호 공급부(25)는 참조 신호 V_{r1} 의 전위를 시각t60의 전위로 되돌린다.

[0157] 시각t79에서, TG(70)는 선택신호 S_{EL} 을 L레벨로 설정한다. 선택 회로(302)는 참조 신호 V_{r2} 를 비교 회로(301)에 출력한다.

[0158] 시각t80-1에서, 참조 신호 공급부(25)는, 참조 신호 V_{r2} 의 시간에 의존한 전위의 변화를 시작한다. TG(70)는, 신호 $M2_En$ 을 H레벨로 설정한다. 그 후, 시각t80-2에서, 카운터(40)는 클록 신호의 계수동작을 시작

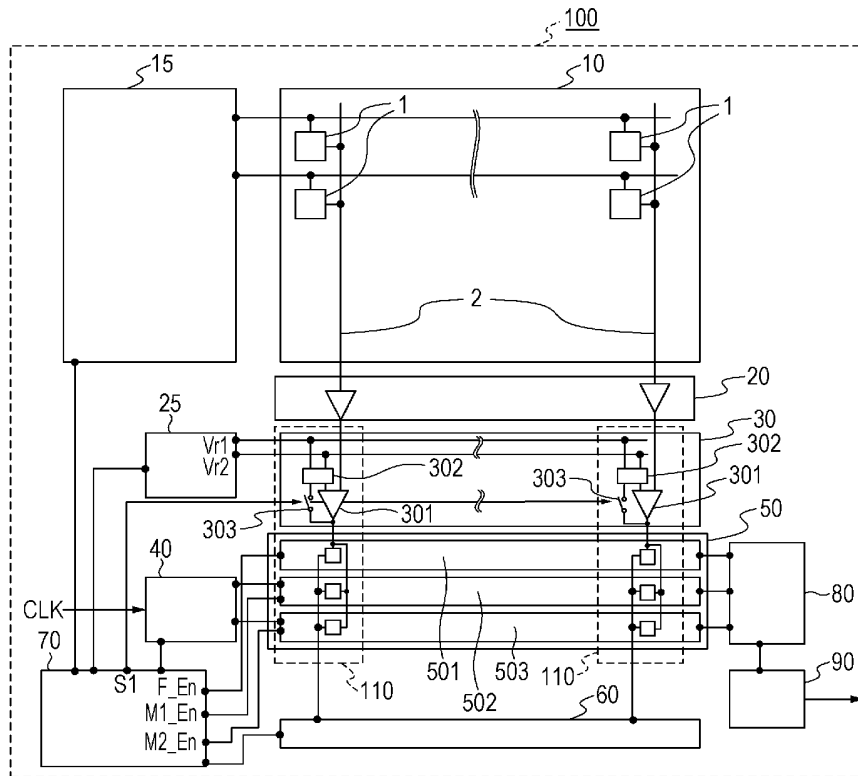
한다.

- [0159] 시각t81에서, 참조 신호 V_{r2} 의 전위가 전위 V_{r0s1} 보다도 진폭이 커진다. 이 때, 비교 결과신호CMP의 신호 값이 L레벨로부터 H레벨로 변화된다. 시각t81에서 상기 비교 결과신호CMP의 신호 값이 L레벨로부터 H레벨로 변화되는 것에 따라, 제2메모리(503)는 디지털 신호DN2를 유지한다.
- [0160] 시각t82에서, 참조 신호 공급부(25)는 참조 신호 V_{r2} 의 전위의 변화를 정지한다.
- [0161] 시각t83에서, TG(70)는 선택신호SEL을 H레벨로 설정한다. 선택 회로(302)는 참조 신호 V_{r1} 을 비교 회로(301)에 출력한다.
- [0162] 시각t84에서, 참조 신호 공급부(25)는 참조 신호 V_{r1} 의 전위를 V_{r0s2} 로 변화시킨다.
- [0163] 시각t85에서, TG(70)는 신호RESET를 H레벨로 설정한다. 그 후, 시각t86에서, TG(70)는 신호RESET를 L레벨로 설정한다. 출력 신호Out_Amp의 신호 값이 일정하기 때문에, 나중에 입력되는 참조 신호 V_{r2} 의 전위가, 전위 V_{r0s2} 보다도 진폭이 커졌을 때에, 상기 비교 결과신호CMP의 신호 값이 L레벨로부터 H레벨로 변화된다.
- [0164] 시각t87에서, 참조 신호 공급부(25)는 참조 신호 V_{r1} 의 전위를 시각t60의 전위로 되돌린다.
- [0165] 시각t88에서, TG(70)는 선택신호SEL을 L레벨로 설정한다. 선택 회로(302)는 참조 신호 V_{r2} 를 비교 회로(301)에 출력한다.
- [0166] 시각t89-1에서, 참조 신호 공급부(25)는, 참조 신호 V_{r2} 의 시간에 의존한 전위의 변화를 시작한다. 또한, TG(70)는 신호M1_En을 H레벨로 설정한다. 그 후, 시각t89-2에서, 카운터(40)는 클럭 신호의 계수동작을 시작한다.
- [0167] 시각t90에서, 참조 신호 V_{r_Cmp} 의 전위가 전위 V_{r0s2} 보다도 진폭이 커진다. 이 때, 비교 결과신호CMP의 신호 값이 L레벨로부터 H레벨로 변화된다. 시각t90에서 비교 결과신호CMP의 신호 값이 L레벨로부터 H레벨로 변화되는 것에 따라, 제1메모리(502)는 디지털 신호DS2를 유지한다.
- [0168] 시각t91에서, 참조 신호 공급부(25)는 참조 신호 V_{r2} 의 시간에 의존한 전위의 변화를 정지한다.
- [0169] 시각t91 이후에, 수평주사회로(60)는, 각 열의 제1메모리(502)와 제2메모리(503)가 유지한 신호를 순차로 DSP(80)에 전송한다.
- [0170] DSP(80) 및 출력 회로(90)는, 상기 동작으로 취득한 디지털 신호DN1, DN2, DS1 및 DS2를 사용하여 상기 제2 실시예와 같은 동작을 행하기도 한다.
- [0171] 이상 서술한 대로, 제3 실시예에 따른 촬상장치(100)는, 테스트 신호 공급부(200)가 출력하는 테스트 신호 대신에, 참조 신호 공급부(25)가 출력하는 출력 신호를 사용해서 보정값 α 및 β 를 취득하여도 된다.
- [0172] 제4 실시예
- [0173] 도 7은, 제1 실시예 내지 제3 실시예에서 설명한 촬상장치100을 촬상장치154로서 사용한 촬상 시스템을 나타낸다.
- [0174] 도 7을 참조하여, 촬상 시스템은 렌즈를 보호하는 배리어(151), 피사체의 광학상을 촬상장치(154)에 결상시키는 렌즈(152), 및 그 렌즈(152)를 통과한 광량을 가변하는 조리개(153)를 구비한다. 촬상 시스템은, 촬상장치(154)로부터 출력된 신호를 처리하도록 구성된 출력 신호 처리부(155)를 더 구비한다. 촬상장치(154)로부터 출력된 신호는, 피사체를 촬영한 화상을 생성하는데 사용된 촬상신호다. 출력 신호 처리부(155)는, 촬상장치(154)로부터 출력된 촬상신호를 필요에 따라서 각종의 보정 및 압축을 행해서, 화상을 생성한다. 렌즈(152) 및 조리개(153)는 촬상장치(154)에 집광하는 광학계를 구성한다.
- [0175] 도 7에 나타난 촬상 시스템은, 화상 데이터를 일시적으로 기억하는 버퍼 메모리부(156)와, 외부 컴퓨터 등과 통신하는 외부 인터페이스부(157)를 더 구비한다. 촬상 시스템은, 촬상 데이터에 대한 기록 또는 판독을 행하기 위한 반도체 메모리 등의 착탈가능한 기록 매체(159)와, 그 기록 매체(159)에 및 기록매체로부터 기록 및 판독을 행하기 위한 기록 매체 제어 인터페이스부(158)를 더 구비한다. 촬상 시스템은, 그 촬상 시스템내에서 각종 처리와 제어를 행하도록 구성된 중앙 제어 및 처리부(1510)를 더 구비한다.

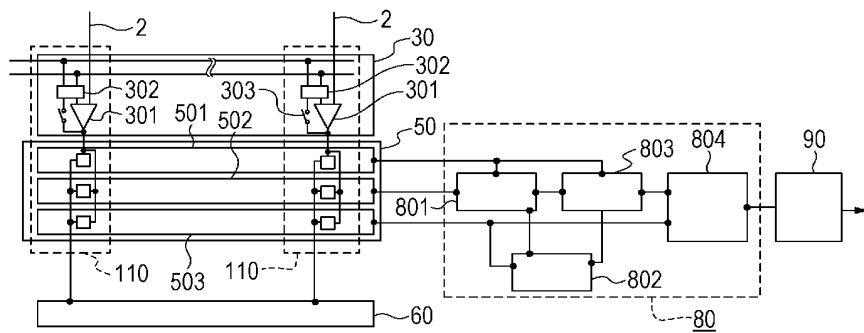
- [0176] 도 7에 나타난 활상 시스템에서는, 제1 내지 제3 실시예에서 서술한 DSP(80)가, 활상장치(154)의 외부에 설치된 출력 신호 처리부(155)에 구비되어도 된다. 이러한 구성에서, 출력 신호 처리부(155)는, 보정부를 가지는 신호 처리부다. 이 구성으로도, 제4 실시예에 따른 활상 시스템은, 제1 내지 제3 실시예에서 서술한 효과와 동일한 효과를 얻기도 한다. 또한, 제1 내지 제3 실시예에서 서술한 DSP(80)는, 활상장치(154)의 외부에 설치된 중앙 제어 및 처리부(1510)에 구비되어도 된다. 이러한 구성에서, 상기 중앙 제어 및 처리부(1510)는, 상기 보정부를 가지는 신호 처리부다.
- [0177] 제5 실시예
- [0178] 도 9a는, 제5 실시예에 따른 활상 시스템을 나타낸다. 도 9a에서, 도 7에 나타난 구성요소와 같은 기능을 갖는 구성요소는, 도 7에서 사용된 것과 같은 부호로 나타내어진다. 이하에서는, 제4 실시예와 다른 점을 주로 설명한다.
- [0179] 제5 실시예에 따른 활상 시스템의 활상장치154가 제2 실시예에 기재된 활상장치100과 다른 점은, 활상장치154가 보정값 취득부(802)를 구비하지 않는다는 점이다.
- [0180] 도 9b는, 제5 실시예에 있어서의 활상장치(154)내에 포함된 DSP(80)의 구성을 나타낸다. 도 9b에서, 도 1에 나타난 구성요소와 같은 기능을 갖는 구성요소는, 도 1에서 사용된 것과 같은 부호로 나타내어진다. DSP(80)는, 레벨 쉬프트부(801), 보정연산부(803) 및 S-N부(804)를 구비한다. 한편, 제2 실시예에서 서술한 보정값 취득부(802)는, 제5 실시예에 따른 활상 시스템에서 출력 신호 처리부(155)에 포함되어 있다. 활상장치(154)의 구성요소는, 단일 반도체 기관 위에 설치되어 있지만, 보정값 취득부(802)는, 활상장치(154)가 설치된 반도체 기관과는 다른 반도체 기관 위에 설치된다.
- [0181] DSP(80)는, AD변환부(110)가 테스트 신호를 AD변환할 때, 그 결과로 얻어진 디지털 신호DN1, DN2, DS1, DS2를, 출력 회로(90)를 거쳐 출력 신호 처리부(155)에 출력한다. 출력 신호 처리부(155)에 구비된 보정값 취득부(802)는, 디지털 신호DN1, DN2, DS1, DS2에 근거해 보정값 α 및 β 를 취득한다. 보정값 취득부(802)는, 취득된 보정값 α 및 β 를 보정연산부(803)에 출력한다.
- [0182] 보정연산부(803)는, 출력 신호 처리부(155)로부터 출력된 보정값 α 및 β 를 유지한다. AD변환부(110)가 화소신호에 근거하는 신호를 AD변환할 때, 보정연산부(803)는, 보정값 α 및 β 를 사용하여, 상기 제2 실시예와 같은 보정동작을 행한다. 즉, 보정연산부(803)는, 보정값 취득부(802)로부터 출력된 보정값에 의거하여, 화소신호에 근거하는 디지털 신호를 보정하는 보정부다.
- [0183] 이상에서 설명한 바와 같이, 디지털 신호DN1, DN2, DS1, DS2로부터 보정값 α 및 β 를 취득하는 회로를, 활상장치와 다른 반도체 기관 위에 설치할 때에도, 제2 실시예와 동일한 효과를 얻기도 한다.
- [0184] 이때, 제5 실시예에 따른 활상 시스템에 구비된 활상장치154는, DSP(80)의 구성을 제외하고는 상기 제2 실시예에 따른 활상장치100과 마찬가지다. 다른 예에서, 제5 실시예에 따른 활상 시스템에 구비된 활상장치154는, DSP(80)의 구성을 제외하고는 제3 실시예에 따른 활상장치100과 같아도 된다. 이 예의 활상 시스템에서도, 제3 실시예와 동일한 효과를 얻기도 한다.
- [0185] 또한, 제5 실시예에서는, 활상장치(154)가 디지털 신호DN1, DN2, DS1, DS2를 생성하는 예를 설명했다. 활상장치(154)가 디지털 신호DS1, DS2를 생성하지 않고, 디지털 신호DN1, DN2를 생성하는 다른 예에서는, 상기 제1 실시예와 동일한 효과를 얻기도 한다.
- [0186] 전술한 각 실시예에 따른 활상장치 및 활상 시스템은, 단위시간당의 전위의 변화량이 서로 다른 각각의 참조 신호를 사용해서 생성한 복수의 디지털 신호간에 생긴 오프셋을 저감하기도 한다.
- [0187] 본 발명을 예시적 실시예들을 참조하여 기재하였지만, 본 발명은 상기 개시된 예시적 실시예들에 한정되지 않는다는 것을 알 것이다. 아래의 청구항의 범위는, 모든 변형예와 동등한 구조 및 기능을 포함하도록 폭넓게 해석해야 한다.

도면

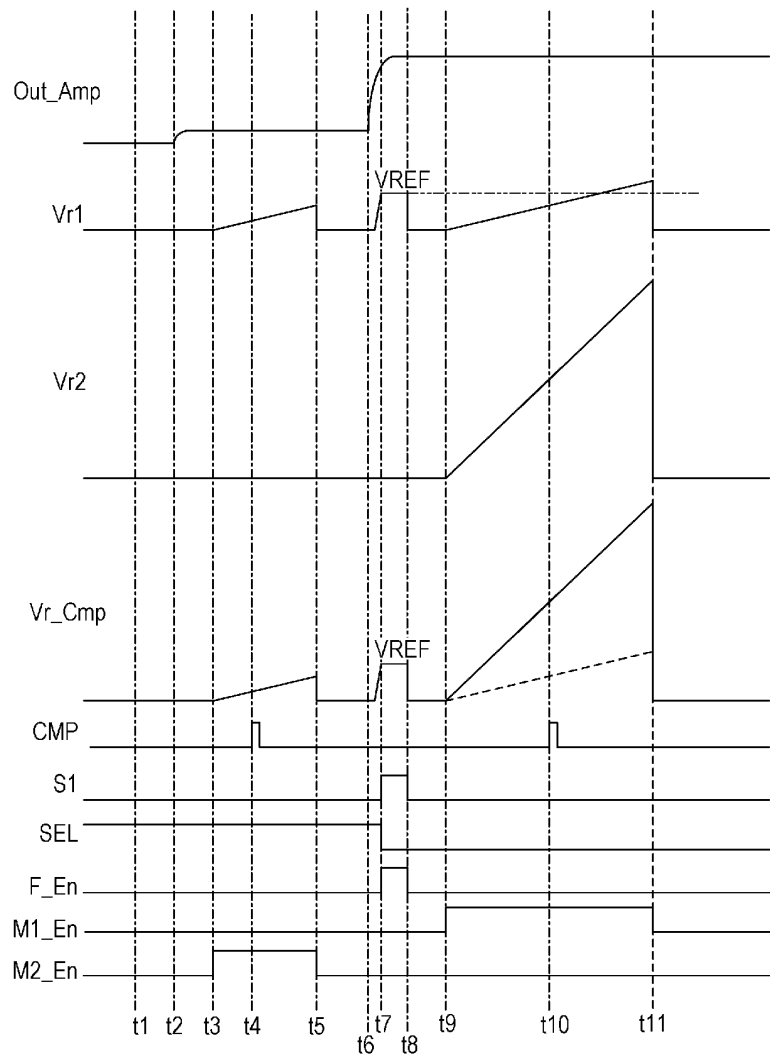
도면1a



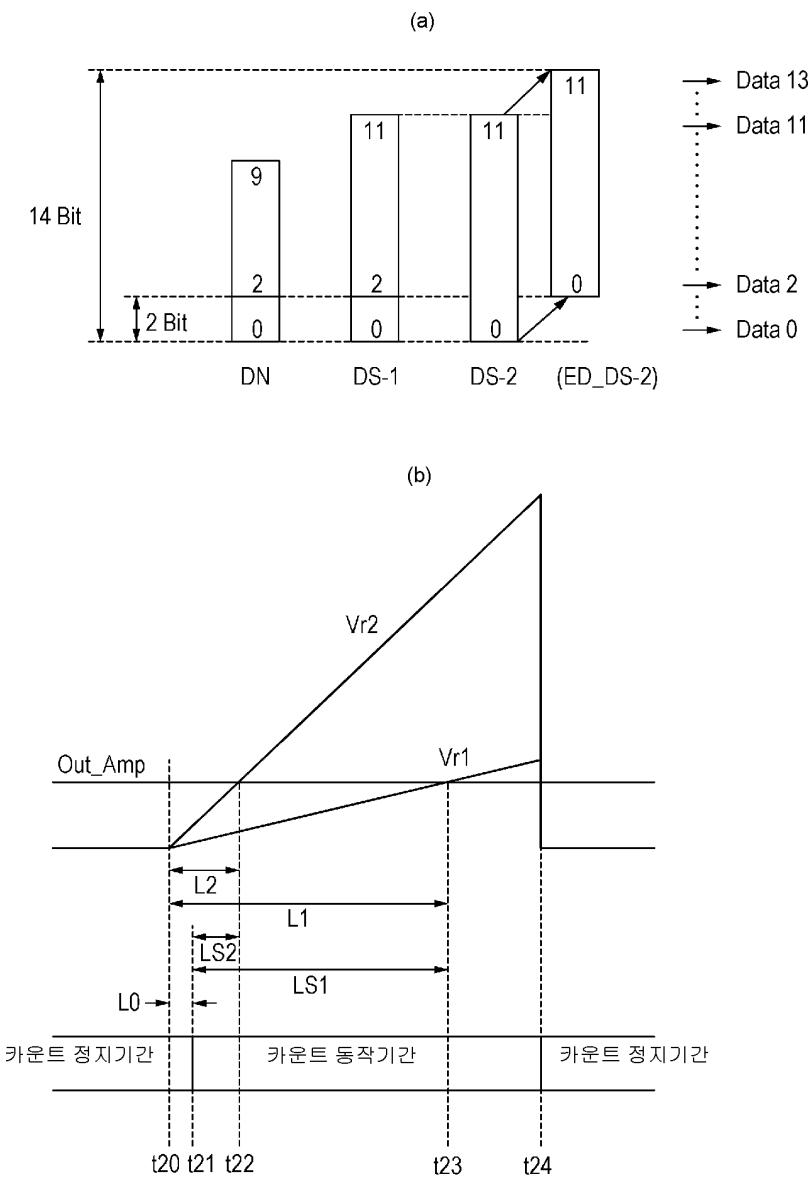
도면1b



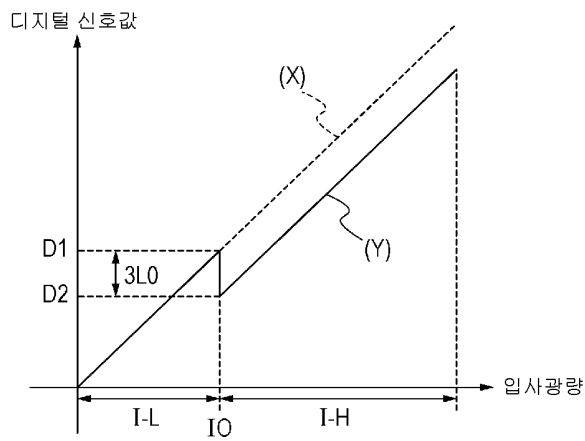
도면2



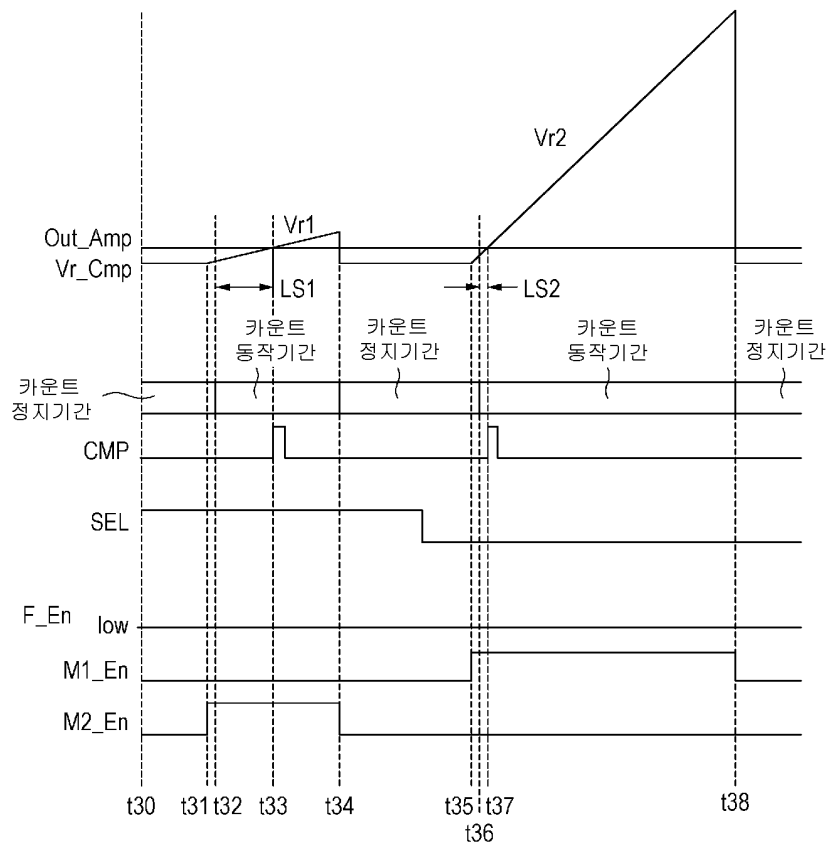
도면3



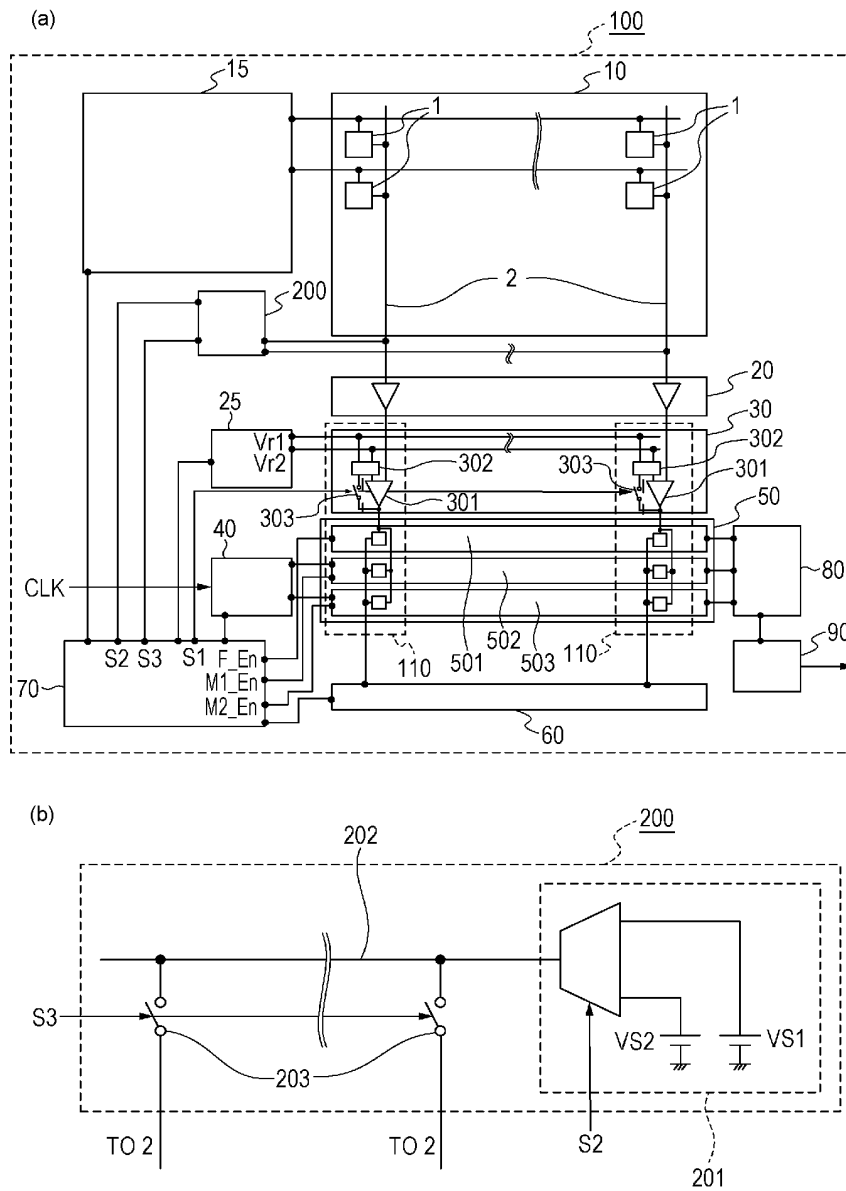
도면4a



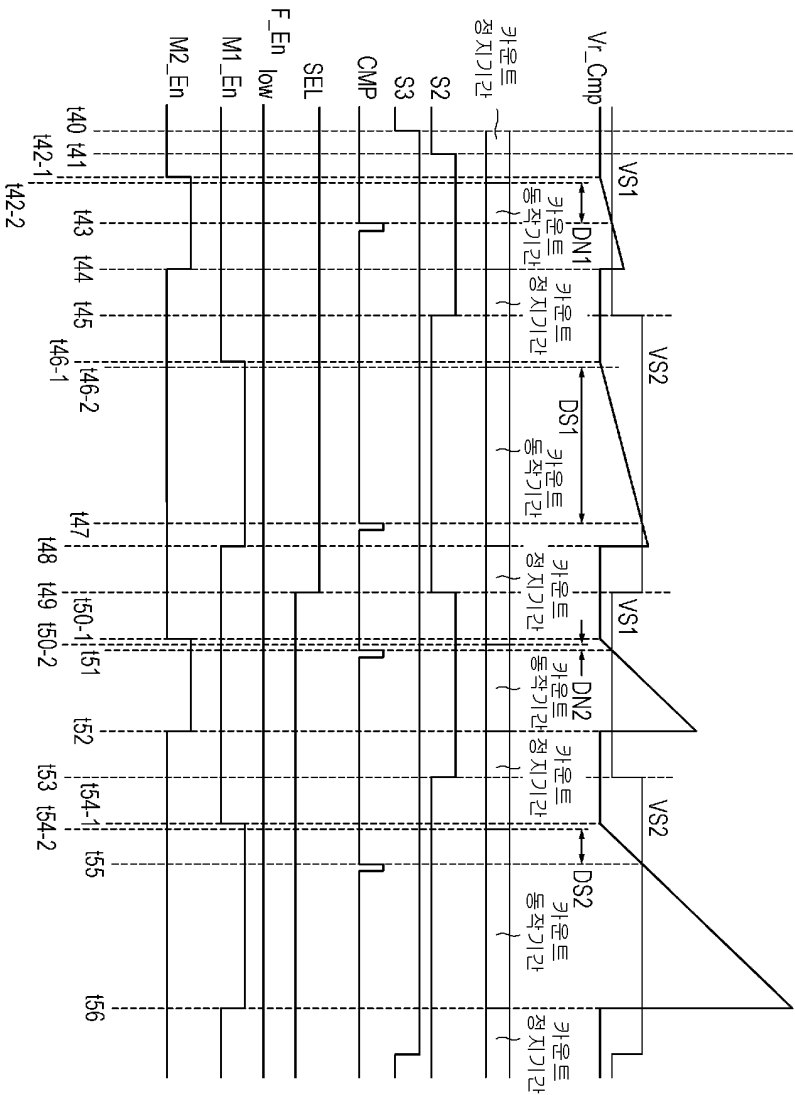
도면4b



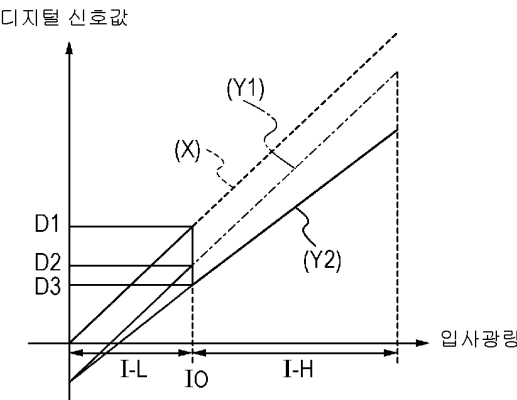
도면5



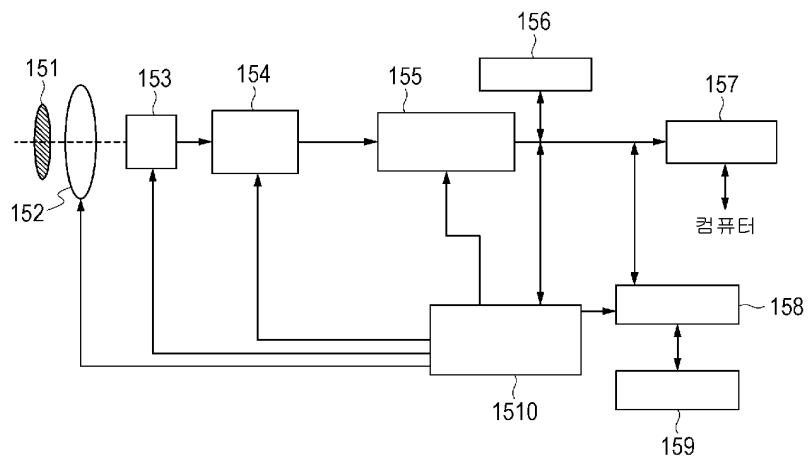
도면6a



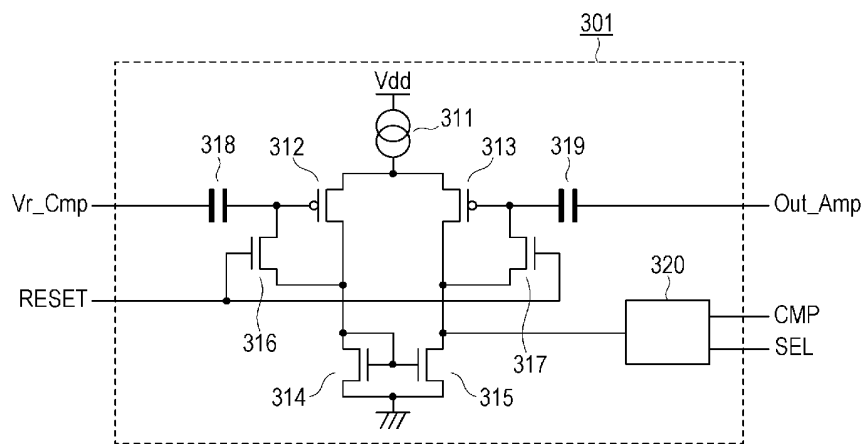
도면6b



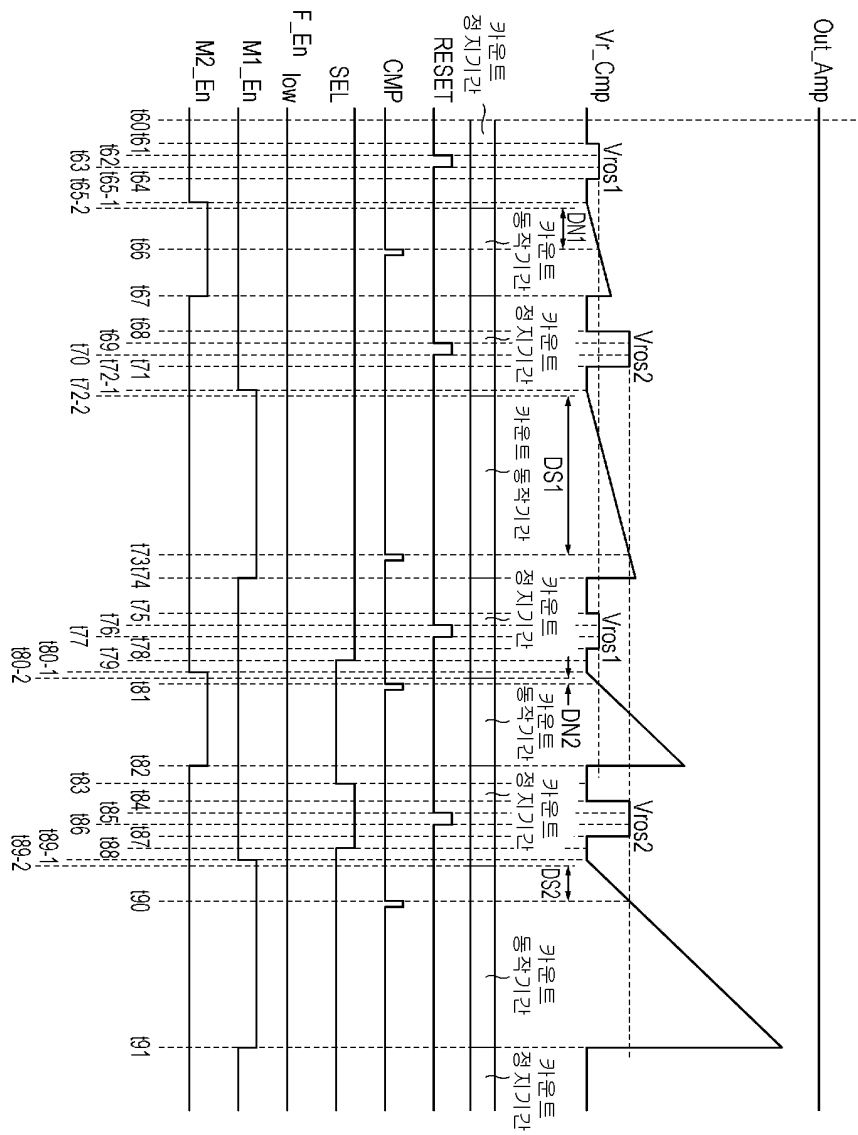
도면7



도면 8a



도면8b



도면9

