

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4334672号
(P4334672)

(45) 発行日 平成21年9月30日(2009.9.30)

(24) 登録日 平成21年7月3日(2009.7.3)

(51) Int.Cl.

H04N 5/335 (2006.01)

F I

H04N 5/335

Z

請求項の数 2 (全 14 頁)

(21) 出願番号 特願平11-141801
 (22) 出願日 平成11年5月21日(1999.5.21)
 (65) 公開番号 特開2000-333083(P2000-333083A)
 (43) 公開日 平成12年11月30日(2000.11.30)
 審査請求日 平成18年4月10日(2006.4.10)

(73) 特許権者 000236436
 浜松ホトニクス株式会社
 静岡県浜松市東区市野町1126番地の1
 (74) 代理人 100088155
 弁理士 長谷川 芳樹
 (74) 代理人 100089978
 弁理士 塩田 辰也
 (74) 代理人 100092657
 弁理士 寺崎 史朗
 (72) 発明者 豊田 晴義
 静岡県浜松市市野町1126番地の1 浜
 松ホトニクス株式会社内
 (72) 発明者 中村 和浩
 静岡県浜松市市野町1126番地の1 浜
 松ホトニクス株式会社内

最終頁に続く

(54) 【発明の名称】 高速視覚センサ装置

(57) 【特許請求の範囲】

【請求項1】

複数の受光素子が2次元状に配列されて形成された少なくとも一つの受光素子アレイと

、
 前記受光素子アレイの所定の受光素子または受光素子群に対応して設けられ、対応する受光素子または受光素子群から所定の第1のフレームレートで順次読み出された出力信号をアナログ・デジタル変換する複数のA/D変換器を有し、当該複数のA/D変換器が1次元状に配列されて構成されるA/D変換器アレイと、

前記受光素子アレイの各受光素子と1対1に対応して設けられ、前記A/D変換器アレイから転送された対応する受光素子の出力信号に相当するデジタル信号について所定の演算を行う複数の演算素子を有し、当該複数の演算素子を2次元状に配列して、並列演算処理を行う演算素子アレイと、

前記A/D変換器アレイの各A/D変換器と当該A/D変換器に対応する演算素子または演算素子群に対応して設けられ、対応する前記A/D変換器または前記演算素子もしくは前記演算素子群からの出力信号を連続または所定フレームおきに数フレーム分蓄積記憶するデータバッファが一次元状に配列されて構成されるバッファメモリと、

前記バッファメモリ中に蓄積されている画像を前記第1のフレームレートより低い第2のフレームレートの画像信号として読み出して出力する画像信号変換を行う信号変換器と

、
 前記バッファメモリ、前記信号変換器に対し、前記演算素子アレイにおける演算処理結

10

20

果に基づく所望の期間中の前記 A / D 変換器アレイまたは前記演算素子アレイからの出力信号を変換して出力するよう指示する信号変換制御部と、

前記信号変換器から出力された画像信号を受けて画像表示するモニタと、

前記各構成要素を制御する制御回路と、

を備えていることを特徴とする高速視覚センサ装置。

【請求項 2】

前記演算素子に対応して設けられ、前記 A / D 変換器からの出力信号を所定の前記演算素子に順次転送する複数の転送用シフトレジスタをさらに備えていることを特徴とする請求項 1 記載の高速視覚センサ装置。

【発明の詳細な説明】

10

【0001】

【発明の属する技術分野】

本発明は、画像処理機能を備えた高速視覚センサ装置に関する。

【0002】

【従来の技術】

F A システム等においてロボットを高速で動作させるためには、高速の画像処理が必要とされる。例えば、視覚センサとアクチュエータの間でフィードバックループを形成するロボットの場合、アクチュエータはミリ秒単位で制御可能であるため、本来はこれに対応した画像処理速度が必要になる。ところが、現状のビジョンシステムでは画像処理速度がビデオフレームレートに限られているため、この画像処理速度に合わせた低速動作しかできず、ロボットの性能を十分に活かしきれていなかった。

20

【0003】

一方、高速 C C D カメラの中には 1 ミリ秒程度で画像を撮像できるものもあるが、これらは撮像した画像をいったんメモリに貯えて、後から読み出して処理を行う機構になっているため、画像解析などの用途には使えるが、実時間性はほとんどなく、ロボット制御などの用途には適用できなかった。

【0004】

このような問題を解決するため、画像の取込部と処理部を一体として取り扱うビジョンチップの研究が進んでおり、マサチューセッツ工科大学、カリフォルニア工科大学、三菱電機などの研究が知られている。しかし、これらは主として集積化の容易なアナログの固定回路を用いており、出力信号の後処理が必要であったり、画像処理の内容が特定用途に限定されていて汎用性がないなどの問題点があった。

30

【0005】

これらに対して汎用的な画像処理を行うことができるビジョンチップとしては、特公平 7 - 6 2 8 6 6 号公報に開示された発明（以下、従来技術 1 と呼ぶ）が知られている。この発明は、マトリクス状に配置された受光素子アレイの各受光素子の出力を、それぞれ 1 つの対応する演算素子に入力し、並列処理するものである。これにより、演算素子への入力時間、演算時間が短縮され、各種の演算にも対応できる利点がある。

【0006】

さらに、集積化を進めるために転送ラインを列毎に最適化した特開平 1 0 - 1 4 5 6 8 0 号公報に開示された技術（以下、従来技術 2 と呼ぶ）もある。

40

【0007】

【発明が解決しようとする課題】

こうした視覚センサを生産ラインにおける検査装置に利用することで、検査時間の大幅な短縮が可能となるが、実際には、こうした画像処理と同時に、処理対象の画像を人間が目視によって確認する必要性が生じる場合が多い。例えば、ベルトコンベア上の製品検査をする場合においては、撮像位置照明状態、ピント合せ、レンズ系の汚れ、などを目視により確認することは検査状況を把握するためには不可欠である。また、検査方法のアルゴリズムを確定する際にも、しきい値レベルの設定やマッチングポイントの設定などにおいて実画像を見ながら、処理の途中結果を画像としてモニターすることで、効率良く処理アル

50

ゴリズムの評価が行なえることになる。

【 0 0 0 8 】

しかしながら、従来技術 1 あるいは 2 の装置では、演算を行なった結果を特徴量（対象物の重心や検査結果）または制御信号（例えばモータ制御信号）の形でしか装置外部に出力せず、撮影した画像を効率よく外部の装置に取り出す機構を有していない。CCDカメラからの画像をそのまま出力すると、高速度表示に対応したモニターが必要となるが、そのようなモニターはあっても高価であり、CCDカメラの最高フレームレートには対応していないのが現状である。

【 0 0 0 9 】

また、特開平 1 0 - 2 1 4 0 7 号公報には、こうした高速画像処理装置の画像情報と従来の画像処理装置からの画像情報をオーバーレイ表示することで、高速に動く物体を解像度良くモニターする装置が開示されている（以下、従来技術 3 と呼ぶ）。しかしながら、この従来技術 3 においては、出力される画像のフレームレートが従来とほぼ同じビデオレートに制限されてしまうため、高速に動いている物体を観測する場合において、必要な情報を取り出すことが難しい。

【 0 0 1 0 】

例えば、自動工作機械におけるブレスの瞬間やドリルの貫通する瞬間、部品を挿入する瞬間やゴルフや野球におけるボールとクラブ（バット）の当たる瞬間等の所定のタイミングの映像が重要な意味を有する場合に、これらを解像度良く表示させることは困難であった。

【 0 0 1 1 】

そこで、本発明は、高速での画像演算を行うとともに、撮像した画像をモニター可能な高速視覚センサ装置を提供することを課題としている。

【 0 0 1 2 】

上記課題を解決するため、本発明に係る高速視覚センサ装置は、（ 1 ）複数の受光素子が 2 次元状に配列されて形成された少なくとも一つの受光素子アレイと、（ 2 ）受光素子アレイの所定の受光素子または受光素子群に対応して設けられ、対応する受光素子または受光素子群から所定の第 1 のフレームレートで順次読み出された出力信号をアナログ・デジタル変換する複数の A / D 変換器を有し、当該複数の A / D 変換器が 1 次元状に配列されて構成される A / D 変換器アレイと、（ 3 ）受光素子アレイの各受光素子と 1 対 1 に対応して設けられ、A / D 変換器アレイから転送された対応する受光素子の出力信号に相当するデジタル信号について所定の演算を行う複数の演算素子を有し、当該複数の演算素子を 2 次元状に配列して、並列演算処理を行う演算素子アレイと、（ 4 ）A / D 変換器アレイの各 A / D 変換器と当該 A / D 変換器に対応する演算素子または演算素子群に対応して設けられ、対応する A / D 変換器または演算素子もしくは演算素子群からの出力信号を連続または所定フレームおきに数フレーム分蓄積記憶するデータバッファが一次元状に配列されて構成されるバッファメモリと、（ 5 ）バッファメモリ中に蓄積されている画像を前記第 1 のフレームレートより低い第 2 のフレームレートの画像信号として読み出して出力する画像信号変換を行う信号変換器と、（ 6 ）バッファメモリ、信号変換器に対し、演算素子アレイにおける演算処理結果に基づく所望の期間中の前記 A / D 変換器アレイまたは前記演算素子アレイからの出力信号を変換して出力するよう指示する信号変換制御部と、（ 7 ）信号変換器から出力された画像信号を受けて画像表示するモニタと、（ 8 ）各構成要素を制御する制御回路と、を備えていることを特徴とする。

【 0 0 1 3 】

本発明に係る高速視覚センサ装置によれば、受光素子と 1 対 1 に配置された演算素子によって並列演算処理を行うことでリアルタイムでの高速画像処理が可能となる。そして、A / D 変換器に対応して A / D 変換器または演算素子もしくは演算素子群からの出力信号を連続または所定フレームおきに数フレーム分蓄積記憶するデータバッファを用いることにより、受光素子アレイで得られた画像あるいは画像処理により得られた画像の中から任意の画像群を抽出して動画像として表示することができる。

【 0 0 1 5 】

演算素子に対応して設けられ、A / D変換器からの出力信号を所定の演算素子に順次転送する複数の転送用シフトレジスタをさらに備えている。このようにすれば、転送処理と演算処理を並列して処理することが可能となるので、無駄のない高速な画像処理が可能となる。

【 0 0 1 6 】

【 発明の実施の形態 】

以下、添付図面を参照して本発明の好適な実施の形態について詳細に説明する。説明の理解を容易にするため、各図面において同一の構成要素に対しては可能な限り同一の参照番号を附し、重複する説明は省略する。

【 0 0 1 7 】

まず、図1を参照して本発明に係る高速視覚センサ装置全体の構成を簡単に説明する。図1は、本発明に係る高速視覚センサ装置の第一の実施形態のブロック図である。本実施形態の高速視覚センサ装置は、 $N1$ 個 $\times$ $N2$ 個の2次元状に配置された受光素子120からなる受光素子アレイ11と、受光素子アレイ11の1列ごとに対応して受光素子から出力された電荷を電圧信号に変換する $N2$ 個のチャージアンプ221からなる並列アンプ12と、チャージアンプからの出力信号をA / D変換する $N2$ 個のA / D変換器210からなるA / D変換器アレイ13と、受光素子120と1対1に対応する $N1$ 個 $\times$ $N2$ 個の演算素子400からなる並列処理機構14と、回路全体に命令信号等を送って制御する制御回路15と、制御回路15からの信号を各回路に送るインストラクション / コマンドバス16と、A / D変換器アレイ13又は並列処理機構14からのデータを表示画像信号に変換する信号変換器17および変換した表示画像信号により画像表示を行うモニタ18および信号変換制御部19から構成されている。

【 0 0 1 8 】

図2は、装置の構成例を示したものである。受光素子アレイ11と演算素子アレイ14、制御回路15などの半導体チップを1つの基板の上にボンディングした図である。チップを直接基板にボンディングするため高集積化が可能であり、また、それぞれの装置の特性に合わせた加工工程を採用できるため、安定した生産が可能となる。将来的にはプロセス技術の向上により1チップ上に全ての機能を集積化させることも可能である。

【 0 0 1 9 】

続いて、各回路の内部構成について説明する。図3は、画像入力部の詳細構成を示している。画像入力部は、光を検出する受光部100（図1に示す受光素子アレイ11に相当）、受光部100からの出力信号を処理する信号処理部200（図1に示す並列アンプ12及びA / D変換器アレイ13に相当）、受光部100及び信号処理部200に動作タイミングの指示信号を通知するタイミング制御部300（図1に示す制御回路15の一部に相当）を備えている。

【 0 0 2 0 】

最初に、図3により、図1の受光素子アレイ11に相当する受光部100の構成を説明する。受光素子120は、入力した光強度に応じて電荷を発生する光電変換素子130と、光電変換素子130の信号出力端子に接続され、垂直走査信号 V_i （ $i = 1 \sim N1$ ）に応じて光電変換素子130に蓄積された電荷を出力するスイッチ素子140を1組として構成されている。この受光素子120が第1の方向（以下垂直方向と呼ぶ）に沿って $N1$ 個配置され、各受光素子120のスイッチ素子140が電気的に接続されて垂直受光部110を構成している。そして、この垂直受光部110を垂直方向に直交する水平方向に沿って $N2$ 個配列することにより受光部100が構成されている。

【 0 0 2 1 】

次に、同じく図3により、図1では並列アンプ12及びA / D変換器アレイ13に相当する信号処理部200の構成を説明する。信号処理部200は、対応する垂直受光部110 $_j$ （ $j = 1 \sim N2$ ）から転送されてきた電荷を個別に取り出して、処理し、この電荷強度に対応するデジタル信号を出力するA / D変換器210 $_j$ を $N2$ 個配置して構成されてい

10

20

30

40

50

る。A/D変換器210_jは、チャージアンプ221_jを含む積分回路220_jと比較回路230_jと容量制御機構240_jの3つの回路から構成される。本実施形態では、チャージアンプ221をA/D変換器221に含む回路構成になっている。

【0022】

このうち、積分回路220_jは、垂直受光部110_jからの出力信号を入力として、この入力信号の電荷を増幅するチャージアンプ221_jと、チャージアンプ221_jの入力端子に一方の端が接続され、出力端子に他方の端が接続された可変容量部222_jと、チャージアンプ221_jの入力端子に一方の端が接続され、出力端子に他方の端が接続されて、リセット信号Rに応じてON、OFF状態となり、積分回路220_jの積分、非積分動作を切り替えるスイッチ素子223_jからなる。

10

【0023】

ここで、図4は、この積分回路220の詳細構成図である。本図は、4ビットつまり16階調の分解能を持つA/D変換機能を備える積分回路の例であり、以下、この回路構成により説明する。可変容量部222は、チャージアンプ221の垂直受光部からの出力信号の入力端子に一方の端子が接続された容量素子C1～C4と、容量素子C1～C4の他方の端子とチャージアンプ221の出力端子の間に接続され、容量指示信号C₁₁～C₁₄に応じて開閉するスイッチ素子SW11～SW14と、容量素子C1～C4とスイッチ素子SW11～SW14の間に一方の端子が接続され、他方の端子がGNDレベルと接続されて、容量指示信号C₂₁～C₂₄に応じて開閉するスイッチ素子SW21～SW24により構成されている。なお、容量素子C1～C4の電気容量C₁～C₄は、

20

$$C_1 = 2C_2 = 4C_3 = 8C_4$$

$$C_0 = C_1 + C_2 + C_3 + C_4$$

の関係を満たす。ここで、C₀は積分回路220で必要とする最大電気容量であり、受光素子130（図3参照）の飽和電荷量をQ₀、基準電圧をV_{REF}とすると、

$$C_0 = Q_0 / V_{REF}$$

の関係を満たす。

【0024】

再び、図3に戻り、A/D変換器210_jの積分回路220_j以外の回路を説明する。比較回路230_jは、積分回路220_jから出力された積分信号V_Sの値を基準値V_{REF}と比較して、比較結果信号V_Cを出力する。容量制御機構240_jは、比較結果信号V_Cの値から積分回路220_j内の可変容量部222_jに通知する容量指示信号Cを出力すると共に、容量指示信号Cに相当するデジタル信号D1を出力する。

30

【0025】

続いて、図3に示すタイミング制御部300の構成を説明する。全回路のクロック制御を行う基本タイミングを発生する基本タイミング部310と、基本タイミング部310から通知された垂直走査指示に従って、垂直走査信号V_iを発生する垂直シフトレジスタ320と、リセット指示信号Rを発生する制御信号部340により構成されている。

【0026】

次に、演算素子400の動作を図5により説明する。A/D変換されたデジタル信号は、それぞれの受光素子120_{i,j}に対応する演算素子400のレジスタマトリックス401に送られる。演算素子400はそれぞれ4近傍接続されているため、インストラクションで順次隣の演算素子400に信号を送るように命令を出すことで転送する演算素子400の指定ができる。各垂直受光部110_jの信号は対応する演算素子400に対して、各列が同時に転送されるため、nビット×N2回のデータ転送で、全受光素子120の光電出力データが全演算素子400に転送されることになる。

40

【0027】

図6は、信号変換器17の詳細構成を示すブロック図である。信号変換器17内には、一列分の画像データを所定の画面数分蓄積するデータバッファ171がN2個配列され、これらのデータバッファ171には、デジタル画像信号をアナログ信号に変換するD/A変換器172とモニタ18のフレームレートに合わせて適切な同期信号を付加することによ

50

り画像信号を生成する同期信号混合器 173 が接続されて構成される。

【0028】

次に、図 1 ～ 図 6 により、本実施形態の動作について説明する。

【0029】

まず、リセット信号 R を有為に設定し、図 4 に示す可変容量部 222 の SW11 ～ SW14 を全て「ON」、SW21 ～ SW24 を全て「OFF」状態にする。これにより、チャージアンプ 221 の入力端子と出力端子間の容量値を C_0 に設定する。それと同時に、図 3 に示す全てのスイッチ素子 140 を「OFF」状態とし、垂直走査信号 V_i をいずれの受光素子 120 も選択しない状態に設定する。この状態から、リセット指示信号 R を非有為に設定し、各積分回路 220 での積分動作を開始させる。

10

【0030】

積分動作を開始させると、図 3 に示す N2 個の各垂直受光部 110_j にある第 1 番目の受光素子 120_{1,j} のスイッチ素子 140 のみを「ON」とする垂直走査信号 V_1 が出力される。スイッチ素子が「ON」になると、それまでの受光によって光電変換素子 130 に蓄積された電荷 Q_1 は、電流信号として受光部 100 から出力される。つまり、光電変換素子の信号を読み出すことができる。電荷 Q_1 は容量値 C_0 に設定された可変容量部 222 に流入する。

【0031】

次に、図 4 により積分回路 220 内部の動作を説明する。容量制御機構 240 (図 3 参照) は、SW12 ～ SW14 を開放した後、SW22 ～ 24 を閉じる。この結果、積分信号 V_s は、

20

$$V_s = Q / C_1$$

で示す電圧値として出力される。積分信号 V_s は、比較回路 230 に入力して、基準電圧値 V_{REF} と比較される。ここで、 V_s と V_{REF} の差が、分解能の範囲以下、すなわち $\pm (C_4 / 2)$ 以下の時は、一致したものとみなし、更なる容量制御は行わず、積分動作を終了する。分解能の範囲で一致しないときは、更に容量制御を行い、積分動作を続ける。

【0032】

例えば、 $V_s > V_{REF}$ であれば、容量制御機構 240 は、更に、SW22 を開放した後に、SW12 を閉じる。この結果、積分信号 V_s は、

$$V_s = Q / (C_1 + C_2)$$

30

で示す電圧値となる。この積分信号 V_s は、後続の比較回路 230 (同) に入力して、基準電圧値 V_{REF} と比較される。

【0033】

また、 $V_s < V_{REF}$ であれば、容量制御機構 240 は、更に、SW11 及び SW22 を開放した後に、SW12 及び SW21 を閉じる。この結果、積分信号 V_s は、

$$V_s = Q / C_2$$

で示す電圧値となる。この積分信号 V_s は、後続の比較回路 230 に送出され、基準電圧値 V_{REF} と比較される。

【0034】

以後、同様にして、積分回路 220 → 比較回路 230 → 容量制御機構 240 → 積分回路 220 のフィードバックループによって、積分信号 V_s が基準電圧値 V_{REF} と分解能の範囲で一致するまで、比較及び容量設定 (SW11 ～ SW14 及び SW21 ～ SW24 の ON / OFF 制御) を順次繰り返す。積分動作が終了した時点の SW11 ～ SW14 の ON / OFF 状態を示す容量指示信号 $C_{11} \sim C_{14}$ の値は、電荷 Q_1 の値に対応したデジタル信号であり、最上位ビット (MSB) の値が C_{11} 、最下位ビット (LSB) の値が C_{14} である。こうして A / D 変換が行われ、これらの値をデジタル信号 D1 として、演算素子アレイ 14 に出力する。以上述べたように、この装置では、デジタル信号 D1 の各ビット値は、MSB 側から LSB 側へ 1 ビットずつ順に定まる。

40

【0035】

第 1 番目の受光素子 120_{1,j} の光電出力に相当するデジタル信号の送出が終了すると、

50

リセット信号 R が有為とされ、再び、非有為にして、可変容量部 222_j の容量値を初期化した後に、各垂直受光部 110_j の第 2 番目の受光素子 120_{2,j} のスイッチ素子 140 のみを「ON」とする垂直走査信号 V₂ を出力し、上述と同様の動作により、第 2 番目の受光素子 120_{2,j} の光電出力を読み出し、これに相当するデジタル信号を送出する。以下、垂直走査信号を切り替えて、全受光素子 120 の光電出力を読み出し、相当するデジタル信号を演算素子アレイ 14 に出力する。

【0036】

次に、演算素子 400 の動作を図 5 により説明する。A/D 変換されたデジタル信号は、それぞれの受光素子 120_{i,j} に対応する演算素子 400 のレジスタマトリックス 401 に送られる。演算素子 400 はそれぞれ 4 近傍接続されているため、インストラクション
10
で順次隣の演算素子 400 に信号を送るように命令を出すことで転送する演算素子 400 の指定ができる。各垂直受光部 110_j の信号は対応する演算素子 400 に対して、各列が同時に転送されるため、n ビット × N 2 回のデータ転送で、全受光素子 120 の光電出力データが全演算素子 400 に転送されることになる。

【0037】

演算素子 400 内部の演算は、必要があれば、各演算素子 400 間でそれぞれのレジスタマトリックス 401 に収容された信号の転送を行った後、演算に必要な信号をレジスタマトリックス 401 から A ラッチ 402 と B ラッチ 403 に読み出し、A LU 404 で所定の演算を行い、計算結果はレジスタマトリックス 401 を介して外部回路に出される。演算は全演算素子 400 において同時に並列処理されるため、極めて高速の演算が可能である。
20

【0038】

例に挙げる「エッジ抽出」は画像処理において最も頻繁に利用される処理である。最も簡単に演算する場合は、隣接する画素の強度値との差分による 2 近傍演算が用いられる。これを数式で表すと、

$$P'(x, y) = |P(x, y) - P(x - 1, y)|$$

となる。ここで (x, y) は素子の位置座標、P(x, y) は画像強度データの値、P'(x, y) は求めたいエッジ抽出画像の画像強度データの値である。

【0039】

転送から演算終了までの各演算素子 400 における演算のフロー図を図 7 に示す。ステップ S1 における A/D 変換器 210 から演算素子 400 へのデータ転送の際に、P(x, y) と P(x - 1, y) に相当するデータを各演算素子 400 内のレジスタマトリックス 401 に格納する (ステップ S2)。これにより、A/D 変換器アレイ 11 からのデータ転送が終了した後の各演算素子 400 間でのデータ転送をできる限り省略して、効率的で高速の処理をすることが可能になる。A/D 変換器 210 から全演算素子 400 へのデータ転送が終了した時点で、レジスタマトリックス 401 に収容された P(x, y) と P(x - 1, y) のデータを下位ビットから A ラッチ 402 と B ラッチ 403 に読み出し (ステップ S3)、A LU 404 により、差分を求める演算を行う (ステップ S4)。この計算結果はいったんレジスタマトリックス 401 に格納する (ステップ S5)。差分が求めた後、この差分値を再び A ラッチ 402 に読み出し (ステップ S6)、A LU 404 により、その絶対値を算出し (ステップ S7)、レジスタマトリックス 401 に計算結果を格納し (ステップ S8)、外部に出力する (ステップ S9)。以上の計算処理は全ての演算素子 400 で同時に並列処理されるため、非常に高速で演算処理が行われる。
30
40

【0040】

画像処理でよく用いられるアルゴリズムのいくつかについて、本実施形態により演算を行った場合のステップ数、処理時間の例を表 1 に示す。

【0041】

【表 1】

処理名称		ステップ数	所要時間(μs)
2 近傍エッジ検出	1bit 入出力	5	0.40
4 近傍エッジ検出	1bit 入出力	11	0.72
4 近傍平滑化	1bit 入出力	14	1.0
4 近傍エッジ検出	8bit 入出力	70	5.6
4 近傍エッジ検出	8bit 入出力	96	7.7
4 近傍細線化	1bit 入出力	23	1.9
8 近傍細線化	1bit 入出力	53	4.2
コンボリューション	1bit 入力、4bit 出力	40	3.2
コンボリューション	4bit 入力、11bit 出力	372	30
Poisson 方程式	1bit 入力、8bit 出力	63	5.0

10

【 0 0 4 2 】

表 1 から明らかなように、本実施形態では、一般的な画像処理（例えば、平滑化、細線化、コンボリューション、相関、マスク処理）演算を完全並列処理により、非常に高速で行うことができる。したがって、これまでの視覚センサ装置では、演算処理速度が遅いために制限されていた F A ロボット制御などの分野への応用が可能になる。

20

【 0 0 4 3 】

A / D 変換器アレイ 1 3 からの出力信号又は並列処理機構 1 4 からの出力信号は信号変換器 1 7 に送られ、信号変換制御部 1 9 からの指示によりモニタ 1 8 で表示するのに適した画像信号に変換される。従来技術 3 の装置では、図 8 に示されるように画像表示のタイミングに合わせて画像転送、処理演算を行う必要が有るため、高速での画像処理演算は不可能であった。これに対して、本実施形態の装置では、画像転送、画像演算を高速で行い、任意のタイミングの映像をデータバッファ 1 7 1 に蓄積しておいて D / A 変換器 1 7 2、同期信号混合器 1 7 3 によりモニタ 1 8 側のフレームレートに合わせた映像信号を生成して出力することで、図 9 にタイミングチャートを示すように、所定のタイミングの映像を抽出して時間的に引き延ばして表示することが可能である。

30

【 0 0 4 4 】

例えば、図 1 0 (a) ~ (c) を参照して既にチップ 5 1、5 2 が実装されている基板 5 0 上にさらにチップ 5 3 を装置 5 4 を用いて実装する瞬間の画像を抽出する例について説明する。図 1 0 (b) が所望のチップ 5 3 が実装される瞬間の画像であり、図 1 0 (a)、図 1 0 (c) はそれぞれその前後のタイミングで取得された画像である。

【 0 0 4 5 】

このチップ 5 3 が実装される瞬間の画像を抽出するためには、入力画像の中から、特徴抽出演算によって対象画像であるチップ 5 3 を抽出し、その対象が基板の所定の位置に実装されるタイミングで画像を出力する。具体的には、まず、入力画像 $P(x, y)$ が並列処理機構 1 4 に転送され、すでに記憶されている検索画像 $s(x, y)$ (大きさ $n_1 \times m_1$) を検索する。マッチングの演算アルゴリズムは数多く提案されているが、ここでは最も簡便な演算である差分演算で示す。

40

【 0 0 4 6 】

【 数 1 】

$$\text{ERROR}(p, q) = \sum_{i=0}^{n1-1} \sum_{j=0}^{m1-1} |P(p+i, q+j) - \alpha(i, j)|$$

【 0 0 4 7 】

この関数 Error の値の最も小さい位置から、入力画像 $P(x, y)$ の中から検索画像 $s(n1, m1)$ に一番似ている（誤差の小さい）画像を検索できる。この最小の誤差が得られた原画像 $P(x, y)$ を所定のタイミングにおける画像データとして信号変換制御部 19 から信号変換器 17 に対して画像信号への変換を指示することによりこのタイミングの画像（図 7（b）に示されるタイミングの画像）前後の映像をモニタ 18 に表示させることができる。

10

【 0 0 4 8 】

たとえば、本機能を用いることで、「ドリルが加工対象に接触する瞬間」や「バットがボールにぶつかる瞬間」とその前後の、最も重要な情報を含む画像列を抽出してモニター画像出力することが可能となる。従来の画像処理装置との整合性も併せ持つ為、すでに利用している画像処理アルゴリズムをそのまま利用して、高速対象物の画像処理を実現できる。また、画像処理された処理画像、例えば、エッジ抽出された画像や、移動している物体のみを抽出した画像などを出力することも可能である。

20

【 0 0 4 9 】

特に、本装置においては、並列受光素子アレイ 11 からの信号を列並列にて転送を行っており、並列演算機構 14 により並列演算を行なうことで、高速な演算処理が実現できる。高速移動物体を追跡する場合に、回転や向きの変化がある場合には、従来の TV カメラのような遅いフレームレート（30 Hz）では、対象物の画像上の形状が変化してしまうため、フレーム間の画像から同じ対象物を判断するために非常に複雑なアルゴリズムが必要となりリアルタイムに表示させることが困難であった。一方、本装置のように高いフレームレート（> 1 KHz）で画像が捉えられる場合には、フレーム間の画像の違いは小さいために、上記のような簡単なアルゴリズムで高速にマッチングが行なえることになり、対象物を正確に追跡することが可能となる。

30

【 0 0 5 0 】

本発明が目指しているのは、高速画像処理された結果から、所望のタイミングの画像を抽出してモニターする機能を有する画像センサ装置である。処理速度の目安としては、FA ロボットの制御においては、対象物の移動速度とロボットのアクチュエータの速度（1 ~ 10 ミリ秒）から必要な処理速度が決まる。本実施形態では、この処理速度は、A/D 変換器 210 における A/D 変換処理速度によって決まるが、A/D 変換器からの出力のビット数は可変できるため、より高速演算が必要な場合には、ビット数を減らすことによって高速化が可能である。例えば、8 ビット変換に 10 μ 秒かかっているような場合、4 ビットにデータ長を削減することで、ほぼ 2 倍の変換速度が実現できることになる。

【 0 0 5 1 】

40

図 11 は、本発明に係る高速視覚センサ装置の第二の実施形態を示す概略ブロック図である。この実施形態では、図 1 に示される第一の実施形態の並列処理機構 14 の演算素子 400 にそれぞれ転送専用シフトレジスタ 410 を設けている点が相違する。このように、データ転送専用のシフトレジスタを設けることで、演算素子 400 で演算処理を行っている間に、次のフレームの画像データを転送したり、演算に必要なデータの転送を行うことができるので、転送と演算を並列処理することでより高速の画像処理を行うことができて好ましい。

【 0 0 5 2 】

ここでは、信号変換器に複数の画面分のデータバッファを有する例について説明してきたが、特定のタイミングの静止映像のみを取得すれば充分である場合には、データバッファ

50

を省略することでより簡易な装置構成とすることも可能である。

【 0 0 5 3 】

【 発明の効果 】

以上説明したように本発明によれば、並列処理による高速の画像処理と目視検査等に必要となる所望のタイミングでの高速処理画像のモニター出力が可能であり、例えば、注目すべき画像のみを抽出したモニタ表示が可能となる。

【 0 0 5 4 】

特に、信号変換器に複数の画面の画像情報を蓄積可能なデータバッファを設けることで、所望のタイミング付近の映像を時間的に引き延ばしてモニタ表示することも可能となる。

【 0 0 5 5 】

また、A / D変換器から演算素子へのデータ転送時に、転送用シフトレジスタを用いて、演算処理と転送を独立に実行できる機能を実現することで、実時間処理が可能となる。

【 図面の簡単な説明 】

【 図 1 】 本発明に係る高速視覚センサ装置の第一の実施形態のブロック図である。

【 図 2 】 図 1 の実施形態を示す概略構成図である。

【 図 3 】 図 1 の実施形態の受光素子アレイ、並列アンプ及び A / D 変換器アレイの回路構成図である。

【 図 4 】 図 1 の実施形態の積分回路の詳細回路構成図である。

【 図 5 】 図 1 の実施形態の演算素子のブロック図である。

【 図 6 】 図 1 の実施形態の信号変換器の詳細ブロック図である。

【 図 7 】 図 5 の演算素子の 2 近傍演算時のフロー図である。

【 図 8 】 従来技術における演算処理と画像表示のタイミングチャートである。

【 図 9 】 図 1 の実施形態における演算処理と画像表示のタイミングチャートである。

【 図 1 0 】 抽出する画像イメージを示す図である。

【 図 1 1 】 本発明に係る高速視覚センサ装置の第二の実施形態のブロック図である。

【 符号の説明 】

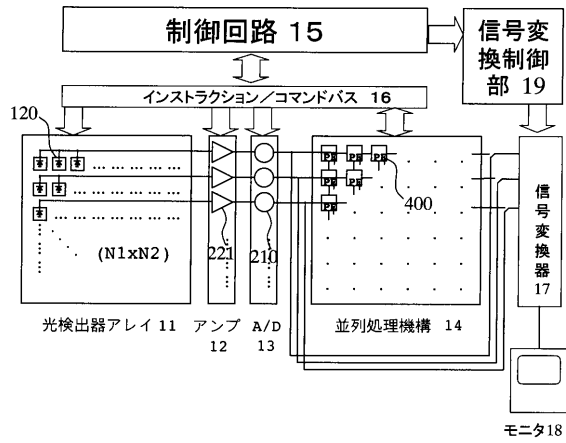
1 1 ... 受光素子アレイ、 1 2 ... アンプ、 1 3 ... A / D 変換器アレイ、 1 4 ... 演算素子アレイ、 1 5 ... 制御回路、 1 6 ... インストラクション / コマンドバス、 1 7 ... 信号変換器、 1 8 ... モニター、 1 0 0 ... 受光部、 1 1 0 ... 垂直受光部、 1 2 0 ... 受光素子、 1 3 0 ... 光電変換素子、 1 4 0 ... スイッチ素子、 2 0 0 ... 信号処理部、 2 1 0 ... A / D 変換器、 2 2 0 ... 積分回路、 2 2 1 ... チャージアンプ、 2 2 2 ... 可変容量部、 2 2 3 ... スイッチ素子、 2 3 0 ... 比較回路、 2 4 0 ... 容量制御機構、 3 0 0 ... タイミング制御部、 3 1 0 ... 基本タイミング部、 3 2 0 ... 垂直シフトレジスタ、 3 4 0 ... 制御信号部、 4 0 0 ... 演算素子、 4 0 1 ... レジスタマトリックス、 4 0 2 ... A ラッチ、 4 0 3 ... B ラッチ、 4 0 4 ... A L U、 4 1 0 ... 転送用シフトレジスタ、 5 0 0 ... 対象物、 5 0 1 ... テレビカメラ、 5 0 2 ... 画像処理装置、 C 1 ~ C 4 ... 容量素子、 S W 1 1 ~ S W 1 4、 S W 2 1 ~ S W 2 4 ... スイッチ素子。

10

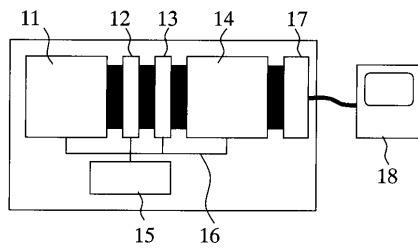
20

30

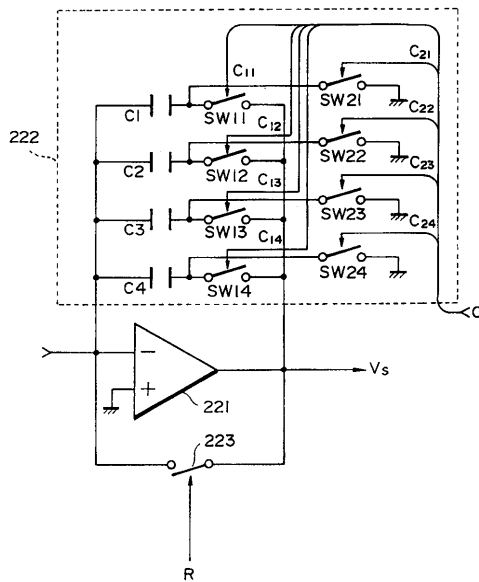
【図 1】



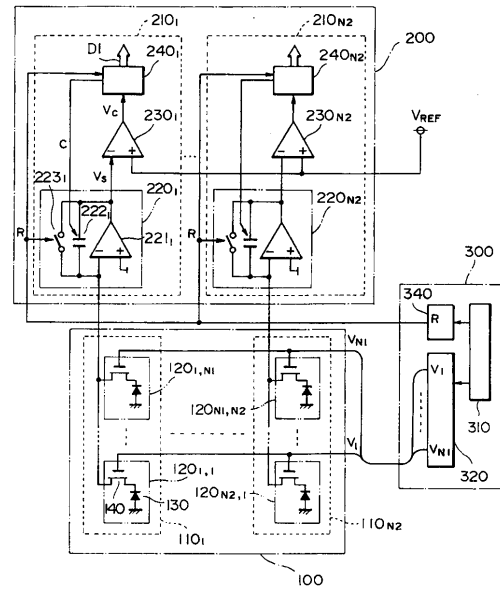
【図 2】



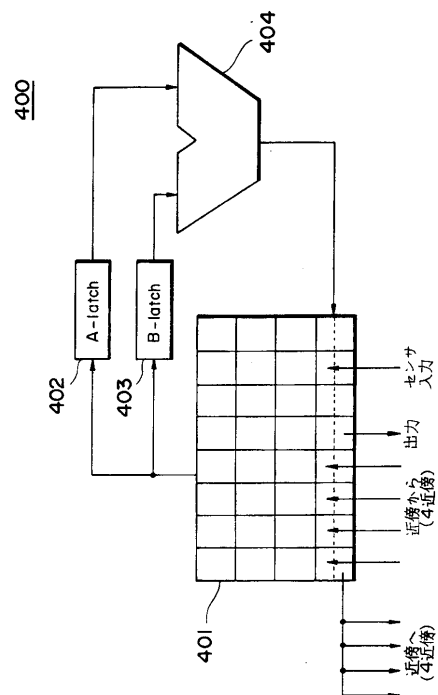
【図 4】



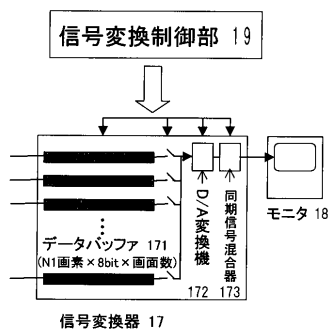
【図 3】



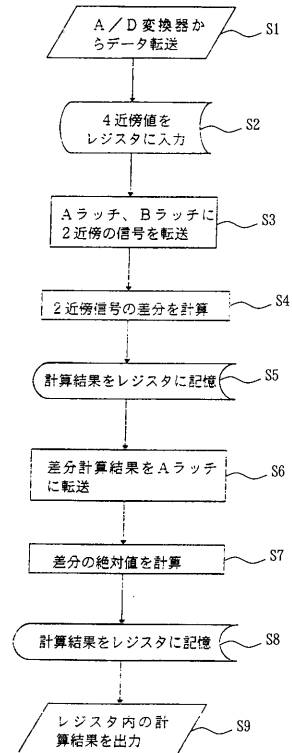
【図 5】



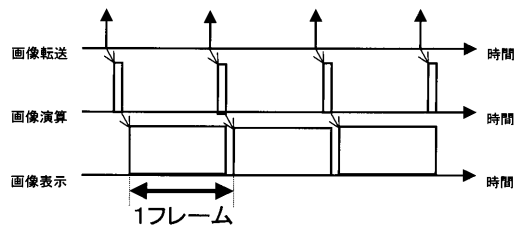
【図 6】



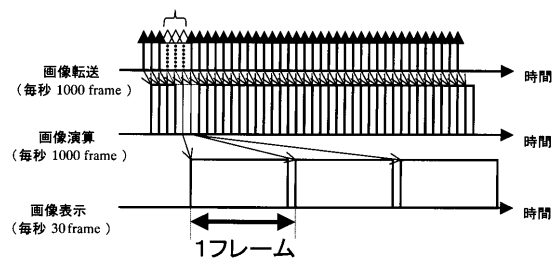
【図 7】



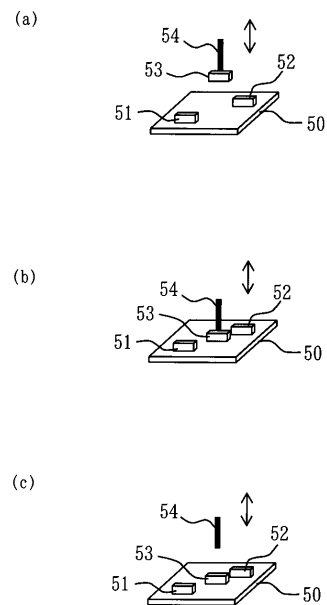
【図 8】



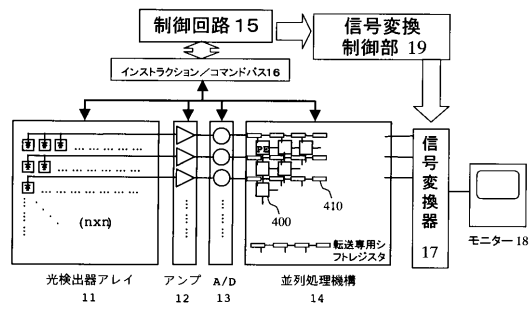
【図 9】



【図 10】



【図 11】



フロントページの続き

- (72)発明者 水野 誠一郎
静岡県浜松市市野町 1 1 2 6 番地の 1 浜松ホトニクス株式会社内
- (72)発明者 山川 博雄
静岡県浜松市市野町 1 1 2 6 番地の 1 浜松ホトニクス株式会社内

審査官 ▲徳▼田 賢二

- (56)参考文献 特開平 1 0 - 1 4 5 6 8 0 (J P , A)
特開平 0 5 - 1 6 7 9 3 7 (J P , A)
特開平 0 4 - 0 6 8 8 7 6 (J P , A)
特開平 0 6 - 2 0 5 3 0 7 (J P , A)
特開平 0 9 - 2 7 0 9 4 7 (J P , A)

- (58)調査した分野(Int.Cl. , D B 名)
H04N 5/335