



[12] 发明专利申请审定说明书

[21] 申请号 86105693

[51] Int.Cl⁴
G06F 1/04

[44] 审定公告日 1989年10月4日

[22] 申请日 86.7.29

[30] 优先权

[32] 85.7.29 [33] JP [31] 167199/85

[71] 申请人 株式会社日立制作所

地址 日本东京都千代田区神田骏河台四丁目6番

[72] 发明人 吉江达夫 长井光晴

[74] 专利代理机构 中国专利代理有限公司

代理人 何关元

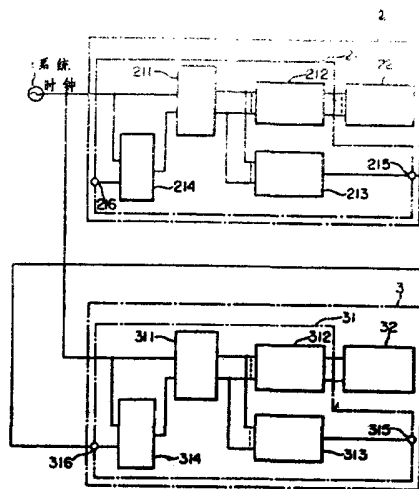
说明书页数

附图张数

[54] 发明名称 相位同步系统

[57] 摘要

根据本发明，为各有关处理器而安装的基本操作时钟发生器，用以将分频加到系统时钟，同时基本操作时钟发生器与各有关处理器连成级联。前级的基本操作时钟发生器为响应基本操作时钟的每一特定状态而产生一个加到后一级基本操作时钟发生器的同步信号，而后一级基本操作时钟发生器，应用基本操作时钟发生器所加的同步信号作为控制信号，在基本操作时钟里建立起初始状态，因而，各有关处理器的基本操作时钟的相位相互匹配。



< 39 >

1. 一个相位同步系统，它具有：

一个振荡器，用以产生一个时钟信号，

多个处理器，操作时钟信号加到这些处理器，

多个基本操作时钟产生单元，其每一个单元分别地与上述多个处理器的一个对应的处理器相连接，

上述基本操作时钟产生单元的每一个单元具有用于对上述系统时钟信号的脉冲进行计数的计数装置以及用于为使已连接的处理器进行操作而供给操作时钟的装置，

本发明的特征在于：

级连连接的多个基本时钟产生单元，

前级的基本操作时钟产生单元包括一个连接到它的计数器的检测电路，用于产生一个对应于它的计数器的预定数的同步信号并用于将上述同步信号供给后级的基本操作单元，

后级的基本操作时钟产生单元包括置数电路装置，用于将相应于由前级基本操作时钟单元所供给的上述同步信号的初始信号调置为一个控制信号，从而上述相应处理器的基本操作时钟信号相互匹配。

2. 根据权利要求1的相位同步系统，其特征在于：后一级的上述基本操作时钟发生装置包括一个计数器，这计数器被置到它的初始状态。该状态反应上述同步信号，因而和上述输入时钟同步。

3. 根据权利要求1的相位同步系统，其特征在于：上述多个处理器中的一个和计数器以及与上述一个处理器相关联的检测电路都包括在一块集成电路里。

4. 根据权利要求1的相位同步系统，其特征在于：上述置数电路在与上述系统时钟同步的上述相关计数器里建立一个初始值。

5 . 根据权利要求1 的相位同步系统, 其特征在于: 为与上述一个处理器相关联的上述检测器所预定的一个计数值, 是在延迟时间的基础上限定的, 这个延迟时间是同步信号从与上述一个处理器相关联的上述检测电路传输到与另一处理器相关联的上述置数电路所需的时间。

6 . 根据权利要求1 的相位同步系统, 其特征在于: 与上述一个处理器相关联的上述检测电路, 向上述多个处理器中与其它处理器相关联的置数电路里供应公共的一个同步信号。

7 根据权利要求1 的相位同步系统, 其特征在于: 从上述振荡器传送系统时钟的装置, 以便在相同的延迟后, 将上述系统时钟加到上述多个计数器。

相位同步系统

本发明涉及一种相位同步系统，用来校准系统中中央处理器的基本操作时钟的相位，这种系统包括多个由那些基本操作时钟激发的中央处理器。

在常规系统中，例如在多处理器中，激发各有关中央处理器的基本操作时钟由安装在各有关中央处理器的一只共有的基本操作时钟发生器产生，并加到各有关中央处理器以使各中央处理器彼此同步，图4 展示其时钟发生器电路的结构。在由振荡器1 供应的系统时钟的基础上，基本操作时钟发生器20 产生用以激发各有关中央处理器30 的基本操作时钟，并且把它们加至各有关中央处理器30。

这种结构被沿用以缩小作为公共部分的基本操作时钟发生器的尺寸。然而，由于集成电路技术的进展，限定物理尺寸的因素往往不仅严重地依赖于逻辑的量值，也严重地依赖输入、输出端的数目。由于基本操作时钟必须分配给图4 例示的结构中的各有关中央处理器，因而，基本操作时钟发生器的输出端数目由供应给基本操作时钟的中央处理器30 的数目所限定。于是限定了缩小基本操作时钟发生器20 物理尺寸的极限。因此，妨碍了系统的尺寸缩小，并可能增加其成本。

为克服这些缺点的对策，作为例子，基本操作时钟发生器如图5 所示安装给每个中央处理器，在例如图5 的中央处理单元2 中，基本操作时钟发生器21 在由振荡器供给的系统时钟的基础上，为中央处理器22 产生基本操作时钟，并将此基本操作时钟加到中央处理器22。相同的操作也在其它中央处理单元中进行。

在图5所示的结构中，基本操作时钟发生器只需要在中央处理器本身的中央处理单元中向中央处理器供应基本操作时钟，中央处理单元的最佳化就成为可能。此外，基本操作时钟发生器输入和输出端数的缩小促进了系统尺寸的缩小，并促进了在系统中使用超大规模集成电路。再者，当用建立多个单处理器（每个都有一个中央处理单元）或用增加单个多处理器系统的数目来装配多处理器系统时，使用这种结构是有利的。因而，有可能用完全相同的硬件结构获得种类繁多的一批计算机。

然而，在使用如图5所示的结构时，为在中央处理器之间达到同步，对基本操作时钟之间的相位同步又提出了问题。

例如，在日本专利未经审查的第123911 / 84号公布中，叙述了一种有多个装置的基本操作时钟的校准相位的方法，这种装置包括在系统中，并由那些具有完全相同的重复周期（如图5所示）的基本操作时钟来激发。

根据这种技术，各自相对于两个装置放置的微处理器将时钟源所加的时钟频率分频，并将总线时钟加到相关的装置。为使加给各有关装置的时钟总线同步，两种时钟都加到同一个与门电路。只要与门电路送出一个定时误差信号，其中一个微处理器就不加上时钟，以使其中一个微处理器不能将分频加到由时钟源供应的时钟。因此，其中一个微处理器的总线时钟受到延迟，而相位的相互关系依次被移动。最后，两个总线时钟的相位都相互校准。然而，在使用本法时，必须检测装置间的总线时钟的相差。因此，与门电路的结构根据形成系统的装置数目而改变。当装置数目增加时，与门电路往往变得复杂。由于相位关系要依次移动以达到同步，当总线时钟是在低速下或时有时无地发生时，同步往往会消耗时间。

本发明的一个目的是提供一种装备，用以使一个系统中所包括的多个装置快速同步，并用基本操作时钟来激发这些装置，而不管系统中所

包括的装置数目。

根据本发明，基本操作时钟发生器被安装给各有关装置，而各有关装置的基本操作时钟发生器则造成级联。前一级的基本操作时钟发生器为响应基本操作时钟的每一特殊状态而产生一个同步信号，并且将同步信号加到下一级的基本操作时钟发生器，而下一级的基本操作时钟发生器，应用从基本操作时钟发生器所供应的同步信号作为控制信号，在基本操作时钟里建立起初始状态，因而，各有关装置的基本操作时钟相位是相互匹配的。

图1 是本发明一个实施例的方框图。

图2 详细展示图1 的主要部分。

图3 是解释图2 操作的时间图。

图4 和5 展示常用时钟发生器电路的结构实例。

现在参考图1 至3 来叙述本发明的一个实施例。

图1 是本发明一个实施例的方框图。图1 中，把本发明用到一个包括有两个中央处理部件的系统。

中央处理部件2 由一个基本操作时钟发生器21和一个中央处理器22组成。基本操作时钟发生器21由下列各项组成：一基本时钟发生电路211，在振荡器1 的系统时钟的基础上，用以产生用于基本操作时钟发生器21的基本时钟；一个基本操作时钟发生电路212，在基本时钟基础上，用以产生基本操作时钟；一个同步信号发生电路213，它产生一同步信号以同步基本操作时钟发生器；一个同步信号输出端215，用以送出同步信号；一个相位同步电路214，在后述的控制信号的基础上，在基本时钟发生电路211 里建立一个特殊状态；以及一个控制信号端216，用以接收控制信号。用同样的方式，一个中央处理部件3 由一基本操作时钟发生器31和一个中央处理器32组成。基本操作时钟发生器31由下列各项组成：一个基本时钟发生电路311，一个基本操作时钟发生

电路312，一个同步信号发生电路313，一个同步信号输出端315，一个相位同步电路314，以及一个控制信号输入端316。这些处理部件2和3的每一个都可由一个超大规模集成电路组成或可由分立的单元组成。

在图1所示的情况下，中央处理部件2的基本操作时钟发生器21作为主要部件，用以实现基本操作时钟之间的相位同步，中央处理部件3的基本操作时钟发生器31用作次要部件。即处于主要部件的基本操作时钟发生器21的同步信号输出端215，被连到处于次要部件的基本操作时钟发生器31的控制信号输入端316。在由主要部件的基本时钟发生电路211所提供的定时信号的基础上，由同步信号发生电路213产生的同步信号，被次要部件的相位同步电路314接收作为控制信号，以便在基本时钟发生电路311中建立一预定状态。通过这种操作，当处于主要部件的基本时钟发生电路311的状态和基本时钟发生电路211的状态相匹配时，就达到主次部件之间的相位同步。一直到处于主要部件的基本时钟发生电路211的输出信号作为状态建立的信号被加到次要部件的基本时钟发生电路311为止。它通过了连接同步信号发生电路311的布线图、相位同步电路314、同步信号输出端215以及控制信号输入端316。这些单元的延迟时间的总和可以在设计相应单元时得到。使从属侧上的基本时钟产生电路311的状态有一个校准延迟时间的值。

在图1中，基本操作时钟发生电路212和312构成分别和同步信号发生电路213和313分开的模块。然而，这两个模块显然都无需提出任何问题就可以集成为一体。也显然的是，这种其基本操作时钟被用作同步信号的结构不会引起任何问题。相同的关系符合于相位同步电路214和314以及基本时钟发生电路211和311，而且也符合于基本时钟发生电路211和311以及基本操作时钟发生电路212和312。在图1所示的结构中，同步信号发生电路213和313的输入是由基本操作时钟发生电路212和312的输入取出的。然而，举例来说，即使那些输入是从基本

操作时钟发生电路212 和312 的输出取出的，显然也不会引起问题。

参考图2 和3 ，将进一步详述本发明实施例的操作。在图2 中，图1 所示的主、次部件的基本时钟发生电路211 和311 分别由四位的计数器41和51组成。而主要部件的同步信号发生电路213 则由一个与门42组成。次要部件的相位同步电路314 是由边缘触发型的双稳电路53组成。四位的计算器41和51是循环计数器。图2 只示出直接与叙述操作有关的部分。主要部件的相位同步电路214 、次要部件的同步信号发生电路313 ，以及如图1 所示的分别是主、次部件的基本操作时钟发生电路212 和312 则被略去，图3 是达到相位同步后的时间图，用以解释图2 各个部分的操作。

振荡器1 送出系统时钟(图3 (a)) 。

组成主要部件的基本时钟发生电路211 的四位计数器41对振荡器1 所供应的系统时钟(图3 (d)) 进行计数，如图3 (d) 所示。在振荡器和基本时钟发生电路之间的传送期间，由于接线的延迟，而使系统时钟延迟了时间d 。当计数器41计到数值“14”时，要使与门42的结构能产生一个脉冲(同步信号) ，如图3 (e) 所示。与门42输入端处的小圈代表负逻辑操作。响应计数器41的计数值“14”而产生的同步信号作为控制信号，被送到次要部件的相位同步电路314 ，如图3 (f) 所示。在与门42传送到次要部件的相位同步电路53期间，由于器件的延迟和接线的延迟，同步信号延迟了时间D。因为延迟时间D没有超过一个系统时钟，故当计数达到14时，要使与门42的结构能产生一个脉冲。在延迟时间D等于两个系统时钟的情况下，当计数达到13时，要使所设计的与门42能产生一个脉冲。

于是，以这样一个延迟时间传输的同步信号就被保持，而当计数器41计到“15”，即一个主时钟的延迟时间时，才被送出。响应计数器41的计数“15”而产生的信号如图3 (g) 所示，这个信号作为次要部件的

基本时钟发生电路311 的状态建立信号，被加到组成基本时钟发生电路311 的四位计数器51的负载端。这个状态建立信号被延迟了，举例来说，被器件的延迟和接线的延迟而延迟。结果是，在计数器41计到“0”时，组成次要部件的基本时钟发生电路311 的四位计数器51被复原到在置于计数器51的数据输入端D0至D3 处的起始值“0”。图3 的箭头代表计数器51恢复到“0”的瞬间。

当主要部件的计数器41的计数是“0”时，也用“0”输入到次要部件的计数器51。不论次要部件的计数器51的计数器值在图3 (h) 的箭头前是什么值，主要部件在箭头表示的瞬间是和次要部件同步的。因为同步信号一在主要部件产生，上述同步操作就进行，也就保障了同步锁定的快速性。

图1 的系统包括两个中央处理部件2 和3。在使用三个中央处理部件的情况下，中央处理部件3 的基本操作时钟发生器31被选择为主要部件，而由其同步发生电路313 产生的同步信号，通过接线端315 被加到包括在下一级中央处理部件中的基本操作时钟发生器的相位同步电路。或者是中央处理部件2 被选择为整个系统的主要部件，则由同步信号发生电路213 产生的同步信号通过接线端215 或者按照中央处理部件3 相同的方式，从第三部件被加到包括在下几级的中央处理部件中的基本操作时钟发生器的相位同步电路，当然，这两种方法可以合并，这些方法中的任何一种都能以同一方式应用到包括任意数目的系统中。也显而易见的是同步信号发生电路和相位同步电路的数目不需和由基本操作时钟供应的部件数目相符。亦即，当使用前法时，第一级部件的相位同步电路和最后一级部件的同步信号发生电路不是必不可少的。而当使用后法时，前一级或主要部件的相位同步电路和后一级或次要部件的同步信号发生电路也不是必不可少的。

在上述实施例中，由振荡器1 产生的系统时钟，在相同的延迟d 后，

被加到主要部件的基本时钟发生电路211 和次要部件的基本时钟发生电路311 。这是因为振荡器1 和基本时钟发生电路211 之间的线长做得和振荡器1 和基本时钟发生电路311 之间的线长相等。

如上所述，本发明有可能快速地使独立产生的多个部件的基本操作时钟同步，并使用和部件数目无关的电路结构。于是，可以低成本而又轻易地实现单元的扩展。

图 1

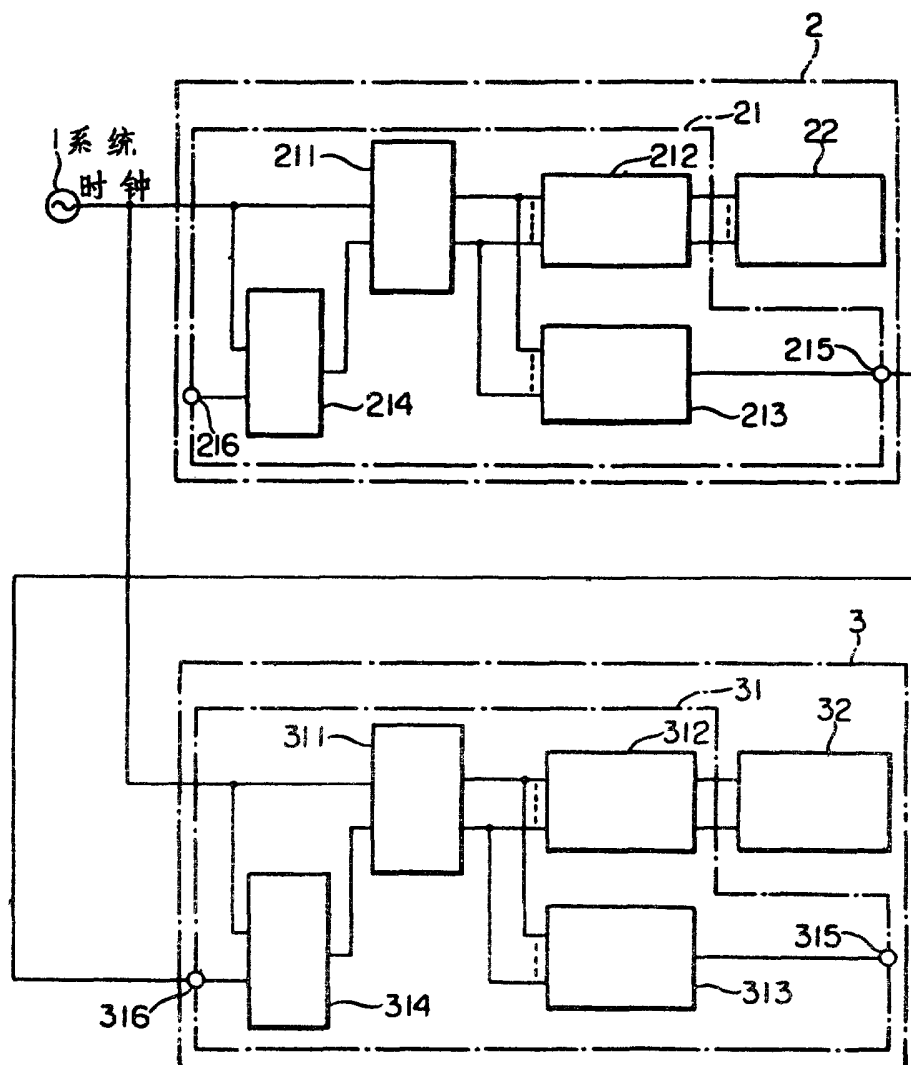


图 2

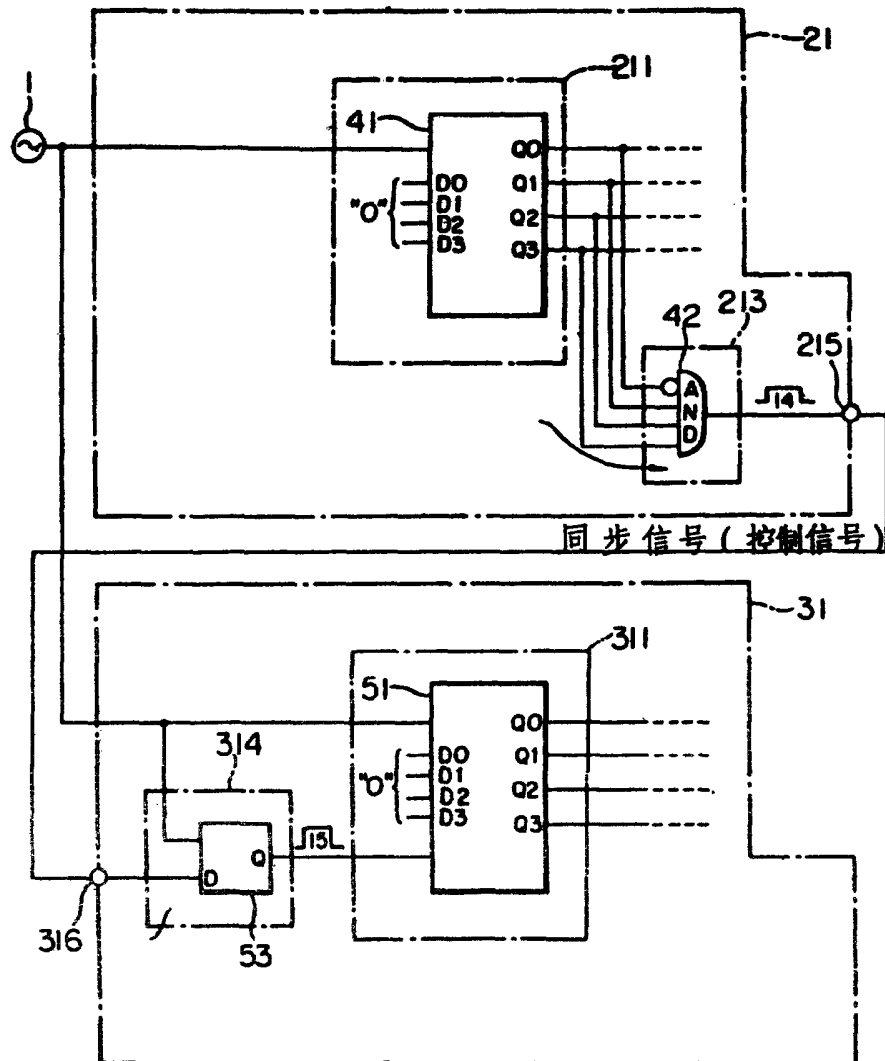


图 3

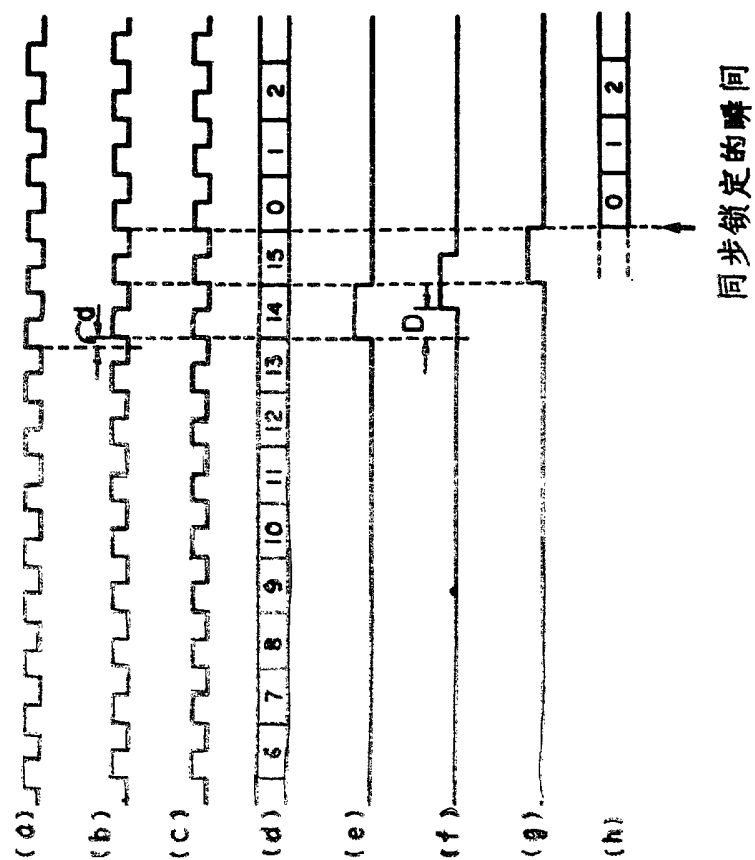


图 4

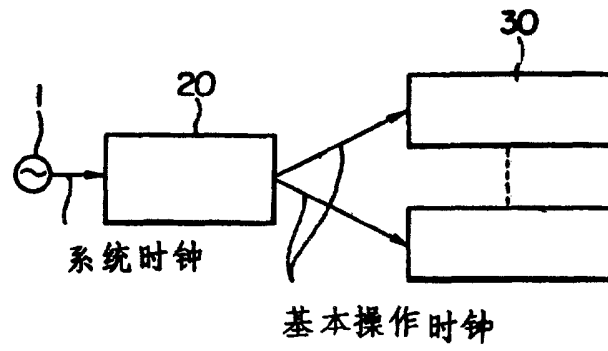


图 5

