



(45)授权公告日 2018.04.10

权利要求书2页 说明书9页 附图26页

1. 一种电气系统,包括:

第一电气部件,其具有第一极性的差动远端串扰FEXT;以及

第二电气部件,其耦合至所述第一电气部件,并且具有第二极性的差动FEXT;

其中所述第一极性是所述第二极性的相反极性,以产生FEXT抵消,

其中所述第一电气部件包括印刷电路板,所述印刷电路板包括至少两对信号过孔,其中所述第二电气部件包括电气连接器,所述电气连接器包括多个信号导体,并且其中所述至少两对信号过孔连接到至少两对信号焊盘,所述至少两对信号焊盘被配置成通过所述电气连接器的所述多个信号导体来安装,

其中所述至少两对信号过孔中的第一对被布置在相对于所述至少两个信号过孔中的第二对的第一位置处,使得所述至少两个信号过孔中的所述第一对和所述第二对中的至少之一的极性具有与所述多个信号导体中的至少一对的差动FEXT极性相反的差动FEXT极性。

2. 根据权利要求1所述的电气系统,其中所述第一电气部件通过表面贴装耦合至所述第二电气部件。

3. 根据权利要求1所述的电气系统,其中所述第一电气部件通过球栅阵列BGA耦合至所述第二电气部件。

4. 根据权利要求1所述的电气系统,其中所述多个信号导体连接至被配置成引发正差动FEXT的边缘耦合过孔结构。

5. 根据权利要求1所述的电气系统,其中所述多个信号导体连接至被配置成引发负差动FEXT的宽边耦合过孔结构。

6. 根据权利要求1所述的电气系统,其中所述第一电气部件和所述第二电气部件中的一个包括被配置成引发负差动FEXT的宽边耦合过孔结构,并且其中所述第一电气部件和所述第二电气部件中的另一个包括被配置成引发正差动FEXT的边缘耦合过孔结构。

7. 根据权利要求1所述的电气系统,其中所述第一电气部件和所述第二电气部件中的一个包括被配置成引发负差动FEXT的宽边耦合过孔结构。

8. 根据权利要求1所述的电气系统,其中所述第一电气部件和所述第二电气部件中的一个包括被配置成引发正差动FEXT的边缘耦合过孔结构。

9. 根据权利要求1所述的电气系统,其中所述电气系统包括连接器,其中所述第一电气部件包括具有被配置成引发正差动FEXT极性的边缘耦合结构的连接器的第一部分,其中所述第二电气部件包括具有被配置成引发负差动FEXT的宽边耦合结构的连接器的第二部分,从而产生所述连接器的第一部分中引发的所述正差动FEXT极性的FEXT抵消。

10. 一种印刷电路板PCB,其包括电连接到至少两对信号焊盘的至少两对信号过孔,在所述至少两对信号焊盘上安装电气连接器的信号导体,

其中所述至少两对信号过孔中的第一对布置在相对于所述至少两对信号过孔中的第二对的位置处,其中由攻击过孔对引起的差动FEXT的极性与由所述信号导体的攻击信号导体引起的差动FEXT的极性相反,其中所述攻击过孔对是所述第一对和所述第二对之一,

其中所述第一对布置在相对于所述第二对的所述位置处,使得所述第一对和所述第二对中的至少之一的极性具有与所述信号导体中的至少一对的差动FEXT极性相反的差动FEXT极性。

11. 根据权利要求10所述的印刷电路板,其中所述第一对包括输入差动端口,所述输入

差动端口包括第一输入端口和第二输入端口,其中所述第二对包括输出差动端口,所述输出差动端口包括第一输出端口和第二输出端口;其中所述第一对和所述第二对被布置为使得从所述输入差动端口至所述输出差动端口的差动FEXT是基于以下两个和之间的差:

从所述第一输入端口至所述第一输出端口的第一单端散射参数与从所述第二输入端口至所述第二输出端口的第二单端散射参数的和;以及

从所述第一输入端口至所述第二输出端口的第三单端散射参数与从所述第二输入端口至所述第一输出端口的第二单端散射参数的和。

12. 根据权利要求10所述的印刷电路板,其中所述信号导体连接至被配置成引发正差动FEXT的印刷电路板的边缘耦合过孔结构。

13. 根据权利要求10所述的印刷电路板,其中所述信号导体连接至被配置成引发负差动FEXT的印刷电路板的宽边耦合过孔结构。

14. 根据权利要求10所述的印刷电路板,其中所述印刷电路板通过表面贴装而耦合至所述信号导体。

15. 根据权利要求10所述的印刷电路板,其中所述印刷电路板通过球栅阵列BGA而耦合至所述信号导体。

电气系统和印刷电路板

[0001] 相关申请的交叉引用

[0002] 本申请要求于2014年6月9日提交的第62/009,801号美国临时专利申请的优先权,为所有目的通过引用将其整体合并在本文中。

技术领域

[0003] 本文所描述的系统、装置、方法和示例实现方式总体上涉及用于减小远端串扰(Far-End Crosstalk) (FEXT) 的系统,尤其涉及在传送差动信号的电镀通孔(through hole)和电气连接器中减小FEXT。

背景技术

[0004] 随着电信产业中对更高带宽的要求持续增长,每个设备可能需要更多的计算能力和布线(routing)能力。与信号密度增大一样,每个信号信道的数据速率也持续增大。因此,出现在相邻信道之间的不期望的噪声或电磁耦合明显增加。因为与单端数据线相比之下的噪声减小和高速适用性,差动信号已经成为用于数据传送的优选的现有技术方法。

[0005] 对于所考虑的差动受害对(victim pair),在这些相邻对中的至少一对处于活动时,在整个数据传送路径上出现来自相邻攻击对(aggressor pair)的不期望的电磁耦合(例如串扰)。在攻击方的传送器和受害方的接收器物理上彼此远离(例如位于不同的芯片)时,沿着与信号相同的方向引发的串扰被称为远端串扰或FEXT。

[0006] 一般而言,由于信号线的紧挨,芯片封装、连接器和过孔(via)是FEXT的首要源。已经通过增大间隔、在差动对之间增加接地、使差动对内的耦合紧密或平衡电感耦合系数和电容耦合系数而进行了减小印刷电路板(PCB)上的过孔区中的FEXT的若干尝试。在示例的现有技术实现方式中,两个邻近的过孔对被对称和等距离地制造,以减小过孔自身的FEXT。

[0007] 然而,这种有关的尝试已经增加了对分配的基板面(real estate)的消耗,在设计和实现方面增加了困难,并且在减小累积总的FEXT方面相对不足,尤其是在较高频率系统中。因此,存在着对于减小总的FEXT的另外方法的需要。

发明内容

[0008] 在示例实现方式中,减小FEXT的一个方法是通过平衡电容和电感耦合。FEXT与电容耦合和电感耦合之间的差成比例的概念至少在低频对于2线无损系统是有效的。FEXT还取决于阻抗失配以及电阻和电导(conductive)耦合。在多线系统中或在高频下,可以使用模态分解(modal decomposition),而不是RLGC耦合(其中R是电阻性的,L是电感性的,G是电导性的和C是电容性的)来说明FEXT。

[0009] 本文中所描述的本公开内容和示例涉及基于FEXT(或差动FEXT)是累积性的概念来减小系统中的总的差动FEXT(不是单端FEXT)。本公开内容在以下方面与现有技术中的平衡电容和电感耦合不同:本公开内容通过操作差动FEXT耦合中的四个单独的单端项(single-ended term)以给出正极性或负极性而应用于高频下的多线有损系统。

[0010] 对于具有如下配置的两个耦合差动对的系统：第一对具有作为输入的端口1和2（统称为差动端口1）以及作为输出的端口5和6（统称为差动端口3），第二对具有作为输入的端口3和4（统称为差动端口2）以及作为输出的端口7和8（统称为差动端口4），从差动端口1至差动端口4的差动FEXT，SDD41，由 $SDD41 = (S71 + S82 - S72 - S81) / 2$ 给出，其中 S_{ij} 表示从端口j至端口i的单端散射参数（scattering parameter）（或S参数）。因此，如果 $S71 + S82$ 大于 $S81 + S72$ ，则存在正极性差动FEXT，如果 $S81 + S72$ 大于 $S71 + S82$ ，则存在负极性差动FEXT。每个单端项 $S71$ 、 $S81$ 、 $S72$ 或 $S82$ 在低频意义上是否更加电感性耦合或更加电容性耦合是不相关的。

[0011] 通过布置结构几何形状和/或位置，能够使 $S71 + S82$ 大于或小于 $S81 + S72$ ，其中可以引起正极性或负极性的SDD41。一个示例是宽边耦合（broadside-coupled）结构将产生负极性差动FEXT，并且边缘耦合（edge-coupled）结构将产生正极性差动FEXT。因此，如果系统包含宽边耦合结构和边缘耦合结构两者，总的累积差动FEXT将趋于更小。FEXT极性优化技术能够应用于芯片封装、连接器、印刷电路板（PCB）或经受FEXT的任何差动系统。

[0012] 在示例实现方式中，能够利用包含具有相反极性的电气部件的任何电气系统来减小FEXT。本文所描述的示例实现方式能够适用于诸如个人计算机、服务器、交换机和路由器的应用，对于它们来说使用高速差动信号发送作为用于数据传送的方法。

[0013] 在示例实现方式中，具有第一极性的第一电气部件连接至具有第二极性的第二电气部件，其中第二极性与第一极性相反。通过利用部件上的相反极性，能够减小电气系统上的累积差动FEXT。在本公开内容的示例实现方式中，存在着连接至连接器部件的过孔或PCB部件。然而，能够在包含多个部件（诸如要封装的过孔/PCB部件、机械地连接至连接器（例如两件式连接器、三件式连接器）的第二部分的连接器的第一部分等等）的任何电气系统中实现相反极性部件的实现方式。

[0014] 在本公开内容的一个方面中，通过考虑在诸如电气连接器的邻近源处引发的差动FEXT，在PCB过孔设计中实现该思想。使用现有过孔设计技术，在过孔的差动对之间放置有许多接地过孔作为屏蔽，然而，残余差动FEXT仍与连接器的FEXT累积。在示例实现方式中，通过理解如下内容来实现FEXT抵消：宽边耦合差动对产生差动FEXT的负极性，而边缘耦合差动对产生正极性。这允许PCB设计者通过理解连接器的差动FEXT来选择他们/她们的系统中的过孔设计，以实现差动FEXT抵消。

[0015] 本公开内容的实现方式的附加属性的示例可以包括，但不限于，空间节约、PCB布线容易、以及通过连接器的稳定的功率分配。放置过多间隔开的接地过孔和信号过孔将导致过孔区的PCB基板面的大量消耗、用于布线以避免过孔的空间有限、以及电源平面上密集散布的隔离盘（antipad）引起的连接器处的差的功率分配。用本文描述的示例实现方式，能够使用更少数量的接地过孔来实现在过孔处充足的FEXT以将FEXT偏移连接器，在许多情况下连接器大于过孔。

[0016] 根据本发明的一个方面，提供了一种电气系统，包括：第一电气部件，其具有第一极性的差动远端串扰FEXT；以及第二电气部件，其耦合至所述第一电气部件，并且具有第二极性的差动FEXT；其中所述第一极性是所述第二极性的相反极性，以产生FEXT抵消，其中所述第一电气部件包括印刷电路板，所述印刷电路板包括至少两对信号过孔，其中所述第二电气部件包括电气连接器，所述电气连接器包括多个信号导体，并且其中所述至少两对信

号过孔连接到至少两对信号焊盘,所述至少两对信号焊盘被配置成通过所述电气连接器的所述多个信号导体来安装,其中所述至少两对信号过孔中的第一对被布置在相对于所述至少两个信号过孔中的第二对的第一位置处,使得所述至少两个信号过孔中的所述第一对和所述第二对中的至少之一的极性具有与所述多个信号导体中的至少一对的差动FEXT极性相反的差动FEXT极性。

[0017] 根据本发明的另一个方面,提供了一种印刷电路板PCB,其包括电连接到至少两对信号焊盘的至少两对信号过孔,在所述至少两对信号焊盘上安装电气连接器的信号导体,其中所述至少两对信号过孔中的第一对布置在相对于所述至少两对信号过孔中的第二对的位置处,其中由攻击过孔对引起的差动FEXT的极性与由所述信号导体的攻击信号导体引起的差动FEXT的极性相反,其中所述攻击过孔对是所述第一对和所述第二对之一,其中所述第一对布置在相对于所述第二对的所述位置处,使得所述第一对和所述第二对中的至少之一的极性具有与所述信号导体中的至少一对的差动FEXT极性相反的差动FEXT极性。

[0018] 应当理解前述描述和以下描述都仅是示例性和解释性的,并且不意图以任何方式限制所要求保护的发明或其应用。

附图说明

[0019] 被合并在本说明书中并且构成本说明书的一部分的附图举例示出了本发明的实施方式,并且附图和说明书正文一起用于说明和示出本创新性的技术的原理。具体地:

[0020] 图1示出根据示例实现方式的使用和不使用过孔的FEXT极性优化以将连接器信号引入PCB的整个通信信道上的受害方的FEXT的累积。

[0021] 图2示出根据示例实现方式的图1中示出的信道示意图的3D图像。

[0022] 图3(a)示出根据示例实现方式的边缘耦合过孔的示例。

[0023] 图3(b)和3(c)示出根据示例实现方式的图3(a)的边缘耦合过孔的示例图。

[0024] 图4(a)示出根据示例实现方式的宽边耦合过孔的示例。

[0025] 图4(b)至4(d)示出根据示例实现方式的宽边耦合过孔的示例图。

[0026] 图5(a)和5(b)示出根据示例实现方式的示出常规过孔布线和新颖过孔布线布局的PCB的顶视图。

[0027] 图6(a)和6(b)示出根据示例实现方式的用于常规和新颖过孔布线的接地层上的隔离盘。

[0028] 图7(a)和7(b)示出根据示例实现方式的过孔区中电源平面上的隔离盘散布。

[0029] 图8(a)至8(d)示出后跟着边缘耦合过孔的两个差动微带对的正极性FEXT的FEXT累积的示例。

[0030] 图9(a)至9(d)示出根据示例实现方式的被宽边耦合过孔的负极性FEXT抵消的两个差动微带对的正FEXT的示例。

[0031] 图10示出根据示例实现方式的对过孔FEXT的量值和极性具有影响的变量的示例。

[0032] 图11示出应用于高速、低堆叠高度、表面贴装(SMT)型连接器的示例实现方式。

[0033] 图12(a)示出根据示例实现方式的PCB焊盘布局。

[0034] 图12(b)和12(c)示出根据示例实现方式的针对仅连接器模型、仅过孔模型和过孔-连接器-过孔级联模型的频域和时域中的差动FEXT的图。

- [0035] 图13(a)示出根据示例实现方式的对。
- [0036] 图13(b)示出根据示例实现方式的SMT型连接器。
- [0037] 图13(c)示出根据示例实现方式的过孔模型级联和不级联的连接器的插入损耗串扰比(ICR)的图。
- [0038] 图14示出应用于高速、高堆叠高度、表面贴装(SMT)型连接器的示例实现方式。
- [0039] 图15(a)示出根据示例实现方式的对。
- [0040] 图15(b)和15(c)示出根据示例实现方式的针对仅连接器模型、仅过孔模型和过孔-连接器-过孔级联模型的频域和时域中的差动FEXT的图。
- [0041] 图16(a)示出根据示例实现方式的对。
- [0042] 图16(b)示出根据示例实现方式的过孔模型级联和不级联的连接器的插入损耗串扰比(ICR)的图。
- [0043] 图17(a)至17(d)示出应用于具有负极性FEXT的电气连接器和具有正FEXT的过孔设计的示例实现方式。
- [0044] 图18(a)和18(b)示出应用于BGA连接器的示例实现方式。
- [0045] 图19(a)至19(b)示出现有技术配置,图19(c)至19(d)示出应用于电气连接器的示例实现方式。

具体实施方式

[0046] 以下具体描述提供了本申请的附图和示例实现方式的进一步细节。为了清楚,省略了附图之间的多余元件的附图标记和描述。在整个说明书中使用的术语作为示例而提供,并非意图限制。例如,取决于实践本申请的实现方式的本领域普通技术人员之一的实现方式,术语“FEXT抵消”的使用可以包含FEXT的一定减小或显著减小。

[0047] 图1示出根据示例实现方式的使用和不使用过孔的FEXT极性优化以将连接器信号引入PCB的整个通信信道上的受害方的FEXT的累积。除非另外声明,否则本文中的FEXT将表示‘差动FEXT’的意思。差动对100充当活动信道或攻击方,具有输入101和输出102。图示140示出攻击方和受害方的信道内的部件(PCB、过孔1、连接器、过孔2、PCB)的示例。信道110、120和130是受害方信道,并且每个信道示出FEXT累积的不同情况。具体地,具有输入111和输出112的受害方信道110示出现有技术的FEXT累积。在信号103传播通过差动对100时,在信道110中,在过孔1处观察到FEXT 114、在连接器处观察到FEXT 115、在过孔2处观察到FEXT 116。因为每个FEXT部件的极性为正,所以在输出112处产生的总的串扰示出为117。

[0048] 具有输入121和输出122的受害方信道120示出通过设计过孔以产生与连接器相反的极性的FEXT抵消的示例。具体地,过孔FEXT 124和126为负,并且连接器FEXT 125为正。在输出122处相加之后,所得到的FEXT示出为127。

[0049] 具有输入131和输出132的受害方信道130示出FEXT抵消的另一个示例,其中过孔FEXT 134和136为正,并且连接器FEXT 135为负。输出132处的相加示出信道130的总FEXT 137。

[0050] 图2示出根据示例实现方式的图1中示出的信道图示140的示例。设置多层PCB 200和多层PCB 201,其中在过孔区202和过孔区203附近安装表面贴装型连接器204。在过孔区202和过孔区203的详细横截面205中,在PCB内将线207布线作为带状线,并且使线207达到

表面以使用过孔206与连接器链接。

[0051] 图3(a)示出边缘耦合过孔的示例。过孔300和过孔301示出第一差动对,并且过孔302和过孔303示出与第一差动对并排放置的第二差动对。边缘耦合过孔将被称作画过过孔300和301的中心的直线305与画过过孔302和303的中心的直线306重叠的地方。第一差动对过孔和第二差动对过孔之间的这种边缘耦合配置产生正的FEXT。

[0052] 图3(b)的图表示时域串扰,该时域串扰示出了差动FEXT 320和对应的单端项310(从过孔300至302的串扰)、单端项311(从过孔300至303的串扰)、单端项312(从过孔301至302的串扰)和单端项313(从过孔301至303的串扰)。注意单端项310和313由于对称而基本相似,因此图3(b)和图3(c)的近视图中示出的线基本上重叠。在对过孔300分配端口1作为输入并且分配端口5作为输出、对过孔301分配端口2作为输入并且分配端口6作为输出、对过孔302分配端口3作为输入并且分配端口7作为输出、对过孔303分配端口4作为输入并且分配端口8作为输出时,将FEXT形象化为 $(S71+S82-S72-S81)/2$,这产生如320处示出的正FEXT值。在不损失一般性的情况下,已经使用注入到每个输入端口的50ps(20%至80%)上升时间和1伏特摆动的阶梯输入来计算了图3(b)和所有随后的图中的时域串扰。

[0053] 图4(a)示出了根据示例实现方式的宽边耦合过孔的示例。过孔400和过孔401示出第一差动对,过孔402和过孔403示出相对于第一差动对以宽边配置而放置的第二差动对。宽边过孔将被称作画过过孔400和401的中心的直线405与画过过孔402和403的中心的直线406平行的地方,其中画过第一差动对的过孔400和第二差动对的过孔402的直线410以及画过第一差动对的过孔401和第二差动对的过孔403的直线411垂直于直线405和直线406。当平行线405和406从与直线410和411垂直的情况稍微偏斜时,所得的配置将被称为具有偏移的宽边。第一差动对过孔和第二差动对过孔之间的这种宽边耦合结构产生负的FEXT。

[0054] 图4(b)的图表示时域串扰,该时域串扰示出了差动FEXT 430和对应的单端项420(从过孔400至402的串扰)、单端项421(从过孔400至403的串扰)、单端项422(从过孔401至402的串扰)和单端项423(从过孔401至403的串扰)。注意由于对称,420和423基本相似,并且由于对称,421和422也基本相似,因此分别地,如图4(c)和4(d)的近视图中示出的,420的图线基本与423的图线重叠,421的图线基本与422的图线重叠。在对过孔400分配端口1作为输入并且分配端口5作为输出、对过孔401分配端口2作为输入并且分配端口6作为输出、对过孔402分配端口3作为输入并且分配端口7作为输出、对过孔403分配端口4作为输入并且分配端口8作为输出时,将FEXT形象化为 $(S71+S82-S72-S81)/2$,这产生如430处示出的负FEXT值。能够通过增大或减小420和421之间的差以及422和423之间的差来控制它的量值。实现这个的一个方法是增大或减小第一和第二差动对过孔之间的距离,其中用线405和线406的交点之间的线410或411来表示距离。较大距离将产生较小的差,从而产生较小的负差动FEXT,并且较小的距离将产生较大的差,从而产生较大的负差动FEXT。

[0055] 图5(a)和(b)示出PCB 540和541的顶视图,示出了现有技术的过孔布线和示例实现方式中的过孔布线布局。图5(a)的布局500示出现有技术的过孔布线,其具有用于在相邻差动对过孔之间进行串扰屏蔽的接地过孔510分布,并且布局501示出具有减少的接地过孔511的示例实现方式过孔布线。在图5(a)的布局500中,对于要安装的连接器的表面贴装焊盘530在图的底部附近排成行。诸如515的差动线将表面贴装焊盘连接至差动对520的过孔,以布线进入内层。

[0056] 接地过孔510总是出现在相邻差动对的两个信号过孔之间或附近,诸如在差动对520的右信号过孔和差动对522的左信号过孔之间,或在差动对522的右信号过孔和差动对524的左信号过孔之间。在连接器上的多个引脚上重复图5(a)的布局图案或单元(cell)500,因此在每个单元内需要另外的接地过孔。在图5(b)的布局501中,对于要安装的连接器的表面贴装焊盘531在图的底部附近排成行。注意这个布局中的连接器引脚将具有边缘耦合取向,因为引脚就像图3中的过孔一样并排对齐。诸如516的差动线将表面贴装焊盘连接至差动对521的过孔,以用于布线进入内层。所有邻近对过孔采用宽边配置,以产生负极性的FEXT。提供接地过孔511,以在PCB 541的所有接地层之间提供电气连接,并且控制用于内部带状线层的过孔围墙(via fence)的半波长谐振。注意没有接地过孔511出现在差动对521和523的信号过孔之间,以及差动对523和525的信号过孔之间,以将邻近的对之间的过孔耦合增大到足够将连接器的FEXT偏移 to 相反极性。

[0057] 图6(a)和6(b)示出根据示例实现方式的用于常规过孔布线和新颖过孔布线的接地层上的隔离盘。除了图5(a)和5(b),该布局中可见的各方面包括远离过孔布线的差动对520和521的带状线525和526。图6(a)的层640和图6(b)的层641表示接地层,并且在所有接地层上存在隔离盘620和621。

[0058] 图7(a)和7(b)示出根据示例实现方式的过孔区中电源平面上的隔离盘分布。图7(a)的现有技术布局500示出了用以防止信号和接地过孔与电源平面短接的电源平面740上的密集散布的隔离盘710。密集散布的孔引起直流(DC)拥塞(DC crowding),并且可以产生能够对PCB具有不利影响的不希望的热。图7(b)的新颖过孔布局501示出了在电源平面741上更少的隔离盘711,因为必要的接地过孔的数量明显更少。

[0059] 图8(a)至8(d)示出后跟着边缘耦合过孔的两个差动微带对的正极性FEXT的FEXT累积的示例。在图8(a)中示出的微带中存在两个差动对,如在PCB模型800上所示出的,对于第一差动对,具有输入801和输出803,并且对于第二差动对,具有输入802和输出804。图8(b)的过孔模型810包括具有输入811和输出813的第一差动对,以及具有输入812和输出814的第二差动对。各个差动对过孔采用边缘耦合配置而并排放置。将PCB模型800数据和过孔模型810数据级联,以观察总的累积FEXT,其中PCB模型800的输出803连接至过孔模型810的输入811,并且PCB模型800的输出804连接至过孔模型810的输入812。图8(c)的图820示出微带模型821、边缘耦合过孔模型822和级联的微带至边缘耦合过孔823的频域中的FEXT。图8(d)的图830示出微带模型831、边缘耦合过孔模型832和级联的微带至边缘耦合过孔833的时域中的FEXT。如根据FEXT累积的概念以及两个单独的模型产生正值FEXT所预期的,在两种情况下能够观察到级联模型示出未减小的FEXT。

[0060] 图9(a)至9(d)示出根据示例实现方式的、在与宽边耦合过孔的负极性FEXT级联时所减小的两个差动微带对的正FEXT的示例。在图9(a)中使用来自图8(a)的同一PCB模型800。图9(b)的过孔模型910包括具有输入911和输出913的第一差动对,以及具有输入912和输出914的第二差动对。采用宽边耦合配置来放置各个差动对过孔。将PCB模型800数据和过孔模型910数据级联,以观察总的累积FEXT,其中PCB模型的输出803连接至过孔模型的输入911,并且PCB模型的输出804连接至过孔模型的输入912。图9(c)的图920示出微带模型921、宽边耦合过孔模型922和级联的微带至宽边耦合过孔923的频域中的FEXT。如图920中示出的,总的FEXT减小。图9(d)的图930示出微带模型931、宽边耦合过孔模型932和级联的微带

至宽边耦合过孔933的时域中的FEXT。由于微带和过孔串扰FEXT为相反极性,所以累积的FEXT可以明显变小。

[0061] 图10示出根据示例实现方式的、能够对过孔FEXT的量值和极性具有影响的过孔配置的示例变量。图10表示来自图5(b)的宽边过孔布局501的3D图像,并且放大到两个邻近的差动对。过孔1003和过孔1004表示第一差动对,并且过孔1005和过孔1006表示第二差动对。使用微带516将第一差动对布线在PCB的顶上,并且第一差动对连接至连接器焊盘(未示出),并且使用带状线526将第一差动对布线通过PCB。使用微带517将第二差动对布线在PCB的顶上,并且第二差动对连接至连接器焊盘(未示出),并且使用带状线527将第二差动对布线通过PCB。

[0062] 第一差动对过孔和第二差动对过孔之间的间隔1007控制负FEXT的量值。增大的间隔产生更小的量值,并且减小的间隔产生更大的量值。过孔1008的深度也控制负FEXT的量值。更深的过孔产生更大的量值,并且浅的过孔产生更小的量值。差动对的两个信号过孔之间的间隔1009控制对内的耦合,其影响邻近的差动对之间的耦合强度。对内的紧过孔耦合显示出与邻近对的较小的串扰,并且对内的松耦合过孔显示出与邻近对的较大的串扰。第一和第二差动对之间的偏移1010或偏移角度1015控制过孔FEXT的量值和极性。在偏移角度1015从0至90°扫过时,FEXT从负值变至正值。注意0°偏移产生最大的负FEXT,并且90°偏移产生最大的正FEXT。在某个角度1015处,极性从负转变为正,并且在该转变角度处,邻近对之间的过孔的FEXT非常小。

[0063] 上述的变量不是仅有的可用变量,而是已经发现会改变FEXT的变量。在控制用于偏移连接器的FEXT所需要的的过孔FEXT的量值方面,这些变量可以是有用的。例如,假定连接器显示出大的正极性FEXT,并且第一和第二对之间的过孔间隔1007(其能够由连接器引脚间距确定)不是足够接近以产生偏移连接器FEXT所需的负值。如果有可能,可以考虑通过使用更长的过孔1008、对内(intra pair)过孔之间的增加的间隔1009、或甚至是减小的对间(inter pair)过孔间隔1007,来在PCB内的更深的层上布线。另一方面,如果过孔FEXT太强,可以考虑减小对内过孔间隔1009,或添加偏移1010。

[0064] 图11示出应用于高速、低堆叠高度、表面贴装(SMT)型连接器204的过孔设计的示例实现方式。模型501包括宽边耦合过孔,其中邻近信道之间的间隔1007为1.5mm,得自于0.5mm的连接器的引脚间距和接地-信号-信号-接地(GSSG)配置,并且布线层在PCB的顶表面之下0.3mm。在每个末端处模型501数据与连接器204模型级联。

[0065] 图12(a)示出根据示例实现方式的PCB焊盘布局。图12(b)和12(c)示出根据示例实现方式的、针对仅连接器模型、仅过孔模型和过孔-连接器-过孔级联模型的频域和时域中的差动FEXT的图。图12(a)的PCB焊盘布局1220示出连接器引脚分配,其中差动信号的第一行包括对1221、1222和1223,其具有分配在两个连续的对之间的接地焊盘,并且差动信号的第二行包括对1224、1225和1226,其具有分配在两个连续的对之间的接地焊盘。在将对1221分配作为受害方时,最大的串扰在大多数情况下来自于邻近的对1222和1223。因为这个原因,示例实现方式中的本过孔设计目标在于控制邻近对过孔的串扰,以偏移从邻近对出现的连接器串扰。在大多数情况下,连接器串扰更大。图12(b)的图1200示出连接器1201模型、宽边耦合过孔1202模型和级联的宽边过孔-连接器-宽边过孔1203模型的频域中的FEXT。根据仅连接器数据,具有改进的过孔的连接器的总FEXT可以显著减小。图12(c)的图1210示出

连接器1211模型、宽边耦合过孔1212模型和级联的宽边过孔-连接器-宽边过孔1213模型的时域中的FEXT。连接器1211和宽边过孔1212具有相反极性的FEXT,因此在相加之后发生抵消。

[0066] 图13(a)示出根据示例实现方式的对。图13(b)示出根据示例实现方式的SMT型连接器。图13(c)示出过孔模型级联和不级联的连接器的插入损耗串扰比(ICR)的图。考虑图13(a)的五个最接近的FEXT攻击对1224、1225、1226、1222和1223。在第一行的中间选择受害对1221。图13(c)的图1300图示了仅连接器的ICR曲线1301、与连接器级联的宽边耦合过孔的ICR曲线1302、以及与连接器级联的常规过孔500的ICR曲线1303,以及外推的(extrapolated)IEEE 802.3ap 10GBASE-KR规范。希望具有更大的ICR,所以沿着垂直轴更高的值是优选的。使用现有技术过孔1303,其在本示例中被优化,ICR比仅连接器的情况1301略差。然而,在实际实施方式中很可能是显著地差,因为由于非SI约束(non-SI constraints),过孔串扰可能不被完全优化。使用宽边过孔1302的实现方式,相对于仅连接器1301的情况,ICR改善了,这表示通过将宽边耦合过孔模型级联至连接器模型而减小了FEXT。

[0067] 图14示出应用于高速、高堆叠高度、表面贴装(SMT)型连接器的过孔设计的示例实现方式。模型501包括宽边耦合过孔,其中邻近信道之间的间隔1007为1.3mm,其比使用0.5mm连接器引脚间距和GSSG配置的常规间隔略微减小,并且布线层在PCB的顶表面之下0.65mm。如所示出的,在每个末端处模型501数据与连接器1400模型级联。

[0068] 图15(a)示出根据示例实现方式的对。图15(b)和15(c)示出根据示例实现方式的、针对仅连接器模型、仅过孔模型和过孔-连接器-过孔级联模型的频域和时域中的差动FEXT。图15(a)的PCB焊盘布局1520示出连接器引脚分配,其中差动信号的第一行包括对1521、1522和1523,其具有分配在两个连续的对之间的接地焊盘,并且差动信号的第二行包括对1524和1525,其具有分配在两个连续的对之间的接地焊盘。在将1521分配作为受害方时,最大的串扰在大多数情况下来自于邻近对1522和1523。因为这个原因,如在之前的示例中说明的,示例实现方式中的本过孔设计目标在于控制邻近对过孔的串扰,以偏移从邻近对出现的连接器串扰。图15(b)的图1500示出连接器1501模型、宽边耦合过孔1502模型、和级联的宽边过孔-连接器-宽边过孔1503模型的频域中的FEXT。具有改进的过孔的连接器的总FEXT可以比仅连接器数据明显减小。图15(c)的图1510示出连接器1511模型、宽边耦合过孔1512模型和级联的宽边过孔-连接器-宽边过孔1513模型的时域中的FEXT。连接器1511和宽边过孔1512具有相反极性的FEXT,因此,在相加之后发生抵消。

[0069] 图16(a)示出根据示例实现方式的对。图16(b)示出根据示例实现方式的过孔模型级联和不级联的连接器的插入损耗串扰比(ICR)的图。考虑如图16(a)中示出的四个最接近的FEXT攻击对1524、1525、1522和1523。在该示例中,在第一行的中间选择受害对1521。图16(b)的图1600图示了仅连接器的ICR曲线1601、与连接器级联的宽边耦合过孔的ICR曲线1602、以及与连接器级联的常规过孔500的ICR曲线1603,以及外推的IEEE 802.3ap 10GBASE-KR规范。使用现有技术的过孔1603,其在本示例中被优化,ICR比仅连接器的情况1601略差。使用宽边过孔1602的实现方式,相对于仅连接器1601的情况,ICR明显改善,这表示通过将宽边耦合过孔模型级联至连接器模型而出现FEXT抵消。

[0070] 图17(a)至17(d)示出应用于具有负极性FEXT的电气连接器和具有正FEXT的过孔

设计的示例实现方式。图17 (a) 的连接器1700容置如图17 (b) 中示出的两行信号导体1710, 具有端视图1701。如1715指示的, 位于第一行1711上的第一差动对和位于第二行1712上的第二差动对采用宽边耦合配置, 并且产生负极性FEXT。图17 (c) 的PCB布局1720示出现有技术的过孔布局, 其中将来自连接器的对1711安装到焊盘1727上, 并且将来自连接器的对1712安装到焊盘1728上以进行布线。各个过孔1725和1726是间隔开的, 并且不希望有大的累积串扰恶化。图17 (d) 的PCB布局1730示出本公开内容的示例实现方式, 其中将来自连接器的对1711安装到焊盘1737上, 并且将来自连接器的对1712安装到焊盘1738上以进行布线。各个过孔1735和1736被定位为使得第一差动对1711和第二差动对1712遵循边缘耦合配置, 这产生正的FEXT, 并且偏移在连接器内部引发的负的FEXT。

[0071] 图18 (a) 和18 (b) 示出应用于球栅阵列 (BGA) 连接器和其布线过孔设计的示例实现方式。图18 (a) 的BGA连接器1800具有多行1811、1812等等的信号导体。如能够从1801的放大图看到的, 第一行1811包含第一差动对信号导体1813和1814, 第二差动对信号导体1815和1816等等。每行的差动对是边缘耦合。图18 (b) 的PCB布局1820示出在过孔布线中形成宽边耦合的每个连接器信号行。第一行1811包含与连接器导体1813和1814成对的第一差动对BGA接触焊盘1821和1822、与连接器导体1815和1816对接的第二差动对BGA接触焊盘1825和1826。通过对于每个差动对的第一BGA焊盘1821和1825以及狗骨式焊盘 (dog-bone pad) 使用“焊盘中过孔” (via-in-pad), 行1811的第一差动对与行1811的第二差动对形成宽边配置, 以将每个差动对的第二BGA焊盘1822和1826引出至过孔焊盘1823和1827。行1811的第一差动对的过孔位于1821和1823处, 并且行1811的第二差动对的过孔位于1825和1827处, 从而形成有利于FEXT抵消的宽边耦合。这个图示说明充当示例, 并且不必遵循该确切配置以形成宽边过孔配置。

[0072] 图19 (a) 至19 (b) 示出现有技术配置, 图19 (c) 至19 (d) 示出应用于电气连接器的示例实现方式。图19 (a) 的现有技术配置1900示出边缘耦合连接器信号导体1905配置。如所示出的, 插座侧1906和插头侧1907在1904处相配 (mate)。在现有技术中, 相配部分的几何形状由标准委员会限定, 并且不能作修改。插头侧1907信号导体在电缆终端1902处与电缆1903对接。图19 (b) 的连接器的侧视图1910的插入成型 (insert molding) 1912在连接器导体上进行注模成型, 并且连接器壳1917封装该模具。连接器壳1916封装连接器的插座侧1906。期望从相邻攻击方到受害对1901的差动FEXT具有正极性。

[0073] 图19 (c) 的示例实现方式配置1950示出将边缘耦合1955和宽边耦合1965两者应用于信号导体的连接器内的实现方式。如所示出的, 插座侧1956和插头侧1957在1954处相配。插头侧1957信号导体在电缆终端1952处与电缆1953对接。图19 (d) 的连接器的侧视图1960的插入成型1962在连接器导体上进行注模成型, 并且连接器壳1967封装该模具。由于边缘耦合1955配置和宽边耦合1965配置的缘故, 期望从相邻攻击方到受害对1951的差动FEXT具有小的量值。使用每个配置的最佳耦合长度, 两个极性的量值将是相似的, 从而连接器的累积FEXT将减小。

[0074] 通过考虑本文所公开的示例实现方式的说明和实践, 本领域技术人员将明白本申请的其它实现方式。可以单独使用或组合使用所描述的示例实现方式的各个方面和/或部件。说明书和示例意图被看作是示例, 同时由权利要求来指示本申请的真正范围和精神。

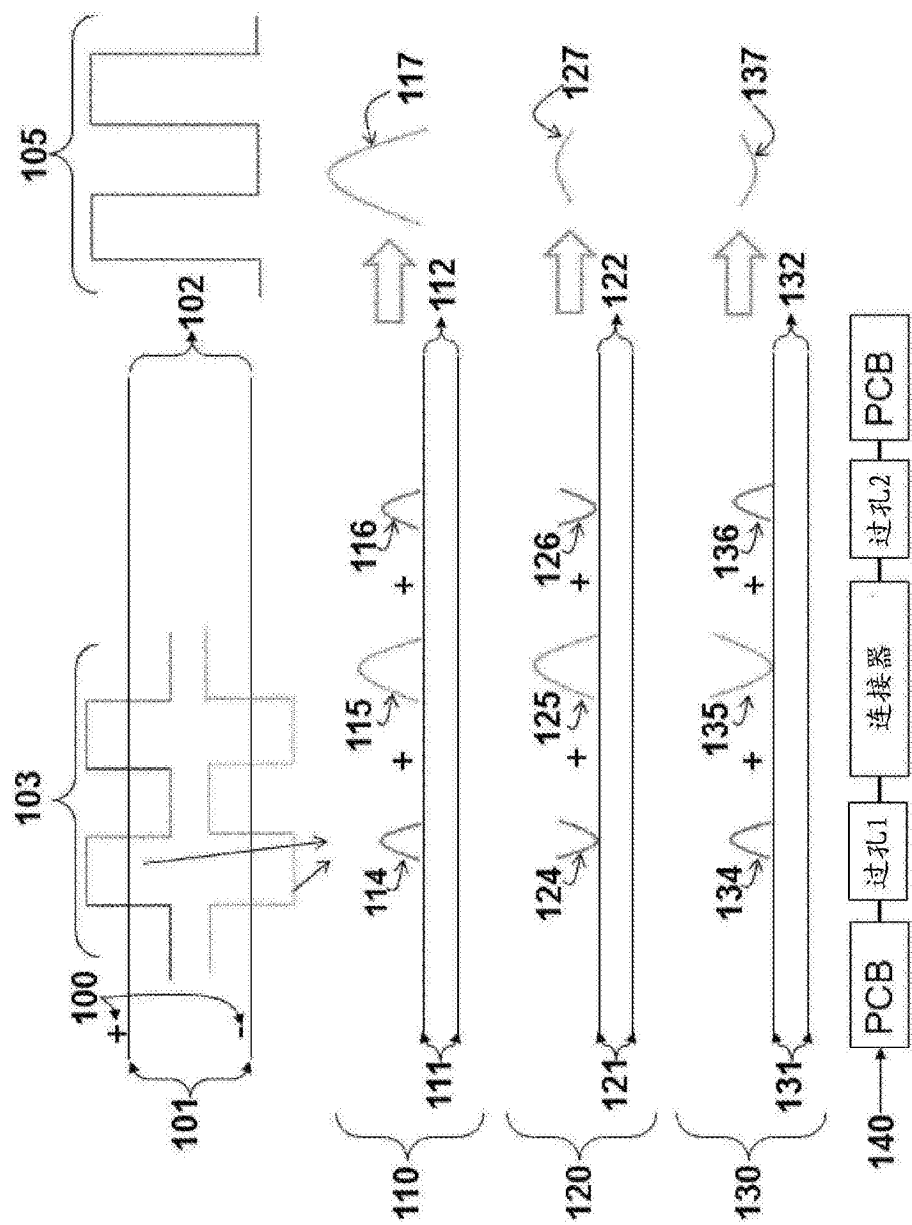


图1

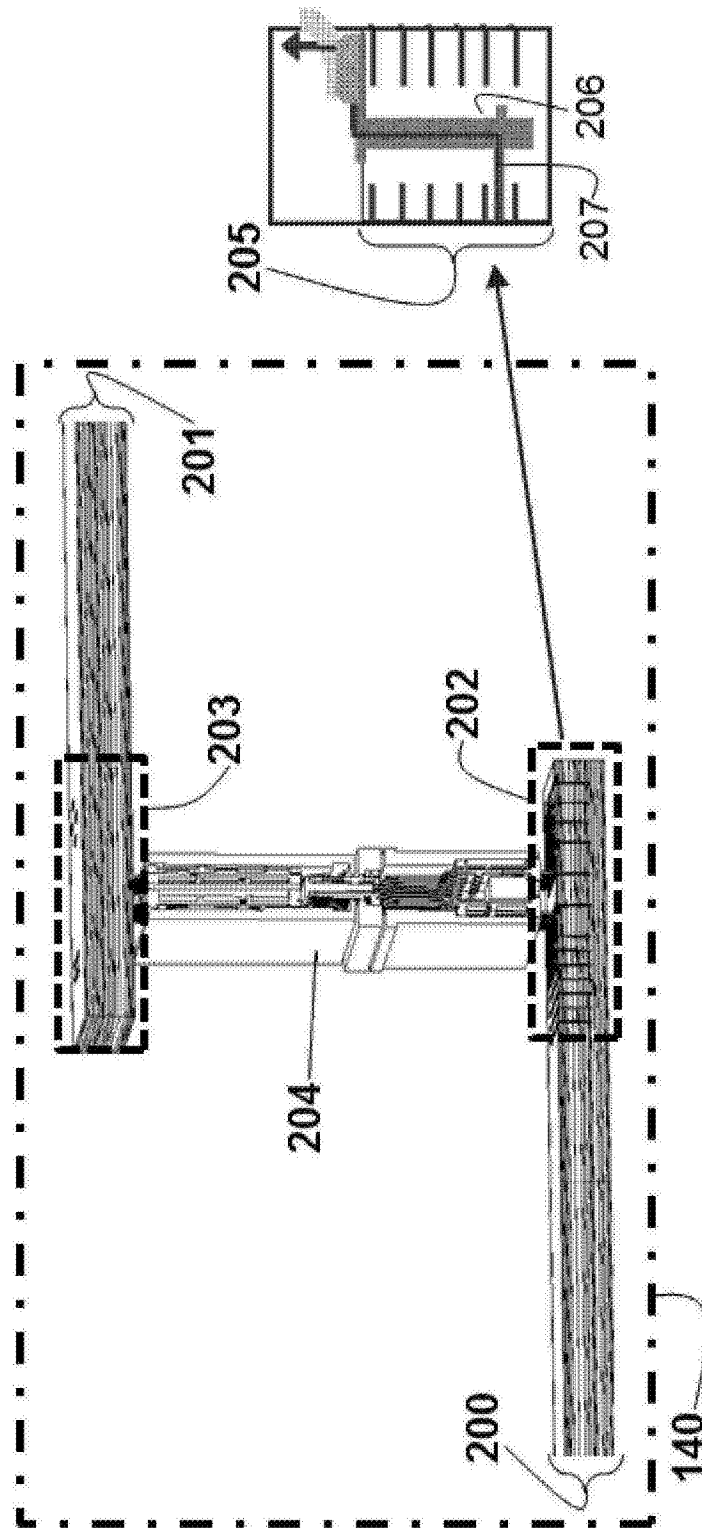


图2

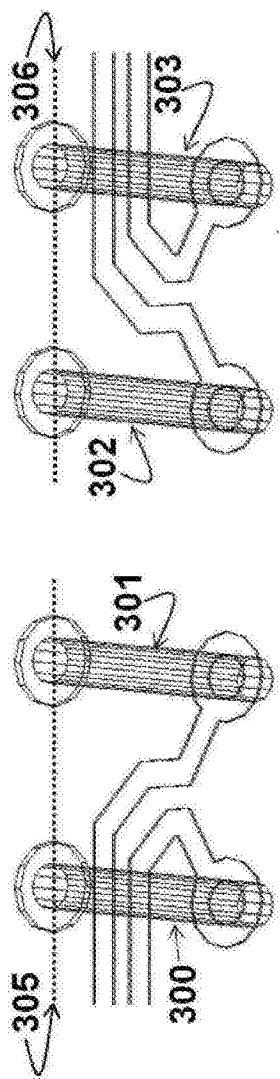


图3 (a)

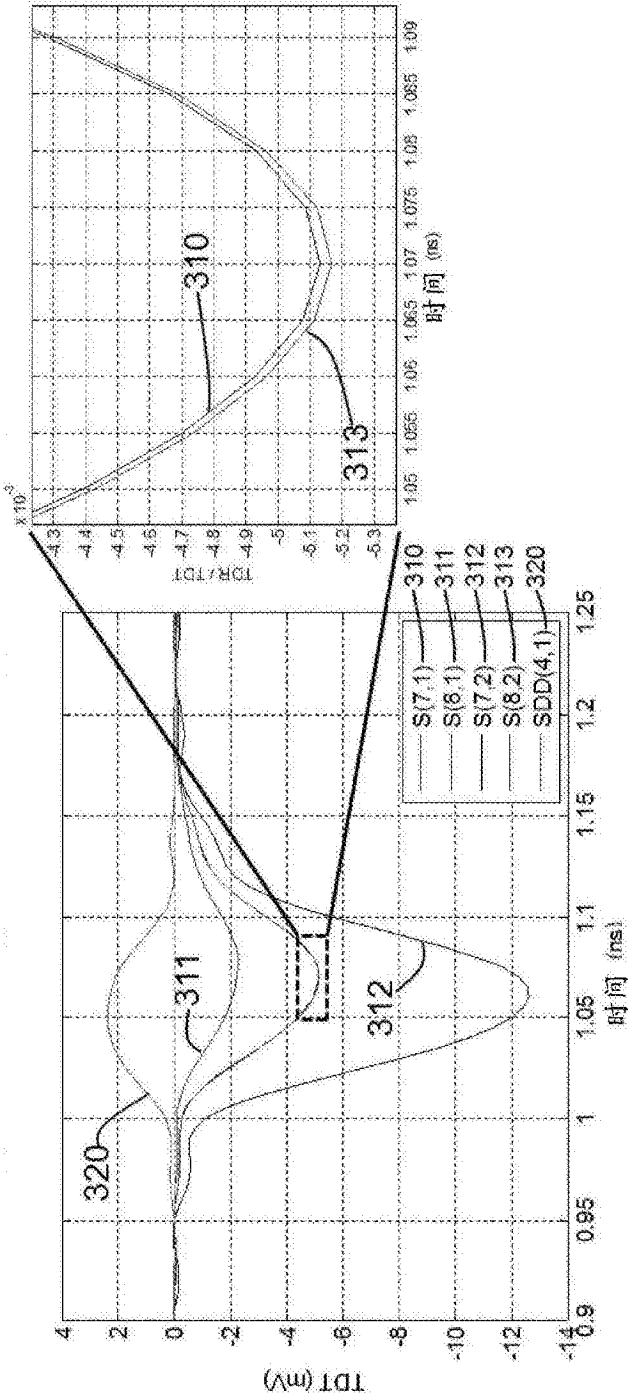


图 3 (c)

图 3 (b)

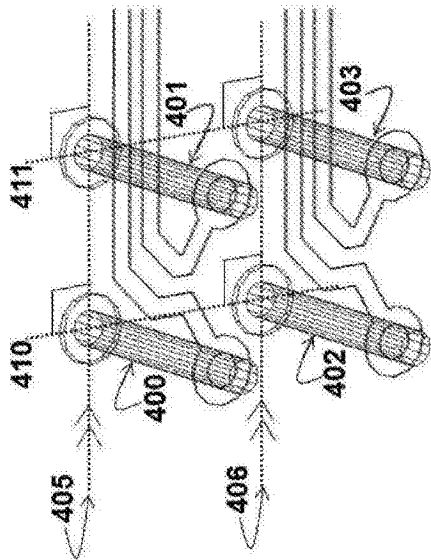
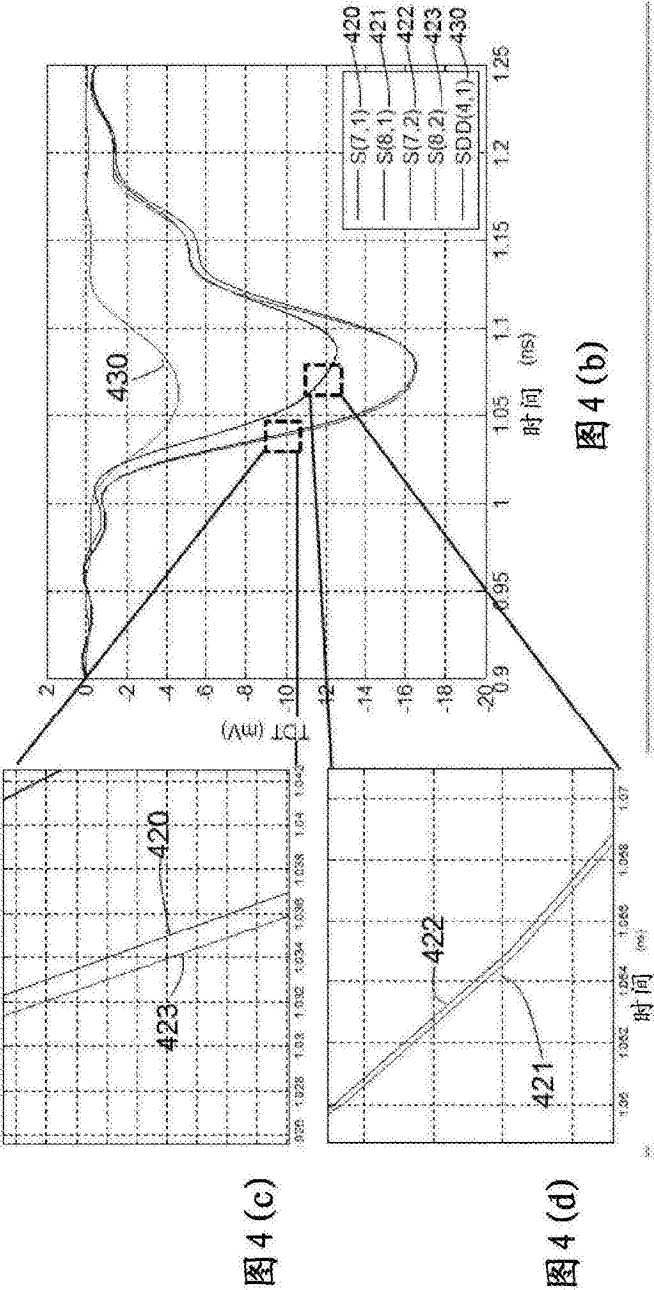


图4 (a)



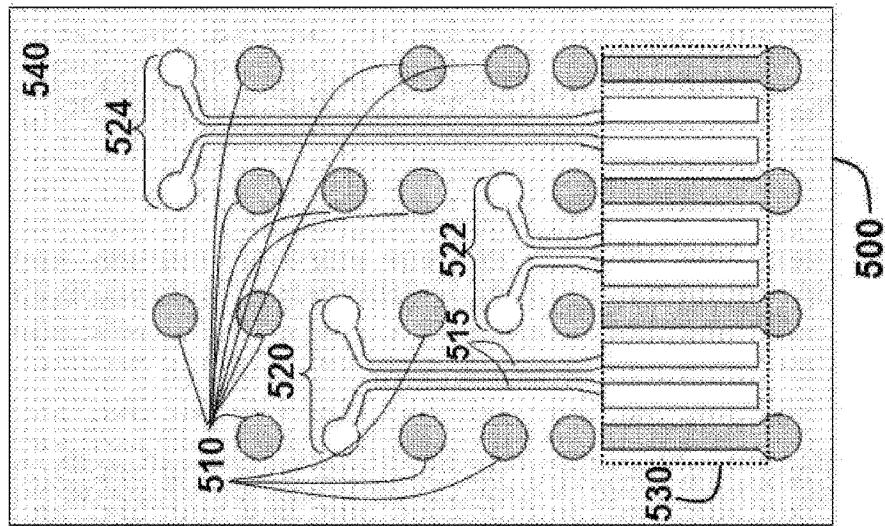


图5 (a)

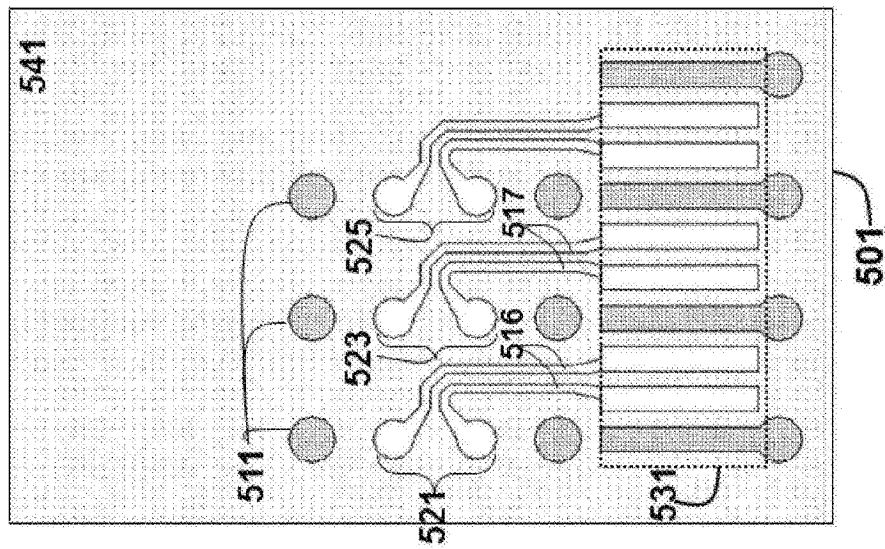


图5 (b)

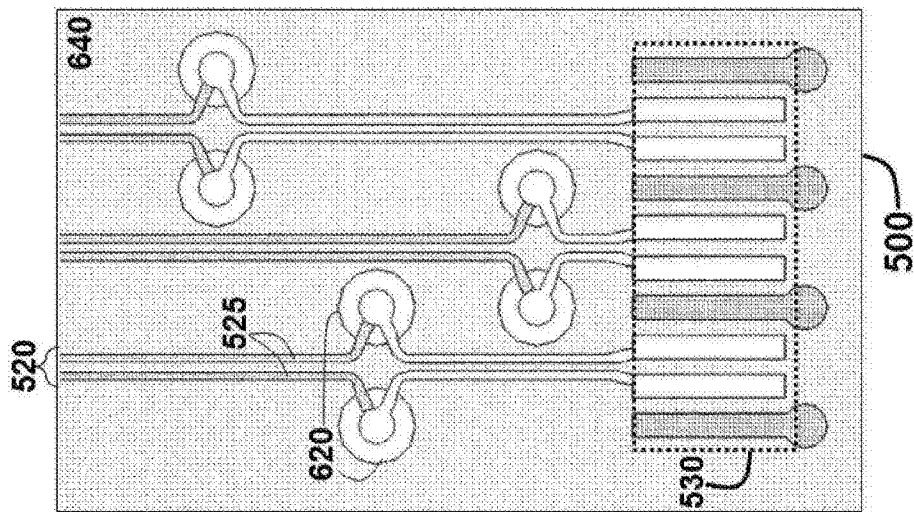


图6 (a)

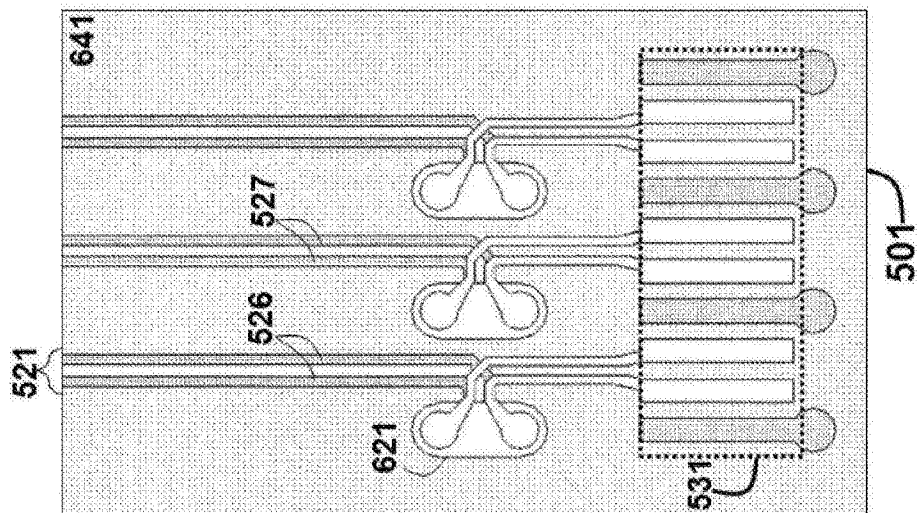


图6 (b)

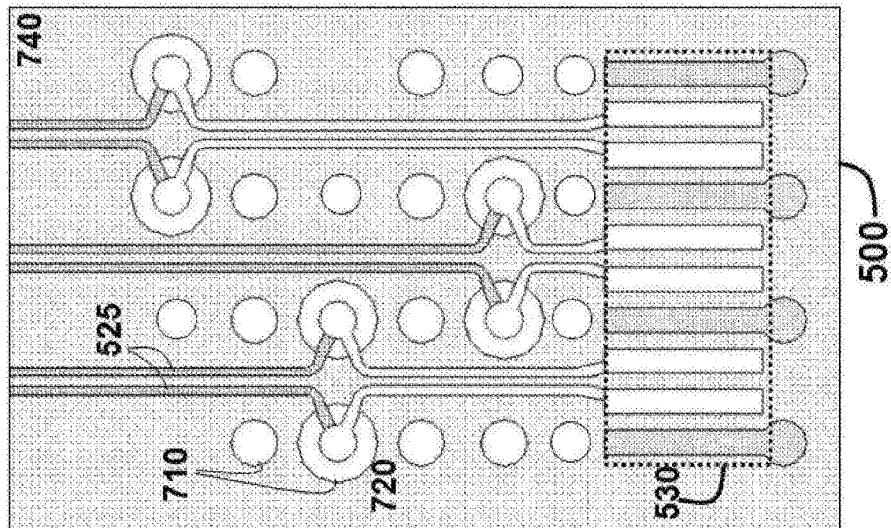


图7 (a)

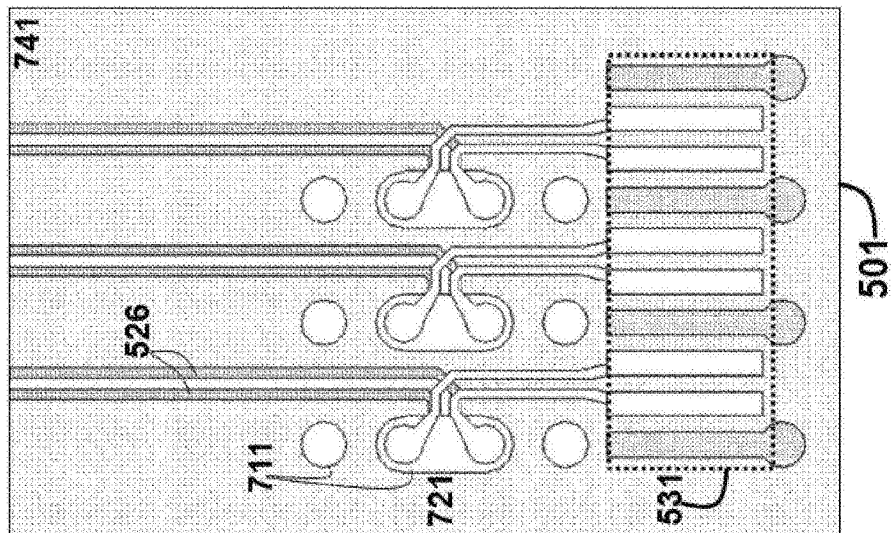


图7 (b)

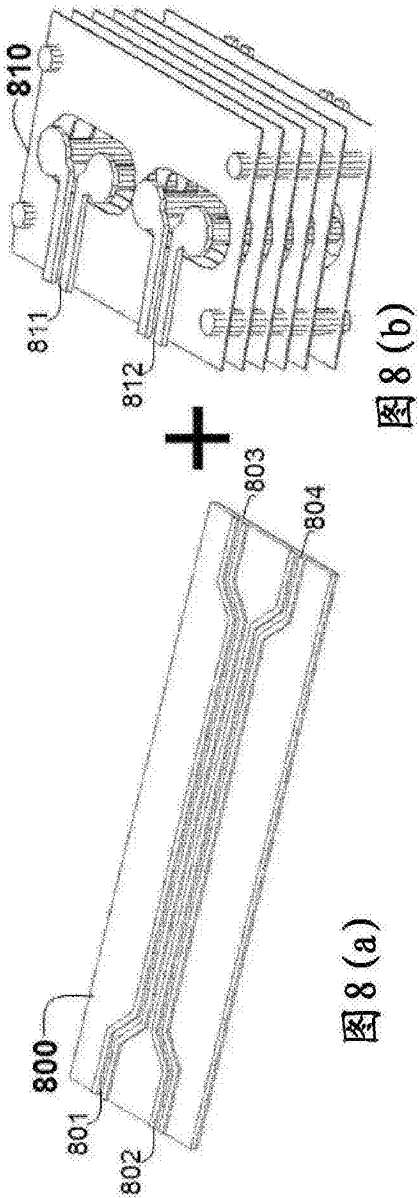


图 8 (a)

图 8 (b)

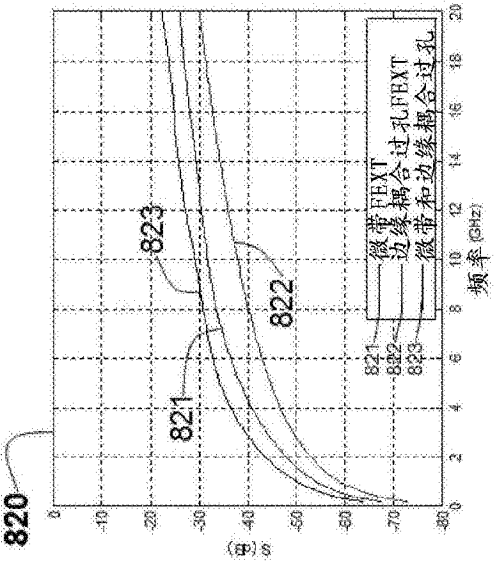


图8 (c)

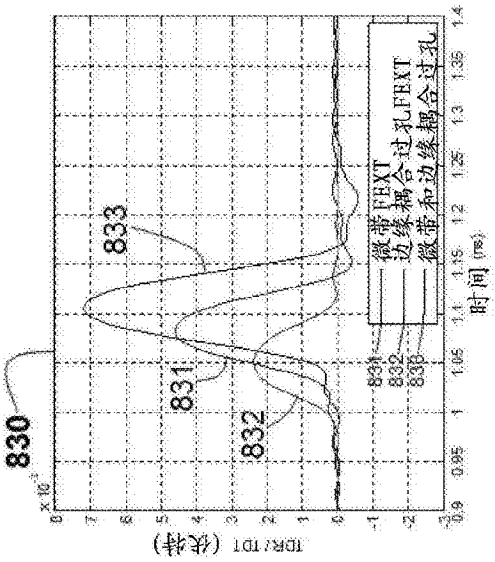


图8 (d)

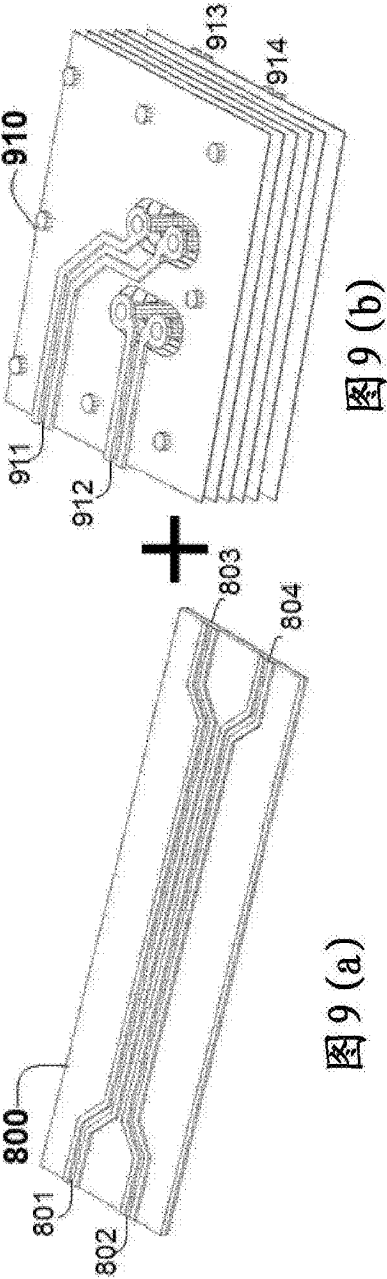


图 9 (a)

图 9 (b)

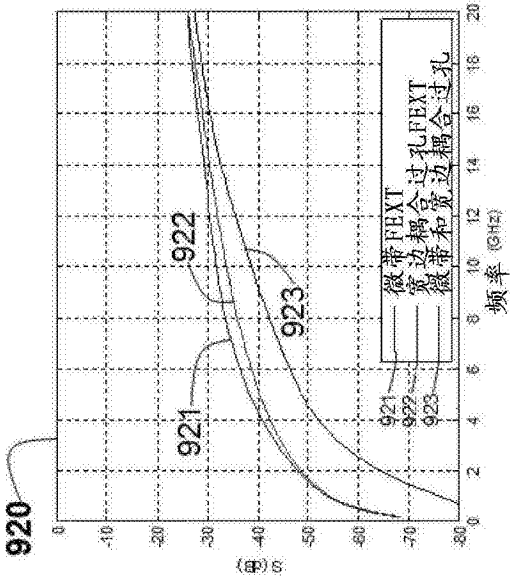


图9 (c)

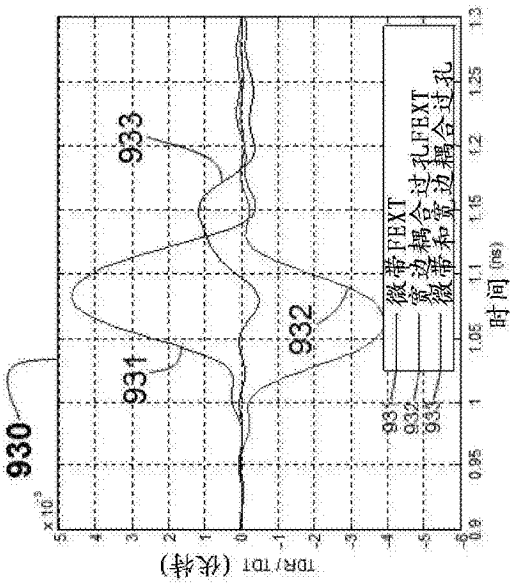


图9 (d)

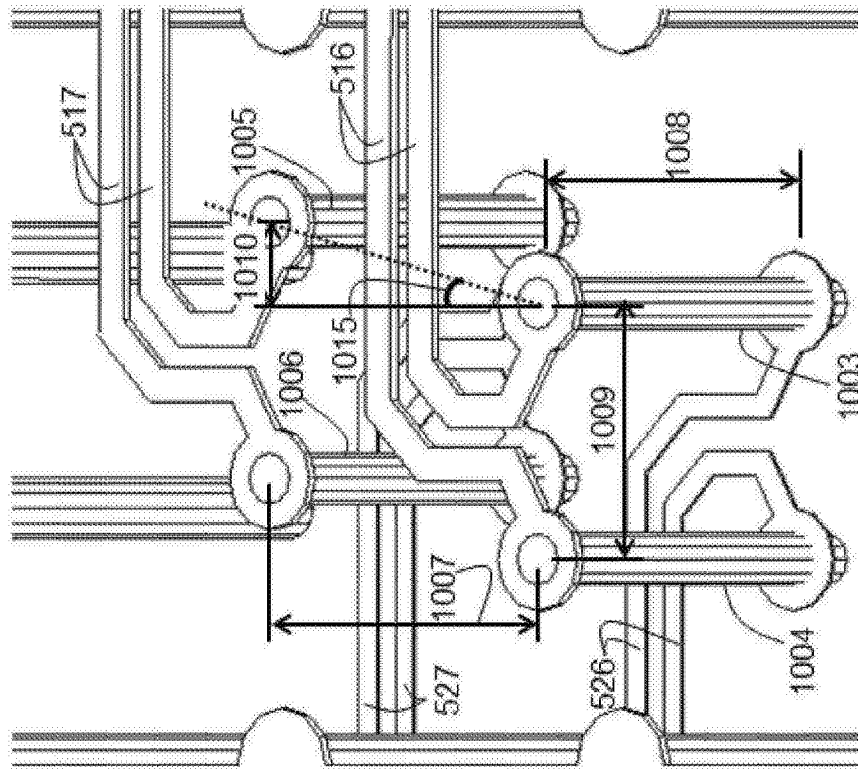


图10

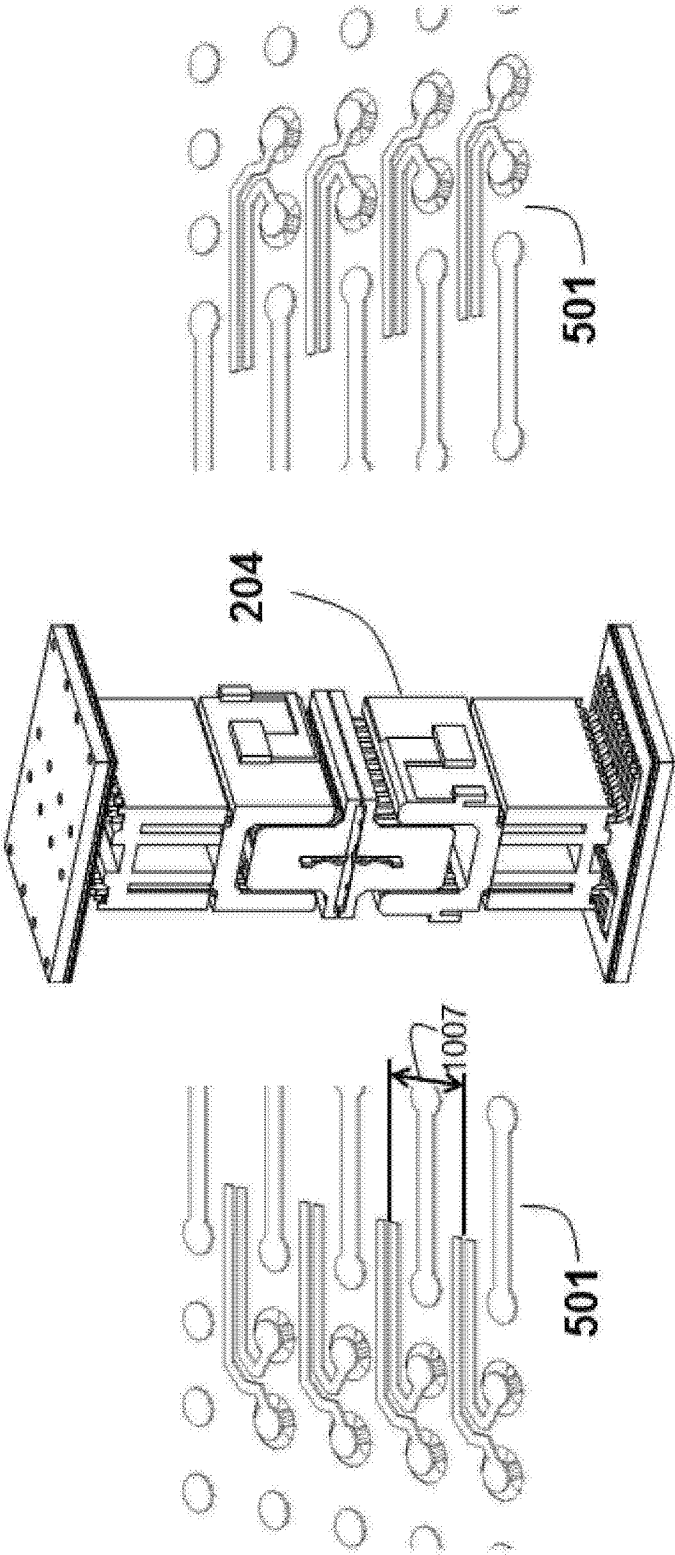


图11

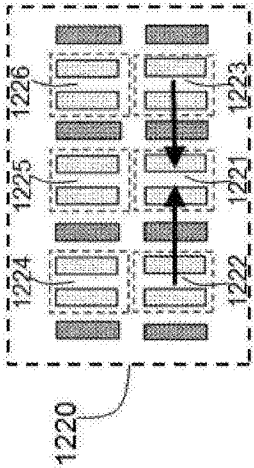


图12(a)

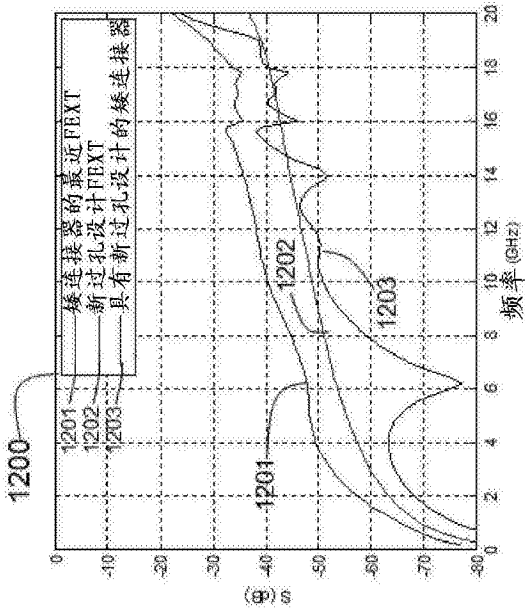


图12(b)

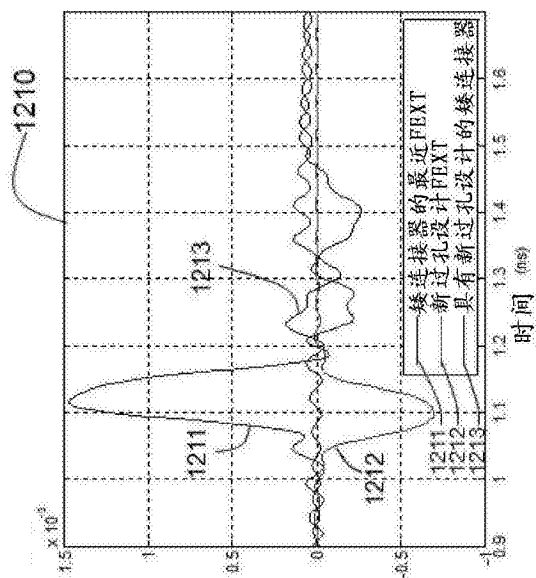


图12(c)

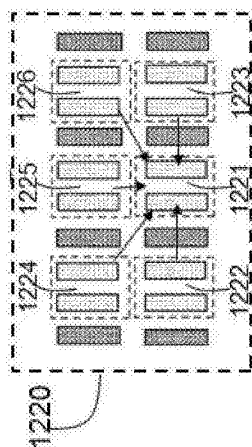


图13(a)

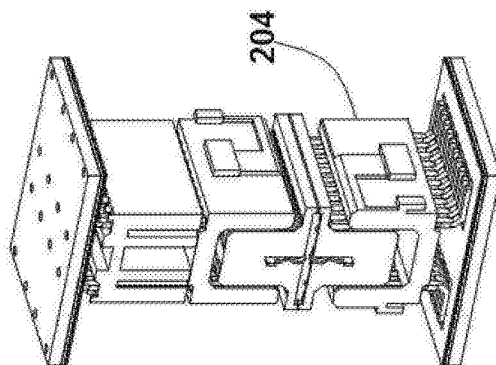
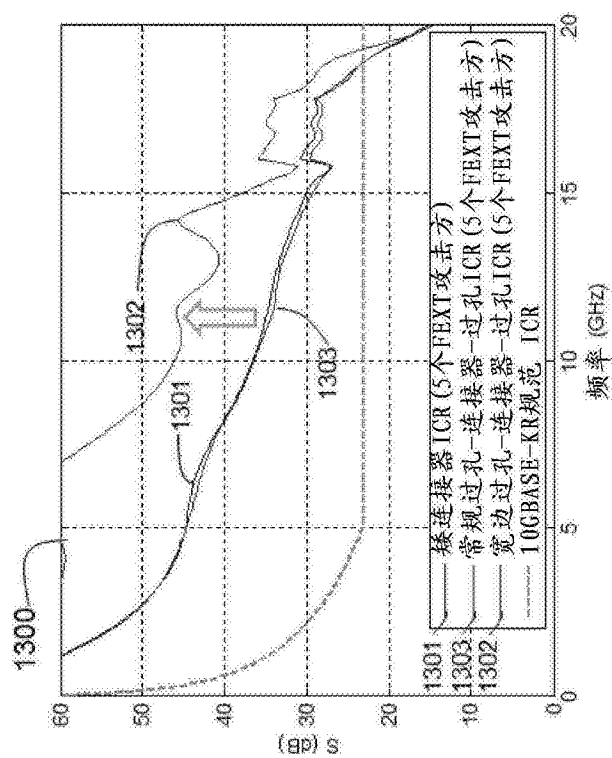


图13(b)



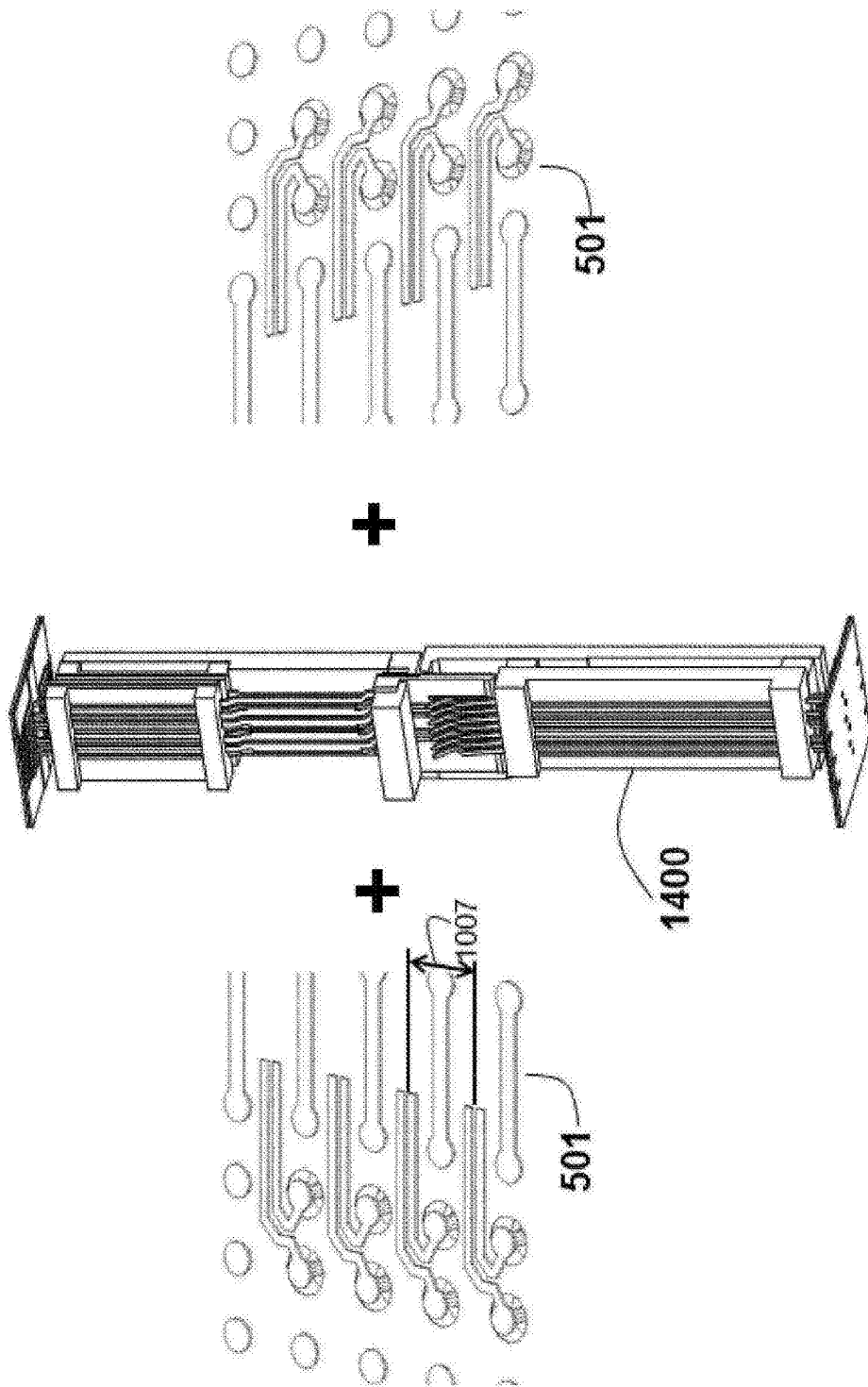


图14

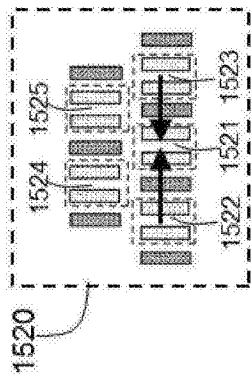


图15(a)

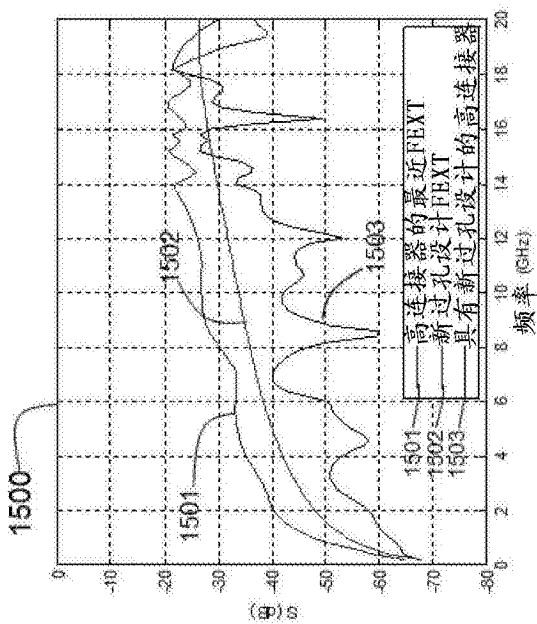


图15(b)

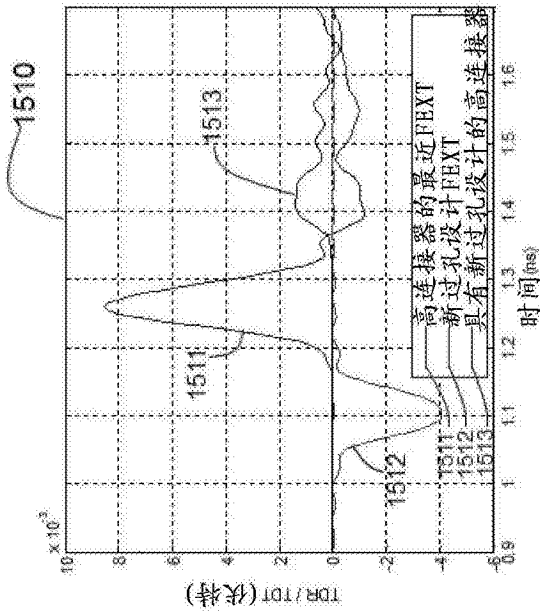


图15(c)

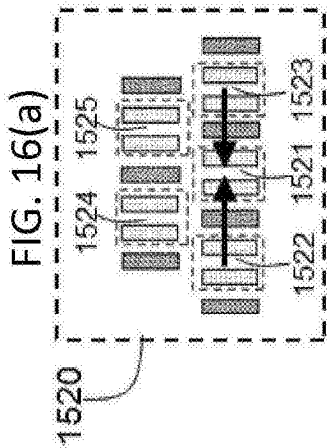


图16(a)

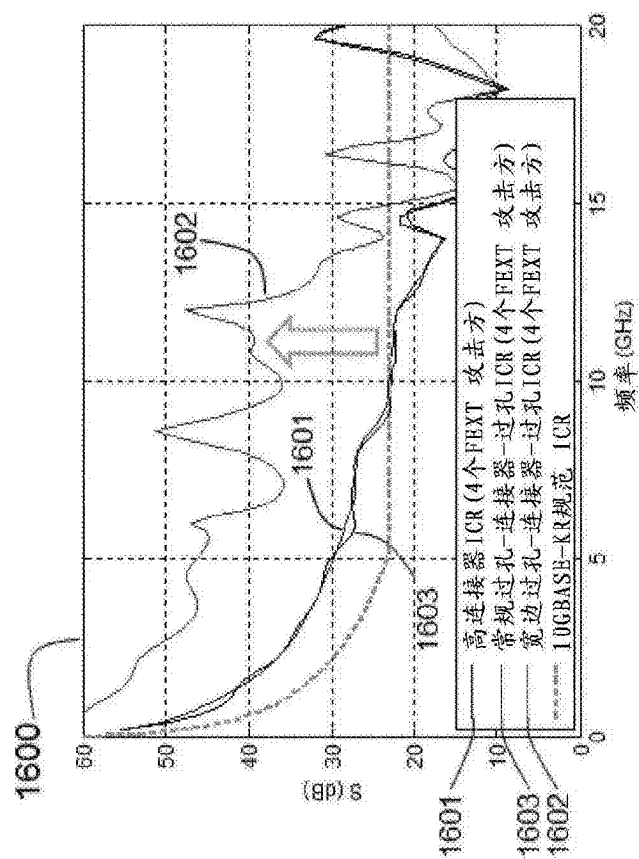


图16 (b)

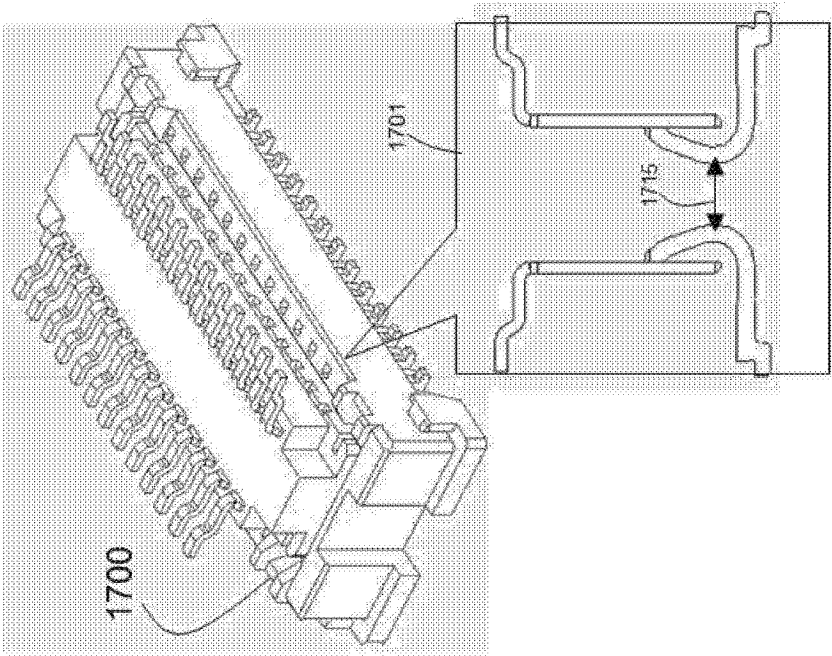


图17 (a)

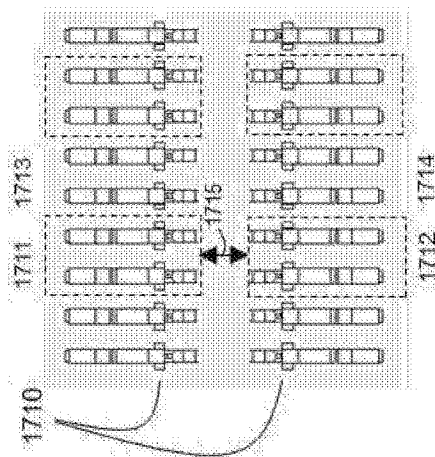


图17(b)

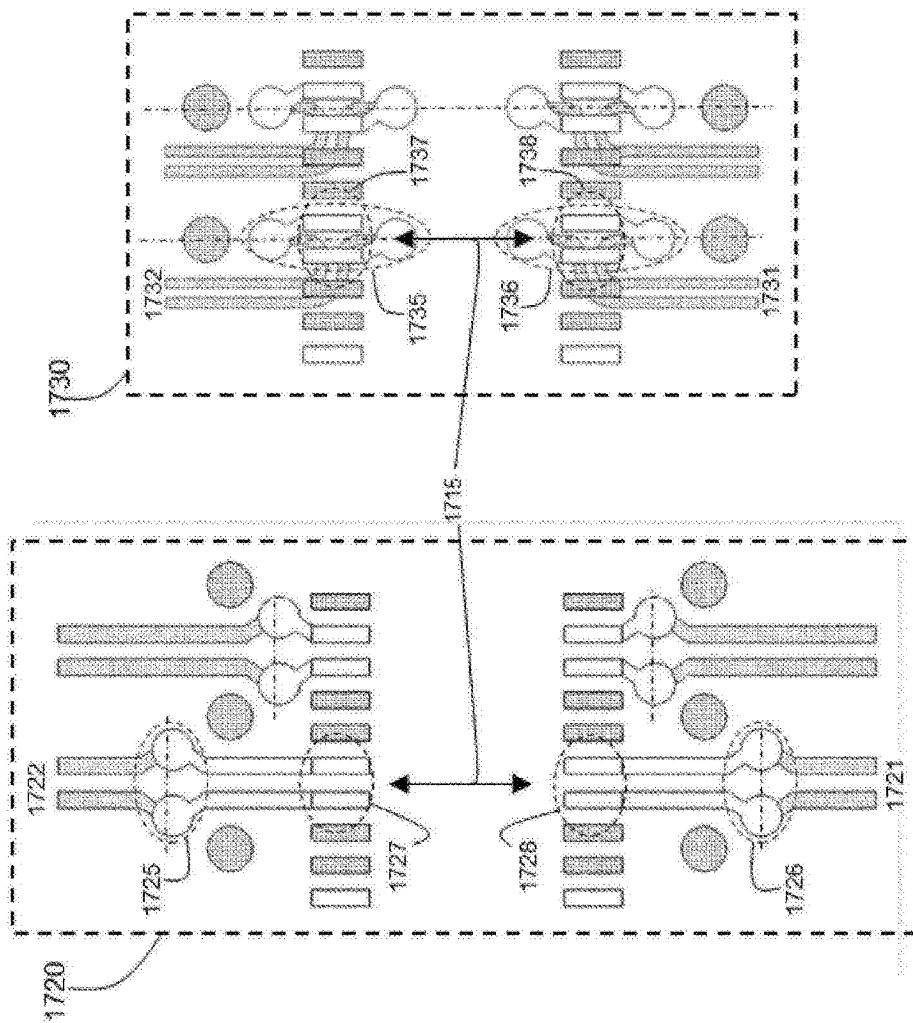


图17(d)

图17(c)

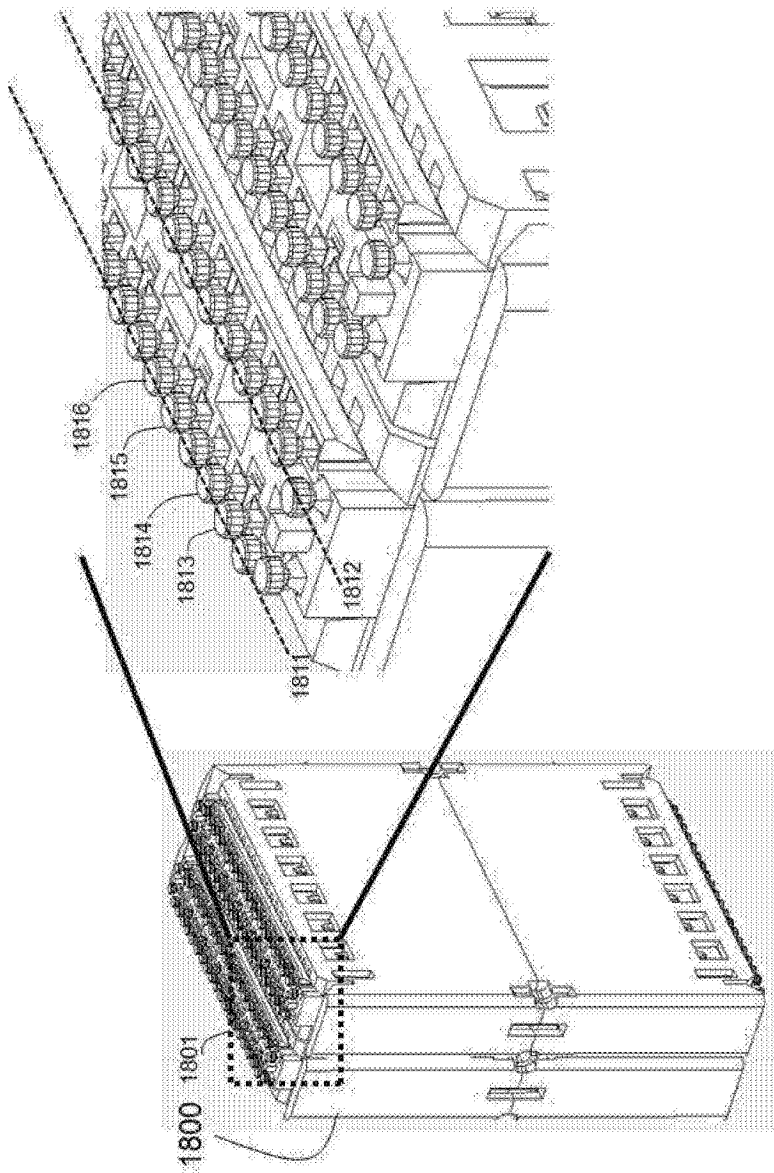


图18(a)

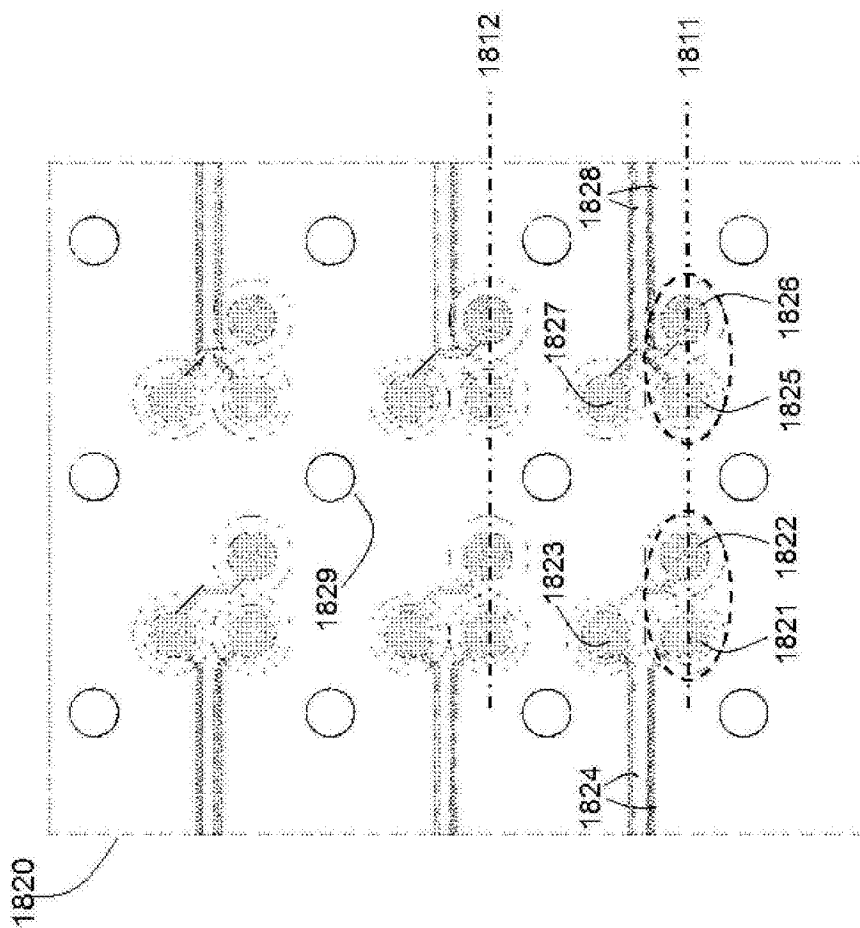


图18(b)

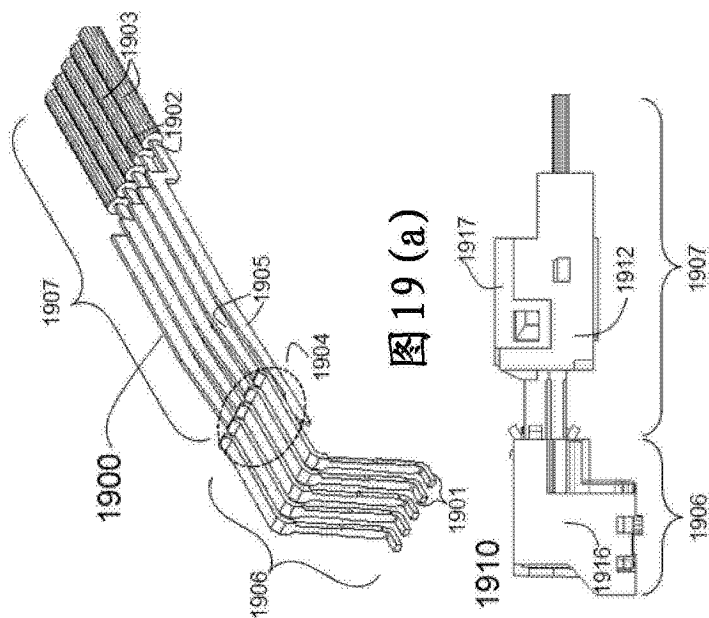


图19(a)

图19(b)

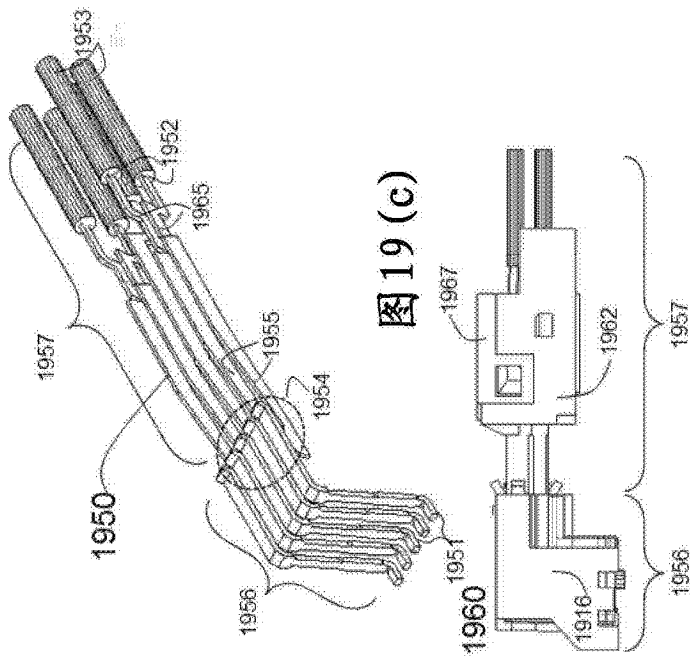


图 19 (c)

图 19 (d)