

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年1月20日(20.01.2022)



(10) 国際公開番号

WO 2022/014051 A1

(51) 国際特許分類:
G09G 3/20 (2006.01) G09G 3/3266 (2016.01)

(21) 国際出願番号: PCT/JP2020/027907

(22) 国際出願日: 2020年7月17日(17.07.2020)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5908522 大阪府堺市堺区匠町1番地 Osaka (JP).

(72) 発明者: 横山 真(YOKOYAMA, Makoto). 他
谷 展之(TAYA, Nobuyuki).

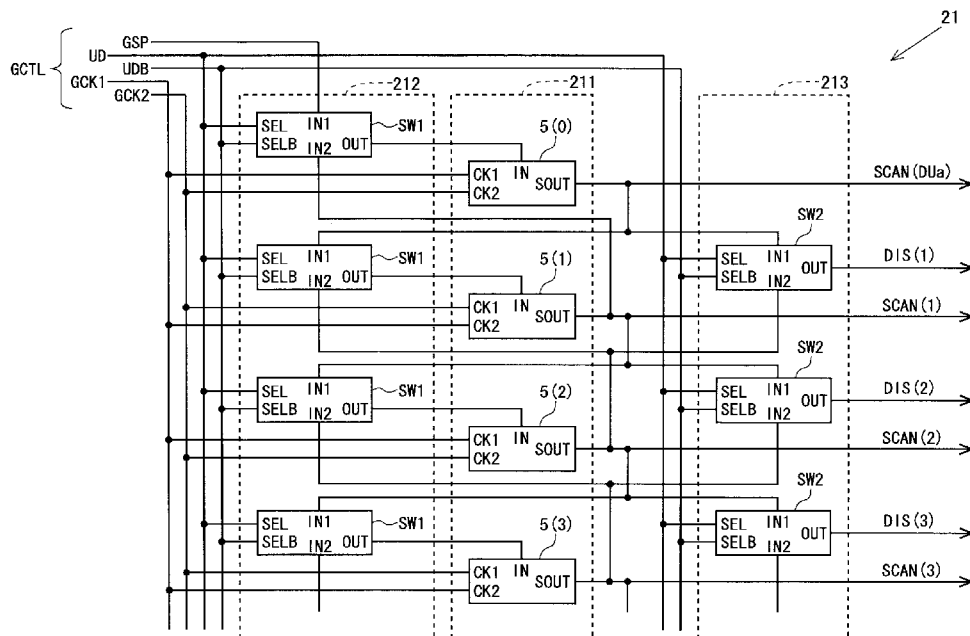
(74) 代理人: 島田 明宏, 外 (SHIMADA, Akihiro et al.); 〒6340078 奈良県橿原市八木町1丁目10番3号 萬盛庵ビル 島田特許事務所 Nara (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: DISPLAY DEVICE

(54) 発明の名称: 表示装置

[図7]



(57) Abstract: The present invention achieves a reduction in the frame width of a display device capable of switching a vertical scan direction. A gate driver (21) comprises: a shift register (211) composed of a plurality of unit circuits including n unit circuits connected to a write control line; a first scan order switching circuit (212) composed of a plurality of first switch circuits respectively corresponding to the plurality of unit circuits; and a second scan order switching circuit (213) composed of n second switch circuits connected to an initialization control line. The first scan order switching circuit (212)

ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

controls the operation of the shift register (211) on the basis of a scan order instruction signal. Each of the second switch circuits applies, as a second scan signal, an output signal of the unit circuit on the previous stage side or an output signal of the unit circuit on the subsequent stage side to the initialization control line on the basis of the scan order instruction signal.

(57) 要約: 垂直走査方向の切り替えが可能な表示装置の狭額縁化を実現する。ゲートドライバ(21)は、書き込み制御線に接続されたn個の単位回路を含む複数個の単位回路からなるシフトレジスタ(211)と、複数個の単位回路にそれぞれ対応する複数個の第1スイッチ回路からなる第1の走査順序切り替え回路(212)と、初期化制御線に接続されたn個の第2スイッチ回路からなる第2の走査順序切り替え回路(213)とによって構成される。第1の走査順序切り替え回路(212)は、走査順序指示信号に基づき、シフトレジスタ(211)の動作を制御する。各第2スイッチ回路は、走査順序指示信号に基づき、前段側の単位回路の出力信号または後段側の単位回路の出力信号を第2走査信号として初期化制御線に印加する。

明 細 書

発明の名称：表示装置

技術分野

[0001] 以下の開示は、垂直走査方向の切り替えが可能な走査線駆動回路を備えた表示装置に関する。

背景技術

[0002] 近年、有機ＥＬ素子を含む画素回路を備えた有機ＥＬ表示装置が実用化されている。有機ＥＬ素子は、ＯＬＥＤ（Organic Light-Emitting Diode）とも呼ばれており、それに流れる電流に応じた輝度で発光する自発光型の表示素子である。このように有機ＥＬ素子は自発光型の表示素子であるので、有機ＥＬ表示装置は、バックライトおよびカラーフィルタなどを要する液晶表示装置に比べて、容易に薄型化・低消費電力化・高輝度化などを図ることができる。従って、近年、積極的に有機ＥＬ表示装置の開発が進められている。

[0003] 有機ＥＬ表示装置の表示部には、画素回路の動作を制御するための各種の制御信号線が配設されている。例えば、画素回路内の駆動トランジスタの特性のばらつきを補償する方式に内部補償方式を採用している有機ＥＬ表示装置においては、画素回路へのデータ信号の書き込みを制御するための書き込み制御線や画素回路の内部の状態を初期化するための初期化制御線などの複数種類の水平走査線が表示部に配設されている。

[0004] なお、本明細書では、水平走査線を表示部の上端側から下端側に向かって順次に走査することを「正順走査」といい、水平走査線を表示部の下端側から上端側に向かって順次に走査することを「逆順走査」という。

[0005] 以下、複数種類の水平走査線として上述した書き込み制御線と初期化制御線とが設けられているケースに着目する。画素回路へのデータ信号の書き込みは当該画素回路の内部状態が初期化された後に行われる。従って、同じ行の画素回路に接続された書き込み制御線と初期化制御線とに着目すると、書

書き込み制御線がアクティブになるタイミングよりも早いタイミングで初期化制御線がアクティブになる（書き込み制御線にオンレベルの走査信号が印加されるタイミングよりも早いタイミングで初期化制御線にオンレベルの走査信号が印加される）。この場合において、或る行の画素回路に接続された書き込み制御線とそれとは別の行の画素回路に接続された初期化制御線とを同じタイミングでアクティブにすることができる。これに関し、有機EL表示装置が動作している期間を通じて垂直走査方向（複数本の水平走査線の走査順序）が一方向に固定されているのであれば（例えば、正順走査のみが行われるのであれば）、同じタイミングでアクティブとなるべき書き込み制御線と初期化制御線とをまとめて駆動することが可能である。これは、1系統のシフトレジスタによって実現することができる。ところが、垂直走査方向の切り替え（正順走査と逆順走査との切り替え）が可能な構成を採用しようとする場合、同じタイミングでアクティブとなるべき書き込み制御線と初期化制御線との組み合わせが、正順走査が行われる際と逆順走査が行われる際とで異なることになる。このため、書き込み制御線を駆動するためのシフトレジスタと初期化制御線を駆動するためのシフトレジスタとが必要となる。すなわち、2系統のシフトレジスタが必要となる。

[0006] 図17は、上述した2系統のシフトレジスタを含むゲートドライバ9の概略構成を示すブロック図である。このゲートドライバ9には、書き込み制御線を駆動するスキャンドライバ91と、初期化制御線を駆動するディスチャージドライバ92とが含まれている。スキャンドライバ91は、表示部内の複数の書き込み制御線に接続されたシフトレジスタ911と、垂直走査方向を切り替えるための走査順序切り替え回路912とによって構成されている。スキャンドライバ92は、表示部内の複数の初期化制御線に接続されたシフトレジスタ921と、垂直走査方向を切り替えるための走査順序切り替え回路922とによって構成されている。

[0007] 図18および図19は、図17に示したゲートドライバ9の詳細な構成を示すブロック図である。図18にはシフトレジスタ911、921の初段側

近傍の構成を示しており、図19にはシフトレジスタ911, 921の最終段側近傍の構成を示している。以下、シフトレジスタの各段を構成する回路のことを「単位回路」という。なお、ここでは、 n 本の書き込み制御線SCAN(1)～SCAN(n)および n 本の初期化制御線DIS(1)～DIS(n)が表示部に配設されているものと仮定する。

[0008] 上述したように、ゲートドライバ9にはスキンドライバ91とディスチャージドライバ92とが含まれている。スキンドライバ91は、($n+2$)個の単位回路U1(0)～U1($n+1$)からなるシフトレジスタ911と、($n+2$)個の単位回路U1(0)～U1($n+1$)と1対1で対応する($n+2$)個のスイッチ回路S1からなる走査順序切り替え回路912とによって構成されている。ディスチャージドライバ92は、($n+2$)個の単位回路U2(0)～U2($n+1$)からなるシフトレジスタ921と、($n+2$)個の単位回路U2(0)～U2($n+1$)と1対1で対応する($n+2$)個のスイッチ回路S2からなる走査順序切り替え回路922とによって構成されている。シフトレジスタ911に関し、単位回路U1(1)～U1(n)については表示部内の書き込み制御線SCAN(1)～SCAN(n)に接続されているが、単位回路U1(0), U1($n+1$)についてはダミーの書き込み制御線SCAN(DUa), SCAN(DUb)に接続されている。同様に、シフトレジスタ921に関し、単位回路U2(1)～U2(n)については表示部内の初期化制御線DIS(1)～DIS(n)に接続されているが、単位回路U2(0), U2($n+1$)についてはダミーの初期化制御線DIS(DUa), DIS(DUb)に接続されている。

[0009] スキンドライバ91およびディスチャージドライバ92には、次のように各種の制御信号が与えられる。2相のクロック信号であるゲートクロック信号GCK1, GCK2および垂直走査方向を指示する走査順序指示信号UD, UDBが、スキンドライバ91とディスチャージドライバ92とに与えられる。また、ゲートスタートパルス信号GSP(S)がスキンドライバ91に与えられ、ゲートスタートパルス信号GSP(D)がディスチャー

ジドライバ92に与えられる。なお、ゲートスタートパルス信号GSP(S)は単位回路U1(0)に対応するスイッチ回路S1と単位回路U1(n+1)に対応するスイッチ回路S1とに与えられ、ゲートスタートパルス信号GSP(D)は単位回路U2(0)に対応するスイッチ回路S2と単位回路U2(n+1)に対応するスイッチ回路S2とに与えられる。

[0010] スイッチ回路S1, S2は、次のように構成されている。第1選択信号SELがハイレベルであって、かつ、第2選択信号SELBがローレベルであれば、出力信号OUTとして第1入力信号IN1が出力される。第1選択信号SELがローレベルであって、かつ、第2選択信号SELBがハイレベルであれば、出力信号OUTとして第2入力信号IN2が出力される。なお、スイッチ回路S1, S2には、走査順序指示信号UDが第1選択信号SELとして与えられ、走査順序指示信号UDBが第2選択信号SELBとして与えられる。

[0011] シフトレジスタ911内の単位回路U1(0)~U1(n+1)およびシフトレジスタ921内の単位回路U2(0)~U2(n+1)は、次のように構成されている。第1クロック信号CK1がローレベルになっている時に、セット入力信号INが内部に取り込まれる。そして、当該セット入力信号INがローレベル(オンレベル)であれば、次にクロック信号CK2がハイレベルからローレベルに変化したときにローレベル(オンレベル)の出力信号OUTが出力される。

[0012] 図20および図21は正順走査が行われる際の信号波形図である。正順走査が行われる際には、走査順序指示信号UDはハイレベルで維持され、かつ、走査順序指示信号UDBはローレベルで維持される。そして、ゲートスタートパルス信号GSP(D)のパルスがディスチャージドライバ92に与えられた後、ゲートスタートパルス信号GSP(S)のパルスがスキャンドライバ91に与えられる。これにより、1本目の初期化制御線DIS(1)からn本目の初期化制御線DIS(n)が順次にアクティブになり、また、1本目の書き込み制御線SCAN(1)からn本目の書き込み制御線SCAN

(n) が順次にアクティブになる。その際、 k を 1 以上 ($n - 1$) 以下の自然数として、 k 本目の書き込み制御線 $SCAN(k)$ と ($k + 1$) 本目の初期化制御線 $DIS(k + 1)$ とが同じタイミングでアクティブになる。

[0013] 図 22 および図 23 は逆順走査が行われる際の信号波形図である。逆順走査が行われる際には、走査順序指示信号 UD はローレベルで維持され、かつ、走査順序指示信号 UDB はハイレベルで維持される。そして、ゲートスタートパルス信号 $GSP(D)$ のパルスがディスチャージドライバ 92 に与えられた後、ゲートスタートパルス信号 $GSP(S)$ のパルスがスキンドライバ 91 に与えられる。これにより、 n 本目の初期化制御線 $DIS(n)$ から 1 本目の初期化制御線 $DIS(n)$ が順次にアクティブになり、また、 n 本目の書き込み制御線 $SCAN(n)$ から 1 本目の書き込み制御線 $SCAN(1)$ が順次にアクティブになる。その際、 k を 2 以上 n 以下の自然数として、 k 本目の書き込み制御線 $SCAN(k)$ と ($k - 1$) 本目の初期化制御線 $DIS(k - 1)$ とが同じタイミングでアクティブになる。

[0014] 以上のように、2 種類の水平走査線（書き込み制御線および初期化制御線）が配設された表示部を有する有機 EL 表示装置において、それら 2 種類の水平走査線を 2 系統のシフトレジスタを用いて駆動するという構成を採用することによって、垂直走査方向の切り替えが実現されている。

[0015] なお、本件に関連して以下の先行技術文献が知られている。日本の特開平 11-176186 号公報には、双方向シフトレジスタを備えた液晶表示装置の発明が開示されている。また、日本の特開平 11-213686 号公報には、少ない素子数で双方向シフト機能を具現できる双方向シフトレジスタの発明が開示されている。

先行技術文献

特許文献

[0016] 特許文献 1：日本の特開平 11-176186 号公報

特許文献 2：日本の特開平 11-213686 号公報

発明の概要

発明が解決しようとする課題

[0017] 近年、表示装置の高精細化・小型化の要求が高まっている。ところが、垂直走査方向の切り替えが可能な構成を採用する場合、従来の手法によれば、表示部に配設されている水平走査線の種類の数に応じた数のシフトレジスタをゲートドライバ（水平走査線駆動用の回路）に設ける必要がある。このため、1系統のシフトレジスタを用いて水平走査線を駆動している構成と比較して、回路規模が顕著に大きくなる。それ故、垂直走査方向の切り替えを可能にすると、必然的に額縁領域が広くなる。このように額縁領域が広くなると、表示装置の高精細化・小型化の実現が困難となる。

[0018] そこで、以下の開示は、垂直走査方向（複数本の水平走査線の走査順序）の切り替えが可能な表示装置の狭額縁化を実現することを目的とする。

課題を解決するための手段

[0019] 本開示のいくつかの実施形態に係る表示装置は、電流によって駆動される表示素子を含む画素回路を備えた表示装置であって、

nおよびmを自然数として、n本の第1走査線と、m本のデータ信号線と、前記n本の第1走査線と前記m本のデータ信号線との交差点に対応して設けられた $n \times m$ 個の前記画素回路と、前記n本の第1走査線と1対1で対応するn本の第2走査線とを含む表示部と、

前記n本の第1走査線および前記n本の第2走査線の走査順序を指示する走査順序指示信号に基づいて、前記n本の第1走査線に第1走査信号を印加し、前記n本の第2走査線に第2走査信号を印加する走査線駆動回路と、

前記m本のデータ信号線にデータ信号を印加するデータ信号線駆動回路とを備え、

前記走査線駆動回路は、

前記n本の第1走査線にそれぞれ接続されたn個の単位回路と、前記n個の単位回路よりも前段側に設けられた1個以上の単位回路と、前記n個の単位回路よりも後段側に設けられた1個以上の単位回路とを含む複数個の単位回路からなるシフトレジスタと、

前記複数個の単位回路にそれぞれ対応する複数個の第1スイッチ回路と

、

前記 n 本の第2走査線にそれぞれ接続された n 個の第2スイッチ回路とを含み、

K を自然数として、 K 本目の第1走査線に接続された単位回路に対応する第1スイッチ回路は、前記走査順序指示信号に基づいて、 $(K - 1)$ 本目の第1走査線に接続された単位回路の出力信号または $(K + 1)$ 本目の第1走査線に接続された単位回路の出力信号を前記 K 本目の第1走査線に接続された単位回路にセット入力信号として与え、

各単位回路は、前記セット入力信号とクロック信号とに基づいて出力信号を出力し、

各第1走査線には、接続先の単位回路の出力信号が前記第1走査信号として印加され、

P および Q を自然数として、 P 本目の第2走査線に接続された第2スイッチ回路は、前記走査順序指示信号に基づいて、 $(P - Q)$ 本目の第1走査線に接続された単位回路の出力信号または $(P + Q)$ 本目の第1走査線に接続された単位回路の出力信号を前記 P 本目の第2走査線に前記第2走査信号として印加する。

発明の効果

[0020] 本開示のいくつかの実施形態によれば、走査線駆動回路は、 n 本の第1走査線にそれぞれ接続された n 個の単位回路を含む複数個の単位回路からなるシフトレジスタと、走査順序指示信号に基づいて動作するスイッチ回路（複数個の第1スイッチ回路および n 個の第2スイッチ回路）とによって構成される。各第1スイッチ回路は、対応する単位回路に、走査順序指示信号に基づいて前段側の単位回路の出力信号または後段側の単位回路の出力信号をセット入力信号として与える。すなわち、シフトレジスタと複数個の第1スイッチ回路とによって双方向シフトレジスタが実現される。また、 P 本目の第2走査線に接続された第2スイッチ回路は、当該 P 本目の第2走査線に、走

査順序指示信号に基づいて、 $(P - Q)$ 本目の第 1 走査線に接続された単位回路の出力信号または $(P + Q)$ 本目の第 1 走査線に接続された単位回路の出力信号を第 2 走査信号として印加する。これにより、正順走査が行われる際には P 本目の第 1 走査線と $(P + Q)$ 本目の第 2 走査線とが同じタイミングでアクティブとなり、かつ、逆順走査が行われる際には P 本目の第 1 走査線と $(P - Q)$ 本目の第 2 走査線とが同じタイミングでアクティブとなる。その結果、各画素回路では、垂直走査方向に関わらず、接続先の第 2 走査線がアクティブになってから接続先の第 1 走査線がアクティブとなる。すなわち、垂直走査方向の切り替えが正常に行われる。上述したようにシフトレジスタと複数個の第 1 スイッチ回路とによって双方向シフトレジスタが実現されるので、1 系統の双方向シフトレジスタに n 個のスイッチ回路（第 2 スイッチ回路）を加えた構成によって、2 種類の走査線を含む表示装置において垂直走査方向の切り替えが可能となっている。以上より、垂直走査方向（複数本の水平走査線の走査順序）の切り替えが可能な表示装置の狭額縁化が実現される。

図面の簡単な説明

[0021] [図1]一実施形態において、ゲートドライバの概略構成を示すブロック図である。

[図2]上記実施形態に係る有機 EL 表示装置の全体構成を示すブロック図である。

[図3]上記実施形態において、表示部内の一部の構成を示す図である。

[図4]上記実施形態において、パネル駆動部の機能構成を示すブロック図である。

[図5]上記実施形態において、第 i 行第 j 列の画素回路の構成を示す回路図である。

[図6]上記実施形態において、画素回路の動作について説明するためのタイミングチャートである。

[図7]上記実施形態において、ゲートドライバの詳細な構成（シフトレジスタ

の初段側近傍の構成)を示すブロック図である。

[図8]上記実施形態において、ゲートドライバの詳細な構成(シフトレジスタの最終段側近傍の構成)を示すブロック図である。

[図9]上記実施形態において、単位回路の一構成例を示す回路図である。

[図10]上記実施形態において、単位回路の動作について説明するためのタイミングチャートである。

[図11]上記実施形態において、スイッチ回路の構成を示す回路図である。

[図12]上記実施形態において、正順走査が行われる際のゲートドライバの動作について説明するためのタイミングチャートである。

[図13]上記実施形態において、正順走査が行われる際のゲートドライバの動作について説明するためのタイミングチャートである。

[図14]上記実施形態において、逆順走査が行われる際のゲートドライバの動作について説明するためのタイミングチャートである。

[図15]上記実施形態において、逆順走査が行われる際のゲートドライバの動作について説明するためのタイミングチャートである。

[図16]上記実施形態の第1の変形例において、スイッチ回路の構成を示す回路図である。

[図17]従来例において、ゲートドライバの概略構成を示すブロック図である。

[図18]従来例において、ゲートドライバの詳細な構成(シフトレジスタの初段側近傍の構成)を示すブロック図である。

[図19]従来例において、ゲートドライバの詳細な構成(シフトレジスタの最終段側近傍の構成)を示すブロック図である。

[図20]従来例において、正順走査が行われる際のゲートドライバの動作について説明するためのタイミングチャートである。

[図21]従来例において、正順走査が行われる際のゲートドライバの動作について説明するためのタイミングチャートである。

[図22]従来例において、逆順走査が行われる際のゲートドライバの動作につ

いて説明するためのタイミングチャートである。

[図23]従来例において、逆順走査が行われる際のゲートドライバの動作について説明するためのタイミングチャートである。

発明を実施するための形態

[0022] 以下、添付図面を参照しつつ、一実施形態について説明する。

[0023] < 1. 全体構成および動作概要 >

図2は、本実施形態における有機EL表示装置の全体構成を示すブロック図である。図2に示すように、この有機EL表示装置は、表示部10とパネル駆動部20とソースドライバ（データ信号線駆動回路）30と表示制御回路40とを備えている。なお、図2に示す例では表示部10の左端側および右端側の双方にパネル駆動部20が設けられているが、パネル駆動部20は表示部10の左端側または右端側のいずれか一方のみに設けられていても良い。

[0024] 図3は、表示部10内の一部の構成を示す図である。表示部10には、複数の画素回路100が設けられている。また、表示部10には、複数本の書き込み制御線SCAN、複数本の初期化制御線DIS、複数本の発光制御線EM、および複数本のデータ信号線Dが配設されている。書き込み制御線SCAN、初期化制御線DIS、および発光制御線EMは水平走査方向に延びており、データ信号線Dは垂直走査方向に延びている。以下、書き込み制御線SCANに与えられる走査信号（以下、「第1走査信号」という。）にも必要に応じて符号SCANを付し、初期化制御線DISに与えられる走査信号（以下、「第2走査信号」という。）にも必要に応じて符号DISを付し、発光制御線EMに与えられる発光制御信号にも必要に応じて符号EMを付し、データ信号線Dに与えられるデータ信号にも必要に応じて符号Dを付す。なお、本実施形態においては、書き込み制御線SCANによって第1走査線が実現され、初期化制御線DISによって第2走査線が実現されている。

[0025] また、表示部10には、複数の画素回路100に共通の図示しない電源

線が配設されている。より詳細には、有機EL素子を駆動するためのハイレベル電源電圧 $ELVDD$ を供給する電源線（以下、「ハイレベル電源線」という。）、有機EL素子を駆動するためのローレベル電源電圧 $ELVSS$ を供給する電源線（以下、「ローレベル電源線」という。）、および初期化電圧 $Vini$ を供給する電源線（以下、「初期化電源線」という。）が配設されている。ハイレベル電源電圧 $ELVDD$ 、ローレベル電源電圧 $ELVSS$ 、および初期化電圧 $Vini$ は、図示しない電源回路から供給される。なお、ハイレベル電源線は第1電源線に相当し、ローレベル電源線は第2電源線に相当する。

[0026] 図4は、パネル駆動部20の内部の機能構成を示すブロック図である。図4に示すように、パネル駆動部20には、書き込み制御線 $SCAN$ および初期化制御線 DIS を駆動するゲートドライバ（走査線駆動回路）21と、発光制御線 EM を駆動するエミッションドライバ22とが含まれている。なお、表示部10の左端側に設けられているパネル駆動部20と表示部10の右端側に設けられているパネル駆動部20とは同様の構成を有しているので、本明細書では表示部10の左端側に設けられているパネル駆動部20に着目して説明を行う。

[0027] 以下、図2および図4に示す各構成要素の動作について説明する。表示制御回路40は、外部から送られる入力画像信号 DIN とタイミング信号群（水平同期信号、垂直同期信号など） TG とを受け取り、デジタル映像信号 DV と、パネル駆動部20内のゲートドライバ21の動作を制御する制御信号 $GCTL$ と、パネル駆動部20内のエミッションドライバ22の動作を制御する制御信号 $ECTL$ と、ソースドライバ30の動作を制御する制御信号 $SCTL$ とを出力する。

[0028] パネル駆動部20内のゲートドライバ21は、表示制御回路40から出力された制御信号 $GCTL$ に基づいて、複数本の書き込み制御線 $SCAN$ に第1走査信号を印加し、複数本の初期化制御線 DIS に第2走査信号を印加する。本実施形態におけるゲートドライバ21は、垂直走査方向の切り替えが

可能となるように構成されている。ゲートドライバ21についての詳しい説明は後述する。パネル駆動部20内のエミッションドライバ22は、表示制御回路40から出力された制御信号ECTLに基づいて、複数本の発光制御線EMに発光制御信号を印加する。ソースドライバ30は、表示制御回路40から出力されたデジタル映像信号DVと制御信号SCTLとに基づいて、複数本のデータ信号線Dにデータ信号を印加する。

[0029] 以上のようにして、複数本の書き込み制御線SCANに第1走査信号が印加され、複数本の初期化制御線DISに第2走査信号が印加され、複数本の発光制御線EMに発光制御信号が印加され、複数本のデータ信号線Dにデータ信号が印加されることによって、入力画像信号DINに基づく画像が表示部10に表示される。

[0030] 以下、 n および m を自然数として、表示部10には、 n 本の書き込み制御線SCAN(1)～SCAN(n)、 n 本の初期化制御線DIS(1)～DIS(n)、 n 本の発光制御線EM(1)～EM(n)、および m 本のデータ信号線D(1)～D(n)が配設されているものと仮定する。従って、表示部10には $n \times m$ 個の画素回路100が含まれている。

[0031] <2. 画素回路の構成および動作>

次に、表示部10内の画素回路100の構成について説明する。図5は、第 i 行第 j 列の画素回路100の構成を示す回路図である。この画素回路100は、表示素子（電流によって駆動される表示素子）としての1個の有機EL素子（有機発光ダイオード）L1と、7個のトランジスタ（典型的には薄膜トランジスタ）T1～T7（第1初期化トランジスタT1、閾値電圧補償トランジスタT2、書き込み制御トランジスタT3、駆動トランジスタT4、電源供給制御トランジスタT5、発光制御トランジスタT6、第2初期化トランジスタT7）と、1個の保持キャパシタCaとを含んでいる。保持キャパシタCaは、2つの電極（第1電極および第2電極）からなる容量素子である。トランジスタT1～T7は、Pチャネル型のトランジスタである。第1初期化トランジスタT1および閾値電圧補償トランジスタT2は、2

個のトランジスタが直列に接続されたデュアルゲート構造を有している。このようなデュアルゲート構造を採用することによって、トランジスタの耐圧の向上やオフ電流の低減という効果が得られる。

[0032] 第1初期化トランジスタT1については、制御端子はi本目の初期化制御線D1S(i)に接続され、第1導通端子は閾値電圧補償トランジスタT2の第2導通端子と駆動トランジスタT4の制御端子と保持キャパシタCaの第2電極とに接続され、第2導通端子は初期化電源線に接続されている。閾値電圧補償トランジスタT2については、制御端子はi本目の書き込み制御線SCAN(i)に接続され、第1導通端子は駆動トランジスタT4の第2導通端子と発光制御トランジスタT6の第1導通端子とに接続され、第2導通端子は第1初期化トランジスタT1の第1導通端子と駆動トランジスタT4の制御端子と保持キャパシタCaの第2電極とに接続されている。書き込み制御トランジスタT3については、制御端子はi本目の書き込み制御線SCAN(i)に接続され、第1導通端子はj本目のデータ信号線D(j)に接続され、第2導通端子は駆動トランジスタT4の第1導通端子と電源供給制御トランジスタT5の第2導通端子とに接続されている。駆動トランジスタT4については、制御端子は第1初期化トランジスタT1の第1導通端子と閾値電圧補償トランジスタT2の第2導通端子と保持キャパシタCaの第2電極とに接続され、第1導通端子は書き込み制御トランジスタT3の第2導通端子と電源供給制御トランジスタT5の第2導通端子とに接続され、第2導通端子は閾値電圧補償トランジスタT2の第1導通端子と発光制御トランジスタT6の第1導通端子とに接続されている。

[0033] 電源供給制御トランジスタT5については、制御端子はi本目の発光制御線EM(i)に接続され、第1導通端子はハイレベル電源線と保持キャパシタCaの第1電極とに接続され、第2導通端子は書き込み制御トランジスタT3の第2導通端子と駆動トランジスタT4の第1導通端子とに接続されている。発光制御トランジスタT6については、制御端子はi本目の発光制御線EM(i)に接続され、第1導通端子は閾値電圧補償トランジスタT2の

第1導通端子と駆動トランジスタT4の第2導通端子とに接続され、第2導通端子は第2初期化トランジスタT7の第1導通端子と有機EL素子L1のアノード端子とに接続されている。第2初期化トランジスタT7については、制御端子はi本目の書き込み制御線SCAN(i)に接続され、第1導通端子は発光制御トランジスタT6の第2導通端子と有機EL素子L1のアノード端子とに接続され、第2導通端子は初期化電源線に接続されている。保持キャパシタCaについては、第1電極はハイレベル電源線と電源供給制御トランジスタT5の第1導通端子とに接続され、第2電極は第1初期化トランジスタT1の第1導通端子と閾値電圧補償トランジスタT2の第2導通端子と駆動トランジスタT4の制御端子とに接続されている。有機EL素子L1については、アノード端子(第1端子)は発光制御トランジスタT6の第2導通端子と第2初期化トランジスタT7の第1導通端子とに接続され、カソード端子(第2端子)はローレベル電源線に接続されている。

[0034] なお、図5に示した構成は一例であって、これには限定されない。例えば、Nチャネル型のトランジスタのみで構成された画素回路を採用することもできる。また、第1初期化トランジスタT1および閾値電圧補償トランジスタT2はデュアルゲート構造を有していなくてもよい。また、例えば、7個のトランジスタT1～T7のうち第2初期化トランジスタT7を有さない構成を採用することもできる。

[0035] 次に、画素回路100の動作について説明する。図6は、図5に示したi行目の画素回路100の動作について説明するためのタイミングチャートである。なお、図6に関し、時刻t00以前の期間および時刻t05以降の期間が発光期間であり、時刻t00～t05の期間が消灯期間である。

[0036] 時刻t00よりも前の期間には、第2走査信号DIS(i)および第1走査信号SCAN(i)はハイレベルとなっており、発光制御信号EM(i)はローレベルとなっている。このとき、電源供給制御トランジスタT5および発光制御トランジスタT6はオン状態となっていて、有機EL素子L1は駆動電流の大きさに応じて発光している。第1初期化トランジスタT1、閾

値電圧補償トランジスタT2、書き込み制御トランジスタT3、および第2初期化トランジスタT7はオフ状態となっている。

[0037] 時刻t00になると、発光制御信号EM(i)がローレベルからハイレベルに変化する。これにより、電源供給制御トランジスタT5および発光制御トランジスタT6がオフ状態となる。その結果、有機EL素子L1への電流の供給が遮断され、有機EL素子L1は消灯状態となる。

[0038] 時刻t01になると、第2走査信号DIS(i)がハイレベルからローレベルに変化する。これにより、第1初期化トランジスタT1がオン状態となる。その結果、駆動トランジスタT4の制御端子の電圧が初期化される。すなわち、駆動トランジスタT4の制御端子の電圧が初期化電圧Viniにほぼ等しくなる。時刻t02になると、第2走査信号DIS(i)がローレベルからハイレベルに変化する。これにより、第1初期化トランジスタT1がオフ状態となる。

[0039] 時刻t03になると、第1走査信号SCAN(i)がハイレベルからローレベルに変化する。これにより、閾値電圧補償トランジスタT2、書き込み制御トランジスタT3、および第2初期化トランジスタT7がオン状態となる。閾値電圧補償トランジスタT2および書き込み制御トランジスタT3がオン状態となることによって、書き込み制御トランジスタT3、駆動トランジスタT4、および閾値電圧補償トランジスタT2を介して、データ信号D(j)が保持キャパシタCaの第2電極に与えられる。これにより、保持キャパシタCaが充電される。また、第2初期化トランジスタT7がオン状態となることによって、有機EL素子L1のアノード電圧が初期化される。すなわち、有機EL素子L1のアノード電圧が初期化電圧Viniにほぼ等しくなる。時刻t04になると、第1走査信号SCAN(i)がローレベルからハイレベルに変化する。これにより、閾値電圧補償トランジスタT2、書き込み制御トランジスタT3、および第2初期化トランジスタT7がオフ状態となる。

[0040] 時刻t05になると、発光制御信号EM(i)がハイレベルからローレベ

ルに変化する。これにより、電源供給制御トランジスタT5および発光制御トランジスタT6がオン状態となり、保持キャパシタC_aの充電電圧に応じた駆動電流が有機EL素子L1に供給される。その結果、当該駆動電流の大きさに応じて有機EL素子L1が発光する。その後、次に発光制御信号EM(i)がローレベルからハイレベルに変化するまでの期間を通じて、有機EL素子L1は発光する。

[0041] 以上のように、各画素回路100においてデータ信号Dの書き込みが行われる際、対応する初期化制御線に印加されている第2走査信号D_{IS}が所定期間ローレベル（オンレベル）になった後、対応する書き込み制御線に印加されている第1走査信号SCANが所定期間ローレベル（オンレベル）になる。なお、本実施形態に係る有機EL表示装置では垂直走査方向の切り替えが可能であるが、正順走査が行われる際にも逆順走査が行われる際にも画素回路100は同じように動作する。

[0042] <3. ゲートドライバ>

<3. 1 ゲートドライバの全体構成>

図1は、本実施形態におけるゲートドライバ21の概略構成を示すブロック図である。図1に示すように、ゲートドライバ21は、表示部10に配設されたn本の書き込み制御線SCAN(1)～SCAN(n)を垂直走査方向に応じて駆動するためのシフトレジスタ211と、シフトレジスタ211の動作を垂直走査方向に応じて制御するための第1の走査順序切り替え回路212と、表示部10に配設されたn本の初期化制御線DIS(1)～DIS(n)を垂直走査方向に応じて駆動するための第2の走査順序切り替え回路213とを含んでいる。

[0043] 図7および図8は、ゲートドライバ21の詳細な構成を示すブロック図である。図7にはシフトレジスタ211の初段側近傍の構成を示しており、図8にはシフトレジスタ211の最終段側近傍の構成を示している。シフトレジスタ211は、(n+2)個の単位回路5(0)～5(n+1)によって構成されている。単位回路5(1)～5(n)はそれぞれ書き込み制御線S

CAN (1) ~ SCAN (n) に接続されている。また、単位回路 5 (0) はダミーの書き込み制御線 SCAN (DUa) に接続され、単位回路 5 (n + 1) はダミーの書き込み制御線 SCAN (DUb) に接続されている。なお、以下において、不特定の単位回路に言及する際には、単位回路に符号 5 を付す。第 1 の走査順序切り替え回路 2 1 2 には、(n + 2) 個の単位回路 5 (0) ~ 5 (n + 1) にそれぞれ対応する (n + 2) 個のスイッチ回路 (以下、「第 1 スwitch回路」という。) SW 1 が含まれている。第 2 の走査順序切り替え回路 2 1 3 には、n 本の初期化制御線 DIS (1) ~ DIS (n) にそれぞれ接続された n 個のスイッチ回路 (以下、「第 2 スwitch回路」という。) SW 2 が含まれている。本実施形態においては、第 1 スwitch回路 SW 1 と第 2 スwitch回路 SW 2 とは同様の構成を有している。

[0044] 図 7 および図 8 に示すように、ゲートドライバ 2 1 には、制御信号 GCTL として、ゲートスタートパルス信号 GSP と、2 相のクロック信号であるゲートクロック信号 GCK 1, GCK 2 と、垂直走査方向 (n 本の書き込み制御線 SCAN (1) ~ SCAN (n) および n 本の初期化制御線 DIS (1) ~ DIS (n) の走査順序) を指示する走査順序指示信号 UD, UDB とが与えられる。ゲートスタートパルス信号 GSP は、単位回路 5 (0) に対応する第 1 スwitch回路 SW 1 と単位回路 5 (n + 1) に対応する第 1 スwitch回路 SW 1 とに与えられる。ゲートクロック信号 GCK 1, GCK 2 は、単位回路 5 (0) ~ 5 (n + 1) に与えられる。走査順序指示信号 UD, UDB は、全ての第 1 スwitch回路 SW 1 と全ての第 2 スwitch回路 SW 2 とに与えられる。なお、本実施形態においては、走査順序指示信号 UDB によって正順走査指示信号が実現され、走査順序指示信号 UD によって逆順走査指示信号が実現されている。

[0045] 各単位回路 5 は、セット入力信号 IN、クロック信号 CK 1、およびクロック信号 CK 2 をそれぞれ受け取るための入力端子と、出力信号 SOUT を出力するための出力端子とを含んでいる。各単位回路 5 には、対応する第 1 スwitch回路 SW 1 の出力信号 OUT がセット入力信号 IN として与えられ

る。また、単位回路5（0）を1段目と定義すると、奇数段目の単位回路5にはゲートクロック信号GCK1がクロック信号CK1として与えられるとともにゲートクロック信号GCK2がクロック信号CK2として与えられ、偶数段目の単位回路5にはゲートクロック信号GCK2がクロック信号CK1として与えられるとともにゲートクロック信号GCK1がクロック信号CK2として与えられる。単位回路5（1）～5（n）の出力信号SOUTは、対応する書き込み制御線SCANに第1走査信号として印加される。

[0046] 各第1スイッチ回路SW1は、第1選択信号SEL、第2選択信号SELB、第1入力信号IN1、および第2入力信号IN2をそれぞれ受け取るための入力端子と、出力信号OUTを出力するための出力端子とを含んでいる。各第1スイッチ回路SW1には、走査順序指示信号UDが第1選択信号SELとして入力され、走査順序指示信号UDBが第2選択信号SELBとして入力される。Kを0以上（n+1）以下の整数として、単位回路5（K）に対応する第1スイッチ回路SW1には、単位回路5（K-1）の出力信号SOUTが第1入力信号IN1として与えられ、単位回路5（K+1）の出力信号SOUTが第2入力信号IN2として与えられる。但し、単位回路5（0）に対応する第1スイッチ回路SW1にはゲートスタートパルス信号GSPが第1入力信号IN1として与えられ、単位回路5（n+1）に対応する第1スイッチ回路SW1にはゲートスタートパルス信号GSPが第2入力信号IN2として与えられる。各第1スイッチ回路SW1の出力信号OUTは、対応する単位回路5にセット入力信号INとして与えられる。

[0047] 各第2スイッチ回路SW2は、第1選択信号SEL、第2選択信号SELB、第1入力信号IN1、および第2入力信号IN2をそれぞれ受け取るための入力端子と、出力信号OUTを出力するための出力端子とを含んでいる。各第2スイッチ回路SW2には、走査順序指示信号UDが第1選択信号SELとして入力され、走査順序指示信号UDBが第2選択信号SELBとして入力される。Pを1以上n以下の自然数として、初期化制御線DIS（P）に接続された第2スイッチ回路SW2には、単位回路5（P-1）の出力

信号 S O U T が第 1 入力信号 I N 1 として与えられ、単位回路 5 (P + 1) の出力信号 S O U T が第 2 入力信号 I N 2 として与えられる。各第 2 スイッチ回路 S W 2 の出力信号 O U T は、対応する初期化制御線 D I S に第 2 走査信号として印加される。

[0048] なお、本実施形態におけるシフトレジスタ 2 1 1 については、n 本の書き込み制御線 S C A N (1) ~ S C A N (n) にそれぞれ接続された n 個の単位回路 5 (1) ~ 5 (n) よりも前段側および後段側に 1 個ずつ単位回路 5 が設けられている。しかしながら、これには限定されず、n 個の単位回路 5 (1) ~ 5 (n) よりも前段側および後段側にそれぞれ 2 個以上の単位回路 5 が設けられていても良い。すなわち、シフトレジスタ 2 1 1 は、n 本の書き込み制御線 S C A N (1) ~ S C A N (n) にそれぞれ接続された n 個の単位回路 5 (1) ~ 5 (n) と、当該 n 個の単位回路 5 (1) ~ 5 (n) よりも前段側に設けられた 1 個以上の単位回路 5 と、当該 n 個の単位回路 5 (1) ~ 5 (n) よりも後段側に設けられた 1 個以上の単位回路 5 とを含む複数個の単位回路 5 によって構成されていれば良い。

[0049] < 3. 2 単位回路の構成および動作 >

図 9 は、本実施形態における単位回路 5 の一構成例を示す回路図である。図 9 に示すように、単位回路 5 は、9 個のトランジスタ M 1 ~ M 9 と 2 個のキャパシタ C 1 , C 2 と 1 個の抵抗器 R 1 を備えている。トランジスタ M 1 ~ M 9 は P チャネル型のトランジスタである。単位回路 5 は、また、ゲートハイ電位 V G H を供給する第 1 定電位線に接続された入力端子およびゲートロー電位 V G L を供給する第 2 定電位線に接続された入力端子のほか、4 個の入力端子 5 1 ~ 5 4 および 1 個の出力端子 5 9 を有している。図 9 では、セット入力信号 I N を受け取るための入力端子に符号 5 1 を付し、クロック信号 C K 1 を受け取るための入力端子に符号 5 2 を付し、クロック信号 C K 2 を受け取るための入力端子に符号 5 3 を付し、初期化信号 I N I T B を受け取るための入力端子に符号 5 4 を付し、出力信号 S O U T を出力するための出力端子に符号 5 9 を付している。なお、図 7 および図 8 では、単位回路

5に関して、第1定電位線に接続された入力端子、第2定電位線に接続された入力端子、および入力端子54の図示を省略している。

[0050] トランジスタM2の第2導通端子、トランジスタM4の第1導通端子、およびトランジスタM6の第1導通端子は互いに接続されている。なお、これらが互いに接続されている一節点のことを「第1内部ノード」という。第1内部ノードには符号N1を付す。トランジスタM6の第2導通端子とトランジスタM8の制御端子とキャパシタC2の第1電極とは接続されている。なお、これらが接続されている一節点のことを「第2内部ノード」という。第2内部ノードには符号N2を付す。トランジスタM1の第1導通端子、トランジスタM3の第1導通端子、トランジスタM4の制御端子、トランジスタM7の制御端子、トランジスタM9の第2導通端子、キャパシタC1の第1電極、および抵抗器R1の一端は互いに接続されている。なお、これらが互いに接続されている一節点のことを「第3内部ノード」という。第3内部ノードには符号N3を付す。

[0051] トランジスタM1については、制御端子は入力端子51に接続され、第1導通端子は第3内部ノードN3に接続され、第2導通端子は第1定電位線に接続されている。トランジスタM2については、制御端子は入力端子51に接続され、第1導通端子は第2定電位線に接続され、第2導通端子は第1内部ノードN1に接続されている。トランジスタM3については、制御端子は出力端子59に接続され、第1導通端子は第3内部ノードN3に接続され、第2導通端子は第1定電位線に接続されている。トランジスタM4については、制御端子は第3内部ノードN3に接続され、第1導通端子は第1内部ノードN1に接続され、第2導通端子は第1定電位線に接続されている。トランジスタM5については、制御端子は入力端子52に接続され、第1導通端子は第2定電位線に接続され、第2導通端子は抵抗器R1の他端に接続されている。トランジスタM6については、制御端子は第2定電位線に接続され、第1導通端子は第1内部ノードN1に接続され、第2導通端子は第2内部ノードN2に接続されている。トランジスタM7については、制御端子は第

3 内部ノード N 3 に接続され、第 1 導通端子は出力端子 5 9 に接続され、第 2 導通端子は第 1 定電位線に接続されている。トランジスタ M 8 については、制御端子は第 2 内部ノード N 2 に接続され、第 1 導通端子は入力端子 5 3 に接続され、第 2 導通端子は出力端子 5 9 に接続されている。トランジスタ M 9 については、制御端子は入力端子 5 4 に接続され、第 1 導通端子は第 2 定電位線に接続され、第 2 導通端子は第 3 内部ノード N 3 に接続されている。キャパシタ C 1 については、第 1 電極は第 3 内部ノード N 3 に接続され、第 2 電極はトランジスタ M 7 の第 2 導通端子に接続されている。キャパシタ C 2 については、第 1 電極は第 2 内部ノード N 2 に接続され、第 2 電極はトランジスタ M 8 の第 2 導通端子に接続されている。抵抗器 R 1 については、一端は第 3 内部ノード N 3 に接続され、他端はトランジスタ M 5 の第 2 導通端子に接続されている。

[0052] 入力端子 5 4 に与えられる初期化信号 I N I T B は、通常動作時にはハイレベルで維持される。従って、通常動作が行われている期間を通じて、トランジスタ M 9 はオフ状態で維持される。

[0053] ここで、トランジスタ M 6 に着目する。トランジスタ M 6 の制御端子には、ゲートロー電位 V G L が与えられている。このゲートロー電位 V G L は、第 1 内部ノード N 1 または第 2 内部ノード N 2 の電位が通常のローレベルよりも低いときを除いてトランジスタ M 6 をオン状態で維持するレベルの電位である。すなわち、トランジスタ M 6 は、第 1 内部ノード N 1 または第 2 内部ノード N 2 の電位が通常のローレベルよりも低いときを除いてオン状態で維持される。トランジスタ M 6 は、第 2 内部ノード N 2 の電位が所定以下になるとオフ状態となり、第 1 内部ノード N 1 と第 2 内部ノード N 2 とを電氣的に切り離す。これにより、トランジスタ M 6 は、第 2 内部ノード N 2 がブースト状態になったときの当該第 2 内部ノード N 2 の電位の低下を補助する。

[0054] なお、図 9 に示した単位回路 5 の構成は一例であって、様々な構成の単位回路を採用することができる。

- [0055] 次に、図10を参照しつつ、単位回路5の動作について説明する。なお、時刻 t_{13} ～時刻 t_{14} の期間がこの単位回路5から出力信号SOUTのパルスが出力されるべき期間であると仮定する。
- [0056] 時刻 t_{11} の直前の時点には、セット入力信号INはハイレベル、クロック信号CK1はハイレベル、クロック信号CK2はハイレベル、第1内部ノードN1の電位はハイレベル、第2内部ノードN2の電位はハイレベル、第3内部ノードN3の電位はローレベル、出力信号SOUTはハイレベルとなっている。
- [0057] 時刻 t_{11} になると、セット入力信号INがハイレベルからローレベルに変化する。これにより、トランジスタM2がオン状態となり、第1内部ノードN1および第2内部ノードN2の電位が低下する。その結果、トランジスタM8がオン状態となる。しかしながら、時刻 t_{11} ～時刻 t_{12} の間には、クロック信号CK2はハイレベルで維持されるので、出力端子59の電位（出力信号SOUTの電位）はハイレベルで維持される。また、時刻 t_{11} には、トランジスタM1がオン状態となるので、第3内部ノードN3の電位が上昇する。
- [0058] 時刻 t_{12} ～時刻 t_{13} の間には、時刻 t_{11} ～時刻 t_{12} の間と同様、クロック信号CK2はハイレベルで維持される。従って、時刻 t_{12} ～時刻 t_{13} の間には、出力端子59の電位（出力信号SOUTの電位）はハイレベルで維持される。
- [0059] 時刻 t_{13} になると、クロック信号CK2がハイレベルからローレベルに変化する。このとき、トランジスタM8はオン状態となっているので、入力端子53の電位の低下とともに出力端子59の電位（出力信号SOUTの電位）が低下する。ここで、第2内部ノードN2－出力端子59間にはキャパシタC2が設けられているので、出力端子59の電位の低下とともに第2内部ノードN2の電位も低下する。その結果、トランジスタM8の制御端子には大きな負の電圧が印加され、出力端子59の電位（出力信号SOUTの電位）が十分に低下する。なお、時刻 t_{13} ～時刻 t_{14} の間には、トラン

ジスタM6はオフ状態となり、第1内部ノードN1の電位は時刻 t_{13} 以前の電位で維持される。

[0060] 時刻 t_{14} になると、クロック信号CK2がローレベルからハイレベルに変化する。これにより、入力端子53の電位の上昇とともに出力端子59の電位（出力信号SOUTの電位）が上昇する。出力端子59の電位が上昇すると、キャパシタC2を介して、第2内部ノードN2の電位も上昇する。これにより、トランジスタM6はオン状態となる。

[0061] 時刻 t_{15} になると、クロック信号CK1がハイレベルからローレベルに変化する。これにより、トランジスタM5がオン状態となり、第3内部ノードN3の電位が低下する。第3内部ノードN3の電位が低下することによって、トランジスタM4がオン状態となる。その結果、第1内部ノードN1の電位が上昇する。このとき、トランジスタM6はオン状態であるので、第2内部ノードN2の電位も上昇する。

[0062] 時刻 t_{15} 以降の期間には、時刻 t_{11} 以前の期間と同様、セット入力信号INはハイレベルで維持され、第1内部ノードN1の電位はハイレベルで維持され、第2内部ノードN2の電位はハイレベルで維持され、第3内部ノードN3の電位はローレベルで維持され、出力信号SOUTはハイレベルで維持される。

[0063] <3. 3 スイッチ回路の構成および動作>

図11は、本実施形態におけるスイッチ回路SW（第1スイッチ回路SW1、第2スイッチ回路SW2）の構成を示す回路図である。スイッチ回路SWは、2個のトランジスタ64、65を備えている。トランジスタ64、65は、Pチャネル型のトランジスタである。スイッチ回路SWは、また、4個の入力端子60～63および1個の出力端子69を有している。図11では、第1入力信号IN1が与えられる入力端子に符号60を付し、第2入力信号IN2が与えられる入力端子に符号61を付し、第2選択信号SELBが与えられる入力端子に符号62を付し、第1選択信号SELが与えられる入力端子に符号63を付している。

[0064] トランジスタ 6 4 については、制御端子は入力端子 6 2 に接続され、第 1 導通端子は入力端子 6 0 に接続され、第 2 導通端子は出力端子 6 9 に接続されている。トランジスタ 6 5 については、制御端子は入力端子 6 3 に接続され、第 1 導通端子は入力端子 6 1 に接続され、第 2 導通端子は出力端子 6 9 に接続されている。

[0065] 以上のような構成において、正順走査が行われる際には、第 1 選択信号 S E L はハイレベルで維持され、第 2 選択信号 S E L B はローレベルで維持される。このとき、トランジスタ 6 5 がオフ状態で維持されるとともにトランジスタ 6 4 がオン状態で維持される。これにより、入力端子 6 0 に与えられている第 1 入力信号 I N 1 が出力信号 O U T として出力端子 6 9 から出力される。また、逆順走査が行われる際には、第 1 選択信号 S E L はローレベルで維持され、第 2 選択信号 S E L B はハイレベルで維持される。このとき、トランジスタ 6 5 がオン状態で維持されるとともにトランジスタ 6 4 がオフ状態で維持される。これにより、入力端子 6 1 に与えられている第 2 入力信号 I N 2 が出力信号 O U T として出力端子 6 9 から出力される。

[0066] なお、本実施形態においては、トランジスタ 6 4 によって第 1 トランジスタが実現され、トランジスタ 6 5 によって第 2 トランジスタが実現され、入力端子 6 0 によって第 1 入力端子が実現され、入力端子 6 1 によって第 2 入力端子が実現され、入力端子 6 2 によって第 3 入力端子が実現され、入力端子 6 3 によって第 4 入力端子が実現されている。

[0067] < 3. 4 全体の動作 >

上述のようなゲートドライバ 2 1 の構成を踏まえ、正順走査が行われる際および逆順走査が行われる際のゲートドライバ 2 1 の全体の動作について説明する。なお、本実施形態においては、書き込み制御線 S C A N に印加されている第 1 走査信号がローレベルである時には当該書き込み制御線 S C A N はアクティブな状態であって、書き込み制御線 S C A N に印加されている第 1 走査信号がハイレベルである時には当該書き込み制御線 S C A N は非アクティブな状態である。同様に、初期化制御線 D I S に印加されている第 2 走

査信号がローレベルである時には当該初期化制御線D I Sはアクティブな状態であって、初期化制御線D I Sに印加されている第2走査信号がハイレベルである時には当該初期化制御線D I Sは非アクティブな状態である。

[0068] <3. 4. 1 正順走査が行われる際の動作>

図12および図13は、正順走査が行われる際のゲートドライバ21の動作について説明するためのタイミングチャートである。図12および図13に示すように、正順走査が行われる際には、走査順序指示信号UDはハイレベル（オフレベル）で維持され、走査順序指示信号UDBはローレベル（オンレベル）で維持される。

[0069] 時刻 t_{21} よりも前の期間には、単位回路5(0)~5($n+1$)から出力される全ての出力信号SOUT(図12および図13では不図示)はハイレベルとなっていて、全ての書き込み制御線SCAN(1)~SCAN(n)および全ての初期化制御線DIS(1)~DIS(n)は非アクティブとなっている。

[0070] 時刻 t_{21} になると、ゲートスタートパルス信号GSPがハイレベルからローレベルに変化する。上述したように、ゲートスタートパルス信号GSPは、単位回路5(0)に対応する第1スイッチ回路SW1に第1入力信号IN1として与えられ、単位回路5($n+1$)に対応する第1スイッチ回路SW1に第2入力信号IN2として与えられる。このとき、各第1スイッチ回路SW1(図11参照)では、トランジスタ65はオフ状態で維持され、トランジスタ64はオン状態で維持されている。以上より、単位回路5(0)に対応する第1スイッチ回路SW1の出力信号OUTがハイレベルからローレベルに変化する。これにより、単位回路5(0)の入力端子51に与えられるセット入力信号INがハイレベルからローレベルに変化する。

[0071] 時刻 t_{22} になると、ゲートクロック信号GCK1がハイレベルからローレベルに変化する。単位回路5(0)には、ゲートクロック信号GCK1がクロック信号CK1として入力端子52に与えられる。従って、時刻 t_{22} には、単位回路5(0)内のトランジスタM2がオン状態となる。このとき

、単位回路5（0）の入力端子51に与えられているセット入力信号INはローレベルとなっているので、単位回路5（0）において内部ノードN1の電位が低下する。その結果、単位回路5（0）内のトランジスタM1がオン状態となる。

[0072] 時刻 t_{23} になると、ゲートクロック信号GCK2がハイレベルからローレベルに変化する。単位回路5（0）には、ゲートクロック信号GCK2がクロック信号CK2として入力端子53に与えられる。上述したように時刻 t_{22} に単位回路5（0）内のトランジスタM1がオン状態となっているので、ゲートクロック信号GCK2がハイレベルからローレベルに変化することによって単位回路5（0）の出力信号SOUTがローレベルとなる。すなわち、ダミーの書き込み制御線SCAN（DUa）がアクティブになる。また、単位回路5（0）の出力信号SOUTは、初期化制御線DIS（1）に接続された第2スイッチ回路SW2に第1入力信号IN1として与えられる。このとき、各第2スイッチ回路SW2（図11参照）では、トランジスタ65はオフ状態で維持され、トランジスタ64はオン状態で維持されている。以上より、初期化制御線DIS（1）に接続された第2スイッチ回路SW2の出力信号OUTがハイレベルからローレベルに変化する。すなわち、初期化制御線DIS（1）がアクティブになる。

[0073] ところで、単位回路5（0）の出力信号SOUTは、単位回路5（1）に対応する第1スイッチ回路SW1に第1入力信号IN1として与えられる。また、各第1スイッチ回路SW1では、トランジスタ65はオフ状態で維持され、トランジスタ64はオン状態で維持されている。以上より、時刻 t_{23} には、単位回路5（1）に対応する第1スイッチ回路SW1の出力信号OUTがハイレベルからローレベルに変化する。これにより、単位回路5（1）の入力端子51に与えられるセット入力信号INがハイレベルからローレベルに変化する。単位回路5（1）にはゲートクロック信号GCK2がクロック信号CK1として入力端子52に与えられるので、時刻 t_{23} には、単位回路5（1）内のトランジスタM2がオン状態となる。このとき、単位回

路5(1)の入力端子51に与えられているセット入力信号INは上述したようにローレベルとなっているので、単位回路5(1)において内部ノードN1の電位が低下する。その結果、単位回路5(1)内のトランジスタM1がオン状態となる。

[0074] 時刻 t_{24} になると、ゲートクロック信号GCK1がハイレベルからローレベルに変化する。単位回路5(1)には、ゲートクロック信号GCK1がクロック信号CK2として入力端子53に与えられる。上述したように時刻 t_{23} に単位回路5(1)内のトランジスタM1がオン状態となっているので、ゲートクロック信号GCK1がハイレベルからローレベルに変化することによって単位回路5(1)の出力信号SOUTがローレベルとなる。すなわち、書き込み制御線SCAN(1)がアクティブになる。また、単位回路5(1)の出力信号SOUTは、初期化制御線DIS(2)に接続された第2スイッチ回路SW2に第1入力信号IN1として与えられる。このとき、各第2スイッチ回路SW2では、トランジスタ65はオフ状態で維持され、トランジスタ64はオン状態で維持されている。以上より、初期化制御線DIS(2)に接続された第2スイッチ回路SW2の出力信号OUTがハイレベルからローレベルに変化する。すなわち、初期化制御線DIS(2)がアクティブになる。

[0075] 同様にして、時刻 t_{25} には、書き込み制御線SCAN(2)および初期化制御線DIS(3)がアクティブになる。

[0076] 以上のように、1本目の初期化制御線DIS(1)から n 本目の初期化制御線DIS(n)が順次にアクティブになり、また、1本目の書き込み制御線SCAN(1)から n 本目の書き込み制御線SCAN(n)が順次にアクティブになる。その際、 k を1以上($n-1$)以下の自然数として、 k 本目の書き込み制御線SCAN(k)と($k+1$)本目の初期化制御線DIS($k+1$)とが同じタイミングでアクティブになる。

[0077] <3.4.2 逆順走査が行われる際の動作>

図14および図15は、逆順走査が行われる際のゲートドライバ21の動

作について説明するためのタイミングチャートである。図14および図15に示すように、逆順走査が行われる際には、走査順序指示信号UDはローレベル（オンレベル）で維持され、走査順序指示信号UDBはハイレベル（オフレベル）で維持される。

[0078] 時刻 t_{31} よりも前の期間には、単位回路5(0)～5($n+1$)から出力される全ての出力信号SOUT(図14および図15では不図示)はハイレベルとなっていて、全ての書き込み制御線SCAN(1)～SCAN(n)および全ての初期化制御線DIS(1)～DIS(n)は非アクティブとなっている。

[0079] 時刻 t_{31} になると、ゲートスタートパルス信号GSPがハイレベルからローレベルに変化する。上述したように、ゲートスタートパルス信号GSPは、単位回路5(0)に対応する第1スイッチ回路SW1に第1入力信号IN1として与えられ、単位回路5($n+1$)に対応する第1スイッチ回路SW1に第2入力信号IN2として与えられる。このとき、各第1スイッチ回路SW1(図11参照)では、トランジスタ65はオン状態で維持され、トランジスタ64はオフ状態で維持されている。以上より、単位回路5($n+1$)に対応する第1スイッチ回路SW1の出力信号OUTがハイレベルからローレベルに変化する。これにより、単位回路5($n+1$)の入力端子51に与えられるセット入力信号INがハイレベルからローレベルに変化する。

[0080] 時刻 t_{32} になると、ゲートクロック信号GCK1がハイレベルからローレベルに変化する。単位回路5($n+1$)には、ゲートクロック信号GCK1がクロック信号CK1として入力端子52に与えられる。従って、時刻 t_{32} には、単位回路5($n+1$)内のトランジスタM2がオン状態となる。このとき、単位回路5($n+1$)の入力端子51に与えられているセット入力信号INはローレベルとなっているので、単位回路5($n+1$)において内部ノードN1の電位が低下する。その結果、単位回路5($n+1$)内のトランジスタM1がオン状態となる。

[0081] 時刻 t_{33} になると、ゲートクロック信号GCK2がハイレベルからロー

レベルに変化する。単位回路 5 (n + 1) には、ゲートクロック信号 GCK 2 がクロック信号 CK 2 として入力端子 5 3 に与えられる。上述したように時刻 t 3 2 に単位回路 5 (n + 1) 内のトランジスタ M 1 がオン状態となっているので、ゲートクロック信号 GCK 2 がハイレベルからローレベルに変化することによって単位回路 5 (n + 1) の出力信号 SOUT がローレベルとなる。すなわち、ダミーの書き込み制御線 SCAN (DUB) がアクティブになる。また、単位回路 5 (n + 1) の出力信号 SOUT は、初期化制御線 DIS (n) に接続された第 2 スイッチ回路 SW 2 に第 2 入力信号 IN 2 として与えられる。このとき、各第 2 スイッチ回路 SW 2 (図 1 1 参照) では、トランジスタ 6 5 はオン状態で維持され、トランジスタ 6 4 はオフ状態で維持されている。以上より、初期化制御線 DIS (n) に接続された第 2 スイッチ回路 SW 2 の出力信号 OUT がハイレベルからローレベルに変化する。すなわち、初期化制御線 DIS (n) がアクティブになる。

[0082] ところで、単位回路 5 (n + 1) の出力信号 SOUT は、単位回路 5 (n) に対応する第 1 スイッチ回路 SW 1 に第 2 入力信号 IN 2 として与えられる。また、各第 1 スイッチ回路 SW 1 では、トランジスタ 6 5 はオン状態で維持され、トランジスタ 6 4 はオフ状態で維持されている。以上より、時刻 t 3 3 には、単位回路 5 (n) に対応する第 1 スイッチ回路 SW 1 の出力信号 OUT がハイレベルからローレベルに変化する。これにより、単位回路 5 (n) の入力端子 5 1 に与えられるセット入力信号 IN がハイレベルからローレベルに変化する。単位回路 5 (n) にはゲートクロック信号 GCK 2 がクロック信号 CK 1 として入力端子 5 2 に与えられるので、時刻 t 3 3 には、単位回路 5 (n) 内のトランジスタ M 2 がオン状態となる。このとき、単位回路 5 (n) の入力端子 5 1 に与えられているセット入力信号 IN は上述したようにローレベルとなっているので、単位回路 5 (n) において内部ノード N 1 の電位が低下する。その結果、単位回路 5 (n) 内のトランジスタ M 1 がオン状態となる。

[0083] 時刻 t 3 4 になると、ゲートクロック信号 GCK 1 がハイレベルからロー

レベルに変化する。単位回路5 (n) には、ゲートクロック信号GCK1がクロック信号CK2として入力端子53に与えられる。上述したように時刻t33に単位回路5 (n) 内のトランジスタM1がオン状態となっているので、ゲートクロック信号GCK1がハイレベルからローレベルに変化することによって単位回路5 (n) の出力信号SOUTがローレベルとなる。すなわち、書き込み制御線SCAN (n) がアクティブになる。また、単位回路5 (n) の出力信号SOUTは、初期化制御線DIS (n-1) に接続された第2スイッチ回路SW2に第2入力信号IN2として与えられる。このとき、各第2スイッチ回路SW2では、トランジスタ65はオン状態で維持され、トランジスタ64はオフ状態で維持されている。以上より、初期化制御線DIS (n-1) に接続された第2スイッチ回路SW2の出力信号OUTがハイレベルからローレベルに変化する。すなわち、初期化制御線DIS (n-1) がアクティブになる。

[0084] 同様にして、時刻t35には、書き込み制御線SCAN (n-1) および初期化制御線DIS (n-2) がアクティブになる。

[0085] 以上のように、n本目の初期化制御線DIS (n) から1本目の初期化制御線DIS (1) が順次にアクティブになり、また、n本目の書き込み制御線SCAN (n) から1本目の書き込み制御線SCAN (1) が順次にアクティブになる。その際、kを2以上n以下の自然数として、k本目の書き込み制御線SCAN (k) と(k-1)本目の初期化制御線DIS (k-1) とが同じタイミングでアクティブになる。

[0086] <4. 効果>

本実施形態によれば、ゲートドライバ21は、n本の書き込み制御線SCAN (1) ~SCAN (n) にそれぞれ接続されたn個の単位回路5 (1) ~5 (n) を含むシフトレジスタ211と、垂直走査方向の切り替えを可能にするための第1および第2の走査順序切り替え回路212, 213とによって構成されている。第1の走査順序切り替え回路212は、垂直走査方向に応じてシフトレジスタ211の動作を制御する。従って、シフトレジスタ

211と第1の走査順序切り替え回路212とによって双方向シフトレジスタが実現されている。第2の走査順序切り替え回路213は、 n 個のスイッチ回路（第2スイッチ回路）SW2からなり、垂直走査方向に応じて n 本の初期化制御線DIS(1)～DIS(n)を駆動する。詳しくは、 P を自然数として、 P 本目の初期化制御線DIS(P)に接続された第2スイッチ回路SW2は、走査順序指示信号UD、UDBに基づいて、($P-1$)本目の書き込み制御線SCAN($P-1$)に接続された単位回路5($P-1$)の出力信号SOUTまたは($P+1$)本目の書き込み制御線SCAN($P+1$)に接続された単位回路5($P+1$)の出力信号SOUTを P 本目の初期化制御線DIS(P)に第2走査信号として印加する。これにより、正順走査が行われる際には P 本目の書き込み制御線SCAN(P)と($P+1$)本目の初期化制御線DIS($P+1$)とが同じタイミングでアクティブとなり、かつ、逆順走査が行われる際には P 本目の書き込み制御線SCAN(P)と($P-1$)本目の初期化制御線DIS($P-1$)とが同じタイミングでアクティブとなる。その結果、各画素回路100では、垂直走査方向に関わらず、接続先の初期化制御線DISがアクティブになってから接続先の書き込み制御線SCANがアクティブとなる。すなわち、垂直走査方向の切り替えが正常に行われる。ところで、第2の走査順序切り替え回路213は上述したように n 個のスイッチ回路（第2スイッチ回路）SW2によって構成されている。以上より、1系統の双方向シフトレジスタに n 個のスイッチ回路を加えた構成によって、2種類の水平走査線（書き込み制御線SCAN、初期化制御線DIS）を含む有機EL表示装置において垂直走査方向の切り替えが可能となっている。1系統の双方向シフトレジスタに n 個のスイッチ回路を加えた構成に必要とされる回路面積は2系統の双方向シフトレジスタの形成に必要とされる回路面積よりも小さいので、本実施形態によれば、垂直走査方向（複数本の水平走査線の走査順序）の切り替えが可能な有機EL表示装置の狭額縁化が実現される。

[0087] <5. 変形例>

<5. 1 第1の変形例>

上記実施形態においては、スイッチ回路SW（第1スイッチ回路SW1、第2スイッチ回路SW2）は図11に示すような構成を有していた。しかしながら、本開示はこれに限定されない。そこで、以下、スイッチ回路SWの別の構成例について説明する。

[0088] 図16は、本変形例におけるスイッチ回路SWの構成を示す回路図である。このスイッチ回路SWは、4個のトランジスタ74～77と2個のキャパシタ78、79とを備えている。トランジスタ74～77は、Pチャネル型のトランジスタである。このスイッチ回路SWは、また、4個の入力端子70～73および1個の出力端子80を有している。図16では、第1入力信号IN1が与えられる入力端子に符号70を付し、第2入力信号IN2が与えられる入力端子に符号71を付し、第2選択信号SELBが与えられる入力端子に符号72を付し、第1選択信号SELが与えられる入力端子に符号73を付している。

[0089] トランジスタ74については、制御端子はトランジスタ76の第2導通端子とキャパシタ78の第1電極とに接続され、第1導通端子は入力端子70とキャパシタ78の第2電極とに接続され、第2導通端子は出力端子80に接続されている。トランジスタ76については、制御端子は接地され、第1導通端子は入力端子72に接続され、第2導通端子はトランジスタ74の制御端子とキャパシタ78の第1電極とに接続されている。キャパシタ78については、第1電極はトランジスタ74の制御端子とトランジスタ76の第2導通端子とに接続され、第2電極はトランジスタ74の第1導通端子と入力端子70とに接続されている。トランジスタ75については、制御端子はトランジスタ77の第2導通端子とキャパシタ79の第1電極とに接続され、第1導通端子は入力端子71とキャパシタ79の第2電極とに接続され、第2導通端子は出力端子80に接続されている。トランジスタ77については、制御端子は接地され、第1導通端子は入力端子73に接続され、第2導通端子はトランジスタ75の制御端子とキャパシタ79の第1電極とに接続

されている。キャパシタ 79 については、第 1 電極はトランジスタ 75 の制御端子とトランジスタ 77 の第 2 導通端子とに接続され、第 2 電極はトランジスタ 75 の第 1 導通端子と入力端子 71 とに接続されている。

[0090] 正順走査が行われる際には、第 1 選択信号 SEL はハイレベルで維持され、第 2 選択信号 SELB はローレベルで維持される。これにより、トランジスタ 75 がオフ状態で維持されるとともにトランジスタ 74 がオン状態で維持される。この状態において、入力端子 70 に与えられている第 1 入力信号 IN1 がハイレベルからローレベルに変化すると、キャパシタ 78 の存在に起因してトランジスタ 74 の制御端子の電位が大きく低下する。その結果、トランジスタ 74 の制御端子には大きな負の電圧が印加され、出力信号 OUT の電位が十分に低下する。逆順走査が行われる際には、第 1 選択信号 SEL はローレベルで維持され、第 2 選択信号 SELB はハイレベルで維持される。これにより、トランジスタ 75 がオン状態で維持されるとともにトランジスタ 74 がオフ状態で維持される。この状態において、入力端子 71 に与えられている第 2 入力信号 IN2 がハイレベルからローレベルに変化すると、キャパシタ 79 の存在に起因してトランジスタ 75 の制御端子の電位が大きく低下する。その結果、トランジスタ 75 の制御端子には大きな負の電圧が印加され、出力信号 OUT の電位が十分に低下する。以上のようにして、本変形例においては、出力信号 OUT に関して、第 1 入力信号 IN1 および第 2 入力信号 IN2 とほぼ同等の振幅が得られる。

[0091] 本変形例によれば、スイッチ回路 SW 内のトランジスタ 74、75 の閾値電圧が出力信号 OUT の振幅に及ぼす影響が小さい。このため、回路の動作に異常が生じることが抑制される。

[0092] なお、本変形例においては、トランジスタ 74 によって第 1 トランジスタが実現され、トランジスタ 75 によって第 2 トランジスタが実現され、トランジスタ 76 によって第 3 トランジスタが実現され、トランジスタ 77 によって第 4 トランジスタが実現され、キャパシタ 78 によって第 1 キャパシタが実現され、キャパシタ 79 によって第 2 キャパシタが実現され、入力端子

70によって第1入力端子が実現され、入力端子71によって第2入力端子が実現され、入力端子72によって第3入力端子が実現され、入力端子73によって第4入力端子が実現されている。

[0093] <5. 2 第2の変形例>

上記実施形態においては、スイッチ回路SW（第1スイッチ回路SW1、第2スイッチ回路SW2）は図11に示す構成を有していた。上記第1の変形例においては、スイッチ回路SW（第1スイッチ回路SW1、第2スイッチ回路SW2）は図16に示す構成を有していた。それらに対して、本変形例においては、第1スイッチ回路SW1については図11に示す構成が採用され、第2スイッチ回路SW2については図16に示す構成が採用される。

[0094] 図16に示す構成においてトランジスタ74, 75の閾値電圧が出力信号OUTの振幅に及ぼす影響は、図11に示す構成においてトランジスタ64, 65の閾値電圧が出力信号OUTの振幅に及ぼす影響よりも小さい。また、第1スイッチ回路SW1の出力信号OUTは単位回路5に与えられるのに対して、第2スイッチ回路SW2の出力信号OUTは初期化制御線DISに与えられる。ここで、第2スイッチ回路SW2の出力信号OUTは画素回路100の駆動に直接的に関わるので、当該出力信号OUTの振幅は充分に大きいことが好ましい。

[0095] そこで、本変形例においては、上述したように、第2スイッチ回路SW2については図16に示す構成が採用される。また、第1スイッチ回路SW1については、必要な回路素子を少なくして狭額縁化を図るという観点から、上述したように図11に示す構成が採用される。

[0096] <5. 3 第3の変形例>

上記実施形態においては、正順走査が行われる際にはk本目の書き込み制御線SCAN(k)と(k+1)本目の初期化制御線DIS(k+1)とが同じタイミングでアクティブとなり、かつ、逆順走査が行われる際にはk本目の書き込み制御線SCAN(k)と(k-1)本目の初期化制御線DIS(k-1)とが同じタイミングでアクティブとなるように、書き込み制御線

SCANおよび初期化制御線DISの駆動が行われていた。しかしながら、本開示はこれに限定されない。例えば、正順走査が行われる際にはk本目の書き込み制御線SCAN(k)と(k+2)本目の初期化制御線DIS(k+2)とが同じタイミングでアクティブとなり、かつ、逆順走査が行われる際にはk本目の書き込み制御線SCAN(k)と(k-2)本目の初期化制御線DIS(k-2)とが同じタイミングでアクティブとなるように、書き込み制御線SCANおよび初期化制御線DISの駆動が行われても良い。

[0097] 一般化すると、PおよびQを自然数として、正順走査が行われる際にはP本目の書き込み制御線SCAN(P)と(P+2)本目の初期化制御線DIS(P+2)とが同じタイミングでアクティブとなり、かつ、逆順走査が行われる際にはP本目の書き込み制御線SCAN(P)と(P-2)本目の初期化制御線DIS(P-2)とが同じタイミングでアクティブとなるように、書き込み制御線SCANおよび初期化制御線DISの駆動が行われる。すなわち、PおよびQを自然数として、P本目の初期化制御線DIS(P)に接続された第2スイッチ回路SW2は、走査順序指示信号UD、UDBに基づいて、(P-Q)本目の書き込み制御線SCAN(P-Q)に接続された単位回路5(P-Q)の出力信号SOUTまたは(P+Q)本目の書き込み制御線SCAN(P+Q)に接続された単位回路5(P+Q)の出力信号SOUTをP本目の初期化制御線DIS(P)に第2走査信号として印加する。

[0098] <6. その他>

上記実施形態および上記第1～第3の変形例では有機EL表示装置を例に挙げて説明したが、これには限定されず、無機EL表示装置、QLED表示装置などにも本開示を適用することができる。

符号の説明

[0099] 10…表示部

20…パネル駆動部

21…ゲートドライバ

2 2 …エミッションドライバ

1 0 0 …画素回路

2 1 1 …シフトレジスタ

2 1 2 …第 1 の走査順序切り替え回路

2 1 3 …第 2 の走査順序切り替え回路

SW 1 …第 1 スイッチ回路（第 1 の走査順序切り替え回路内のスイッチ回路）

SW 2 …第 2 スイッチ回路（第 2 の走査順序切り替え回路内のスイッチ回路）

SCAN …書き込み制御線，第 1 走査信号

DIS …初期化制御線，第 2 走査信号

EM …発光制御線，発光制御信号

UD，UDB …走査順序指示信号

L 1 …有機 EL 素子

T 1 …第 1 初期化トランジスタ

T 2 …閾値電圧補償トランジスタ

T 3 …書き込み制御トランジスタ

T 4 …駆動トランジスタ

T 5 …電源供給制御トランジスタ

T 6 …発光制御トランジスタ

T 7 …第 2 初期化トランジスタ

請求の範囲

[請求項1] 電流によって駆動される表示素子を含む画素回路を備えた表示装置であって、

n および m を自然数として、 n 本の第1走査線と、 m 本のデータ信号線と、前記 n 本の第1走査線と前記 m 本のデータ信号線との交差点に対応して設けられた $n \times m$ 個の前記画素回路と、前記 n 本の第1走査線と1対1で対応する n 本の第2走査線とを含む表示部と、

前記 n 本の第1走査線および前記 n 本の第2走査線の走査順序を指示する走査順序指示信号に基づいて、前記 n 本の第1走査線に第1走査信号を印加し、前記 n 本の第2走査線に第2走査信号を印加する走査線駆動回路と、

前記 m 本のデータ信号線にデータ信号を印加するデータ信号線駆動回路とを備え、

前記走査線駆動回路は、

前記 n 本の第1走査線にそれぞれ接続された n 個の単位回路と、前記 n 個の単位回路よりも前段側に設けられた1個以上の単位回路と、前記 n 個の単位回路よりも後段側に設けられた1個以上の単位回路とを含む複数個の単位回路からなるシフトレジスタと、

前記複数個の単位回路にそれぞれ対応する複数個の第1スイッチ回路と、

前記 n 本の第2走査線にそれぞれ接続された n 個の第2スイッチ回路とを含み、

K を自然数として、 K 本目の第1走査線に接続された単位回路に対応する第1スイッチ回路は、前記走査順序指示信号に基づいて、 $(K - 1)$ 本目の第1走査線に接続された単位回路の出力信号または $(K + 1)$ 本目の第1走査線に接続された単位回路の出力信号を前記 K 本

目の第1走査線に接続された単位回路にセット入力信号として与え、
各単位回路は、前記セット入力信号とクロック信号とに基づいて出力信号を出力し、

各第1走査線には、接続先の単位回路の出力信号が前記第1走査信号として印加され、

PおよびQを自然数として、P本目の第2走査線に接続された第2スイッチ回路は、前記走査順序指示信号に基づいて、 $(P - Q)$ 本目の第1走査線に接続された単位回路の出力信号または $(P + Q)$ 本目の第1走査線に接続された単位回路の出力信号を前記P本目の第2走査線に前記第2走査信号として印加することを特徴とする、表示装置。

[請求項2] 前記n本の第1走査線には、前記 $n \times m$ 個の画素回路への前記データ信号の書き込みを制御する信号が前記第1走査信号として印加され、

前記n本の第2走査線には、前記 $n \times m$ 個の画素回路の初期化を制御する信号が前記第2走査信号として印加されることを特徴とする、請求項1に記載の表示装置。

[請求項3] 前記表示部は、

ハイレベル電源電圧を供給する第1電源線と、
ローレベル電源電圧を供給する第2電源線と、
初期化電圧を供給する初期化電源線と
を含み、

各画素回路は、

第1端子と第2端子とを有し、前記第1電源線と前記第2電源線との間に設けられた表示素子と、

制御端子と第1導通端子と第2導通端子とを有し、前記表示素子と直列に設けられた駆動トランジスタと、

前記第1電源線に接続された第1電極と、前記駆動トランジスタ

の制御端子に接続された第2電極とを有する保持キャパシタと

対応する第1走査線に接続された制御端子と、対応するデータ信号線に接続された第1導通端子と、前記駆動トランジスタの第1導通端子に接続された第2導通端子とを有する書き込み制御トランジスタと、

対応する第1走査線に接続された制御端子と、前記駆動トランジスタの第2導通端子に接続された第1導通端子と、前記駆動トランジスタの制御端子に接続された第2導通端子とを有する閾値電圧補償トランジスタと、

対応する第2走査線に接続された制御端子と、前記駆動トランジスタの制御端子に接続された第1導通端子と、前記初期化電源線に接続された第2導通端子とを有する第1初期化トランジスタとを含み、

各画素回路において前記データ信号の書き込みが行われる際、対応する第2走査線に印加されている第2走査信号が所定期間オンレベルになった後、対応する第1走査線に印加されている第1走査信号が所定期間オンレベルになることを特徴とする、請求項2に記載の表示装置。

[請求項4] 前記表示部は、前記n本の第1走査線と1対1で対応するn本の発光制御線を含み、

前記表示素子の第2端子は、前記第2電源線に接続され、
各画素回路は、

対応する発光制御線に接続された制御端子と、前記第1電源線に接続された第1導通端子と、前記駆動トランジスタの第1導通端子に接続された第2導通端子とを有する電源供給制御トランジスタと、

対応する発光制御線に接続された制御端子と、前記駆動トランジスタの第2導通端子に接続された第1導通端子と、前記表示素子の第1端子に接続された第2導通端子とを有する発光制御トランジスタと

を含むことを特徴とする、請求項3に記載の表示装置。

[請求項5] 各画素回路は、対応する第1走査線に接続された制御端子と、前記表示素子の第1端子に接続された第1導通端子と、前記初期化電源線に接続された第2導通端子とを有する第2初期化トランジスタを含むことを特徴とする、請求項3または4に記載の表示装置。

[請求項6] 前記走査順序指示信号は、正順走査指示信号と逆順走査指示信号とからなり、

前記n本の第1走査線および前記n本の第2走査線をそれぞれ前記表示部の上端側から下端側に向かって順次に走査する正順走査が行われる際には、前記正順走査指示信号がオンレベルで維持されるとともに前記逆順走査指示信号がオフレベルで維持され、

前記n本の第1走査線および前記n本の第2走査線をそれぞれ前記表示部の下端側から上端側に向かって順次に走査する逆順走査が行われる際には、前記正順走査指示信号がオフレベルで維持されるとともに前記逆順走査指示信号がオンレベルで維持され、

各第1スイッチ回路および各第2スイッチ回路は、

第1入力信号が与えられる第1入力端子と、第2入力信号が与えられる第2入力端子と、前記正順走査指示信号が与えられる第3入力端子と、前記逆順走査指示信号が与えられる第4入力端子と、出力端子とを有し、

前記正順走査指示信号がオンレベルになっている時には前記第1入力信号を前記出力端子から出力し、かつ、前記逆順走査指示信号がオンレベルになっている時には前記第2入力信号を前記出力端子から出力するように構成され、

K本目の第1走査線に接続された単位回路に対応する第1スイッチ回路には、 $(K - 1)$ 本目の第1走査線に接続された単位回路の出力信号が前記第1入力信号として与えられ、かつ、 $(K + 1)$ 本目の第1走査線に接続された単位回路の出力信号が前記第2入力信号として

与えられ、

P 本目の第 2 走査線に接続された第 2 スイッチ回路には、(P - Q) 本目の第 1 走査線に接続された単位回路の出力信号が前記第 1 入力信号として与えられ、かつ、(P + Q) 本目の第 1 走査線に接続された単位回路の出力信号が前記第 2 入力信号として与えられることを特徴とする、請求項 1 から 5 までのいずれか 1 項に記載の表示装置。

[請求項7]

各第 1 スイッチ回路および各第 2 スイッチ回路の少なくとも一方は、

前記第 3 入力端子に接続された制御端子と、前記第 1 入力端子に接続された第 1 導通端子と、前記出力端子に接続された第 2 導通端子とを有する第 1 トランジスタと、

前記第 4 入力端子に接続された制御端子と、前記第 2 入力端子に接続された第 1 導通端子と、前記出力端子に接続された第 2 導通端子とを有する第 2 トランジスタとを含むことを特徴とする、請求項 6 に記載の表示装置。

[請求項8]

各第 1 スイッチ回路および各第 2 スイッチ回路の少なくとも一方は、

制御端子と、前記第 1 入力端子に接続された第 1 導通端子と、前記出力端子に接続された第 2 導通端子とを有する第 1 トランジスタと、

制御端子と、前記第 2 入力端子に接続された第 1 導通端子と、前記出力端子に接続された第 2 導通端子とを有する第 2 トランジスタと、

制御端子と、前記第 3 入力端子に接続された第 1 導通端子と、前記第 1 トランジスタの制御端子に接続された第 2 導通端子とを有する第 3 トランジスタと、

制御端子と、前記第 4 入力端子に接続された第 1 導通端子と、前記第 2 トランジスタの制御端子に接続された第 2 導通端子とを有する

第4トランジスタと、

前記第1トランジスタの制御端子に接続された第1電極と、前記第1トランジスタの第1導通端子に接続された第2電極とを有する第1キャパシタと、

前記第2トランジスタの制御端子に接続された第1電極と、前記第2トランジスタの第1導通端子に接続された第2電極とを有する第2キャパシタと

を含むことを特徴とする、請求項6に記載の表示装置。

[請求項9] 前記複数の第1スイッチ回路と前記n個の第2スイッチ回路とは同じ構成であることを特徴とする、請求項6から8までのいずれか1項に記載の表示装置。

[請求項10] 各第1スイッチ回路および各第2スイッチ回路は、

制御端子と、前記第1入力端子に接続された第1導通端子と、前記出力端子に接続された第2導通端子とを有する第1トランジスタと、

制御端子と、前記第2入力端子に接続された第1導通端子と、前記出力端子に接続された第2導通端子とを有する第2トランジスタとを含み、

各第1スイッチ回路において、

前記第1トランジスタの制御端子は、前記第3入力端子に接続され、

前記第2トランジスタの制御端子は、前記第4入力端子に接続され、

各第2スイッチ回路は、さらに、

制御端子と、前記第3入力端子に接続された第1導通端子と、前記第1トランジスタの制御端子に接続された第2導通端子とを有する第3トランジスタと、

制御端子と、前記第4入力端子に接続された第1導通端子と、前

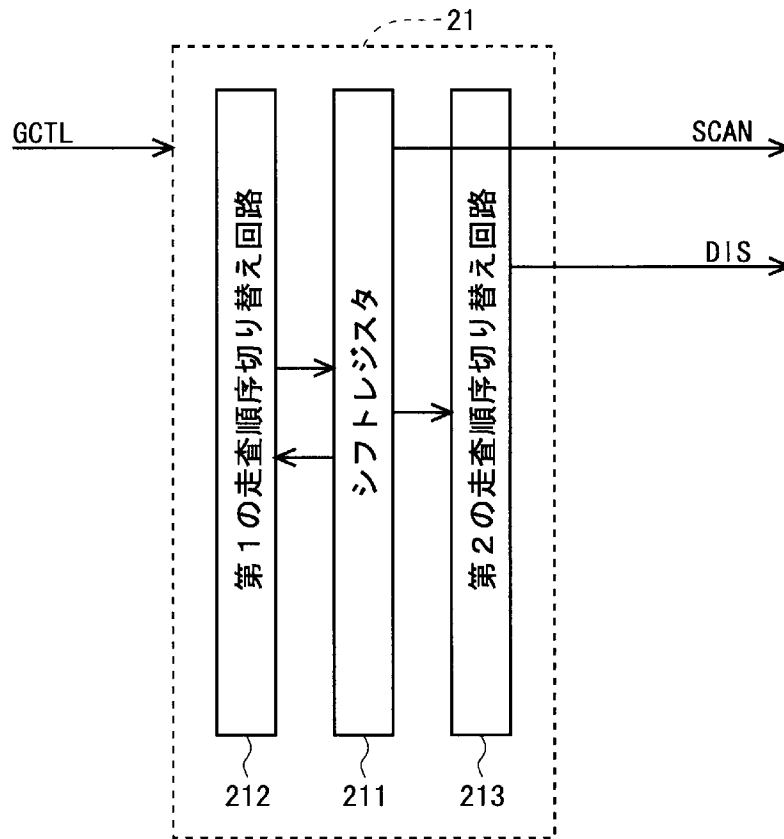
記第2トランジスタの制御端子に接続された第2導通端子とを有する第4トランジスタと、

前記第1トランジスタの制御端子に接続された第1電極と、前記第1トランジスタの第1導通端子に接続された第2電極とを有する第1キャパシタと、

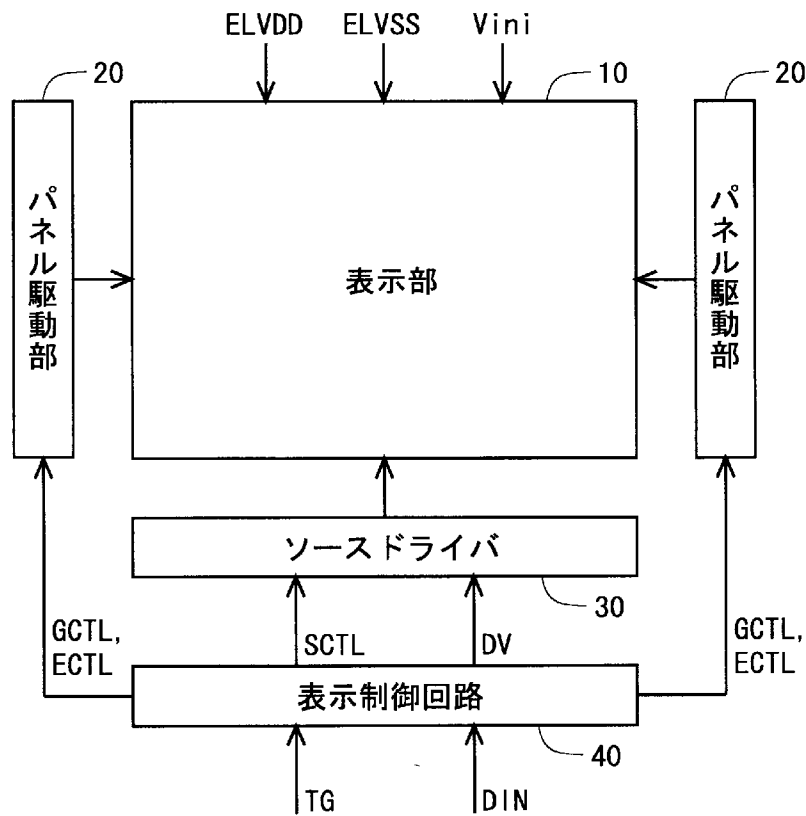
前記第2トランジスタの制御端子に接続された第1電極と、前記第2トランジスタの第1導通端子に接続された第2電極とを有する第2キャパシタと

を含むことを特徴とする、請求項6に記載の表示装置。

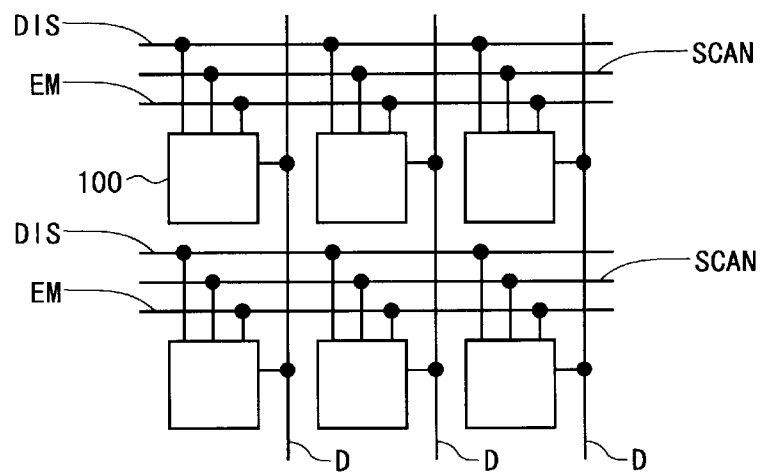
[図1]



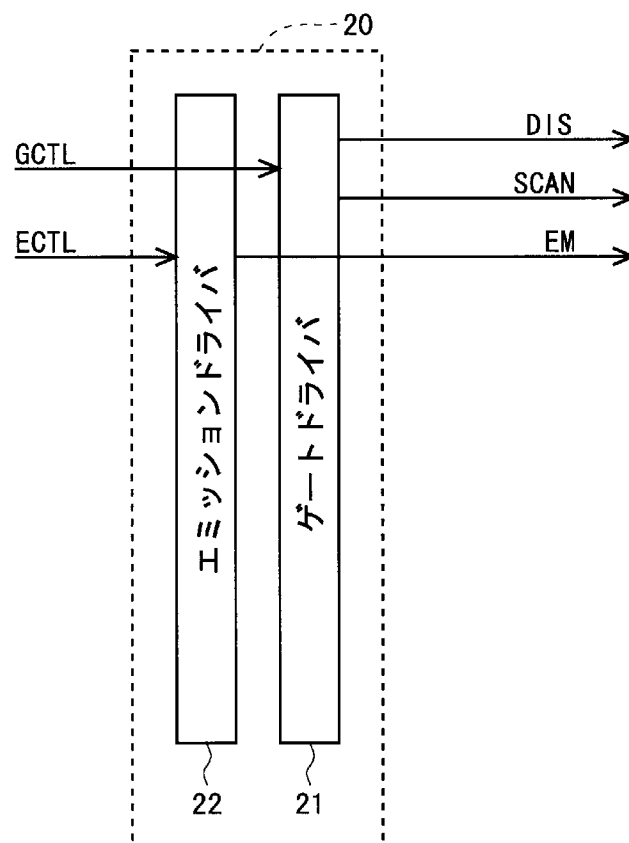
[図2]



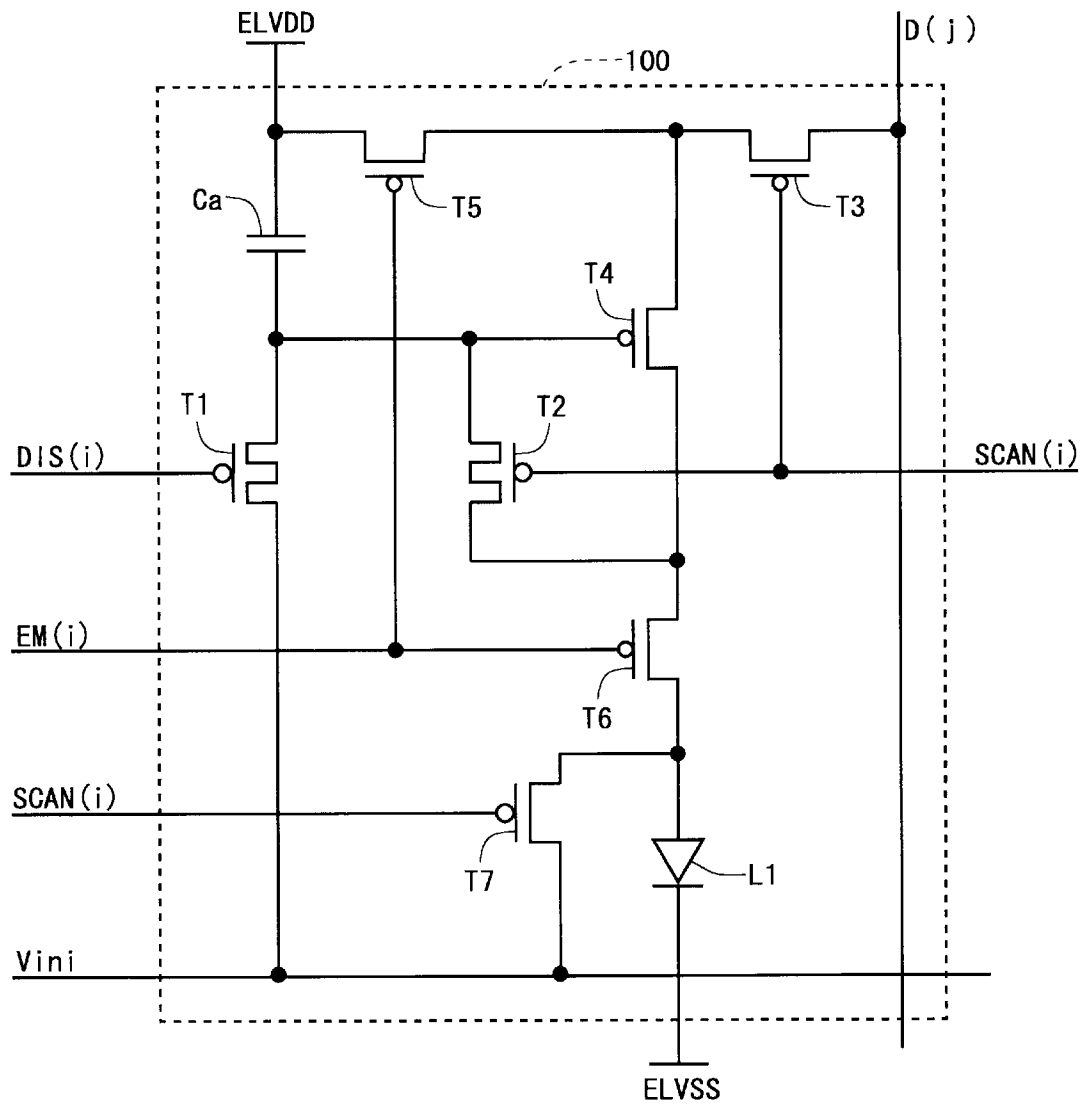
[図3]



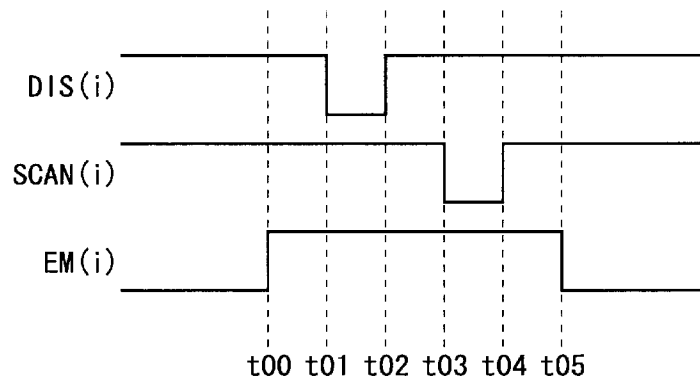
[図4]



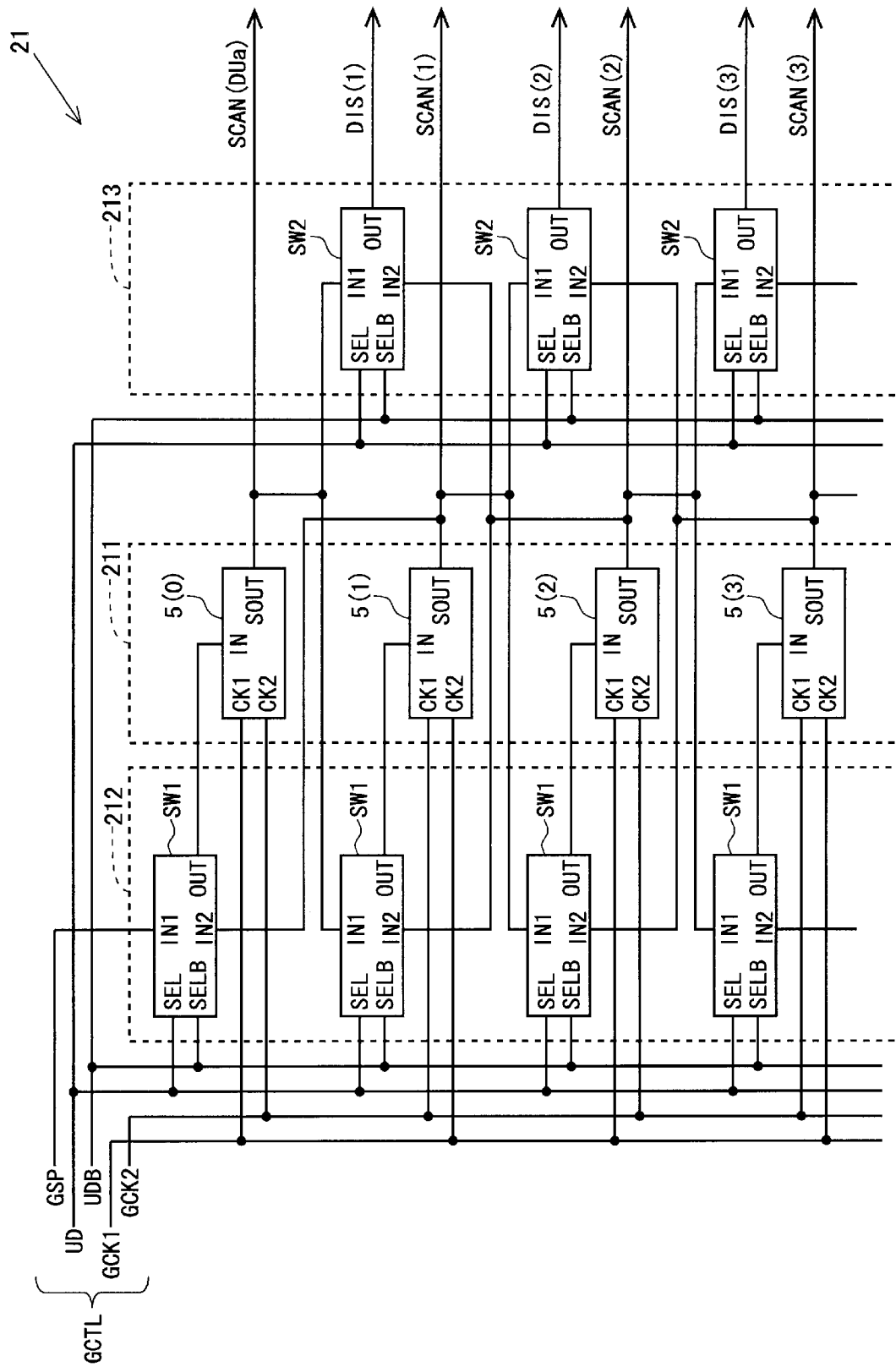
[図5]



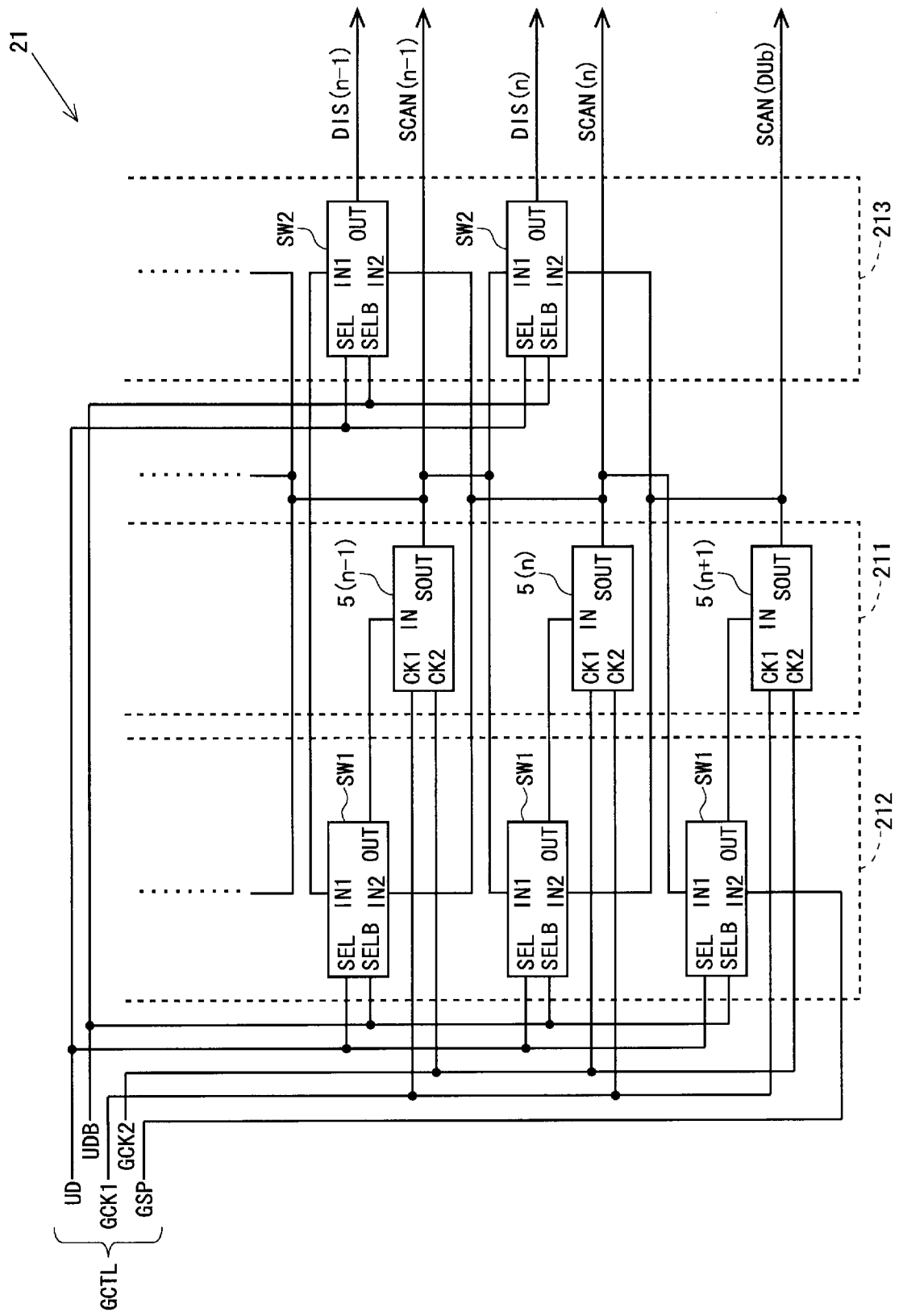
[図6]



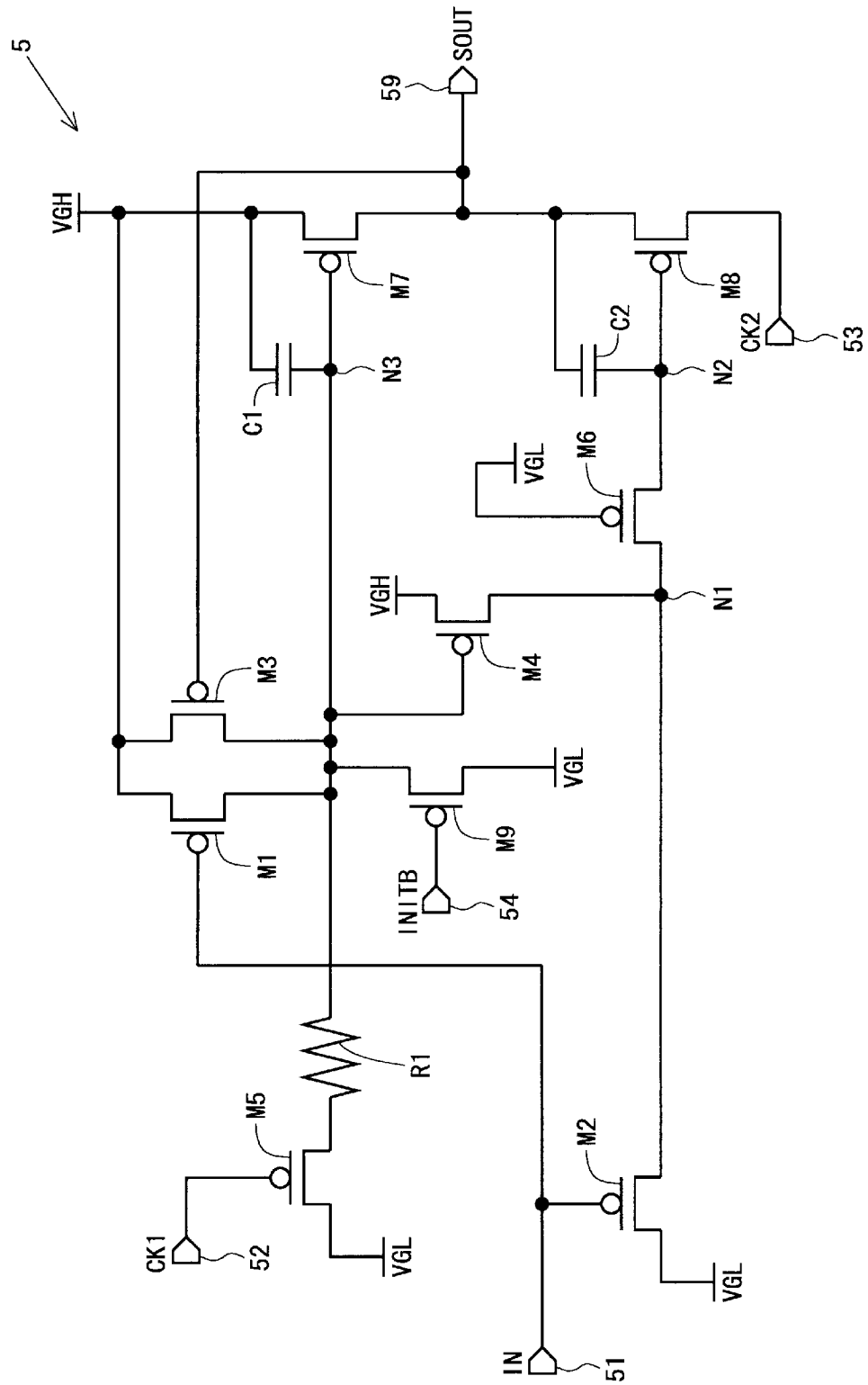
[図7]



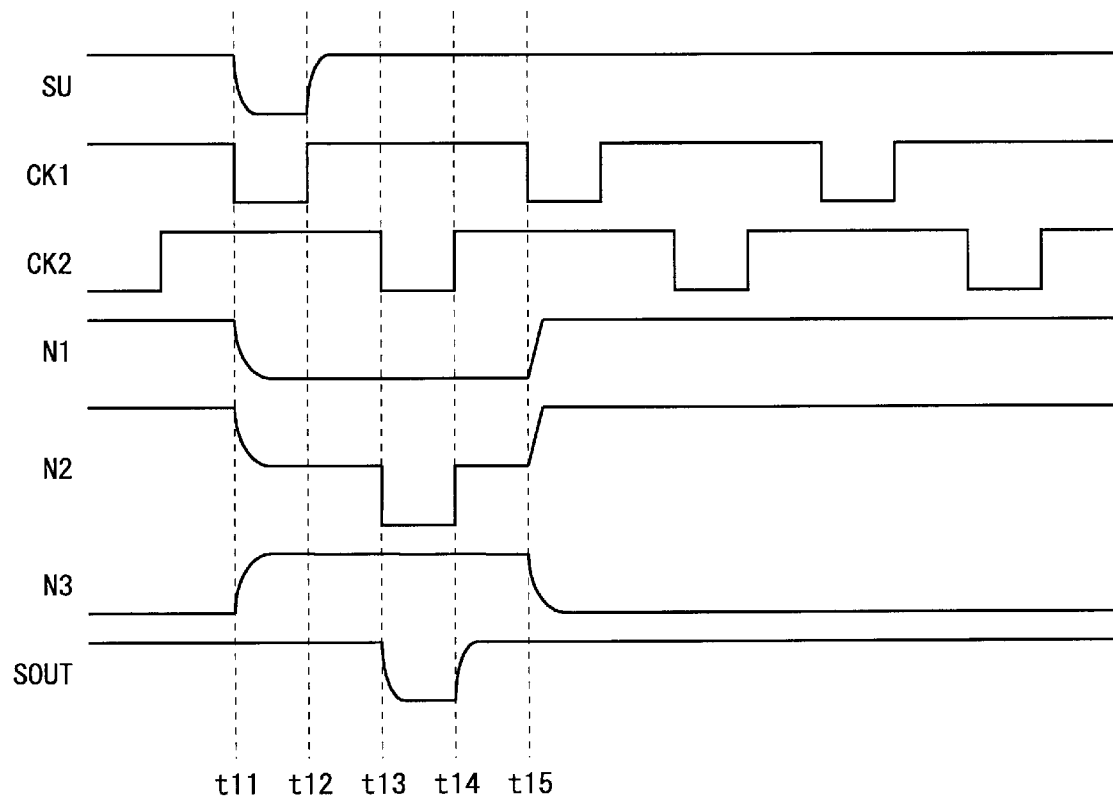
[図8]



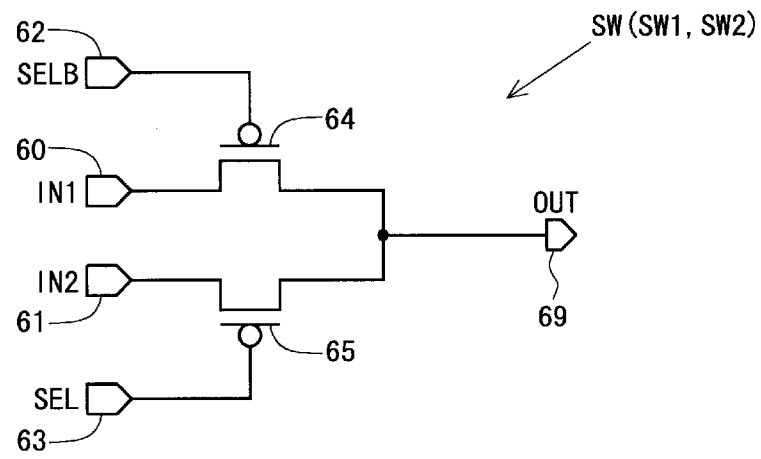
[図9]



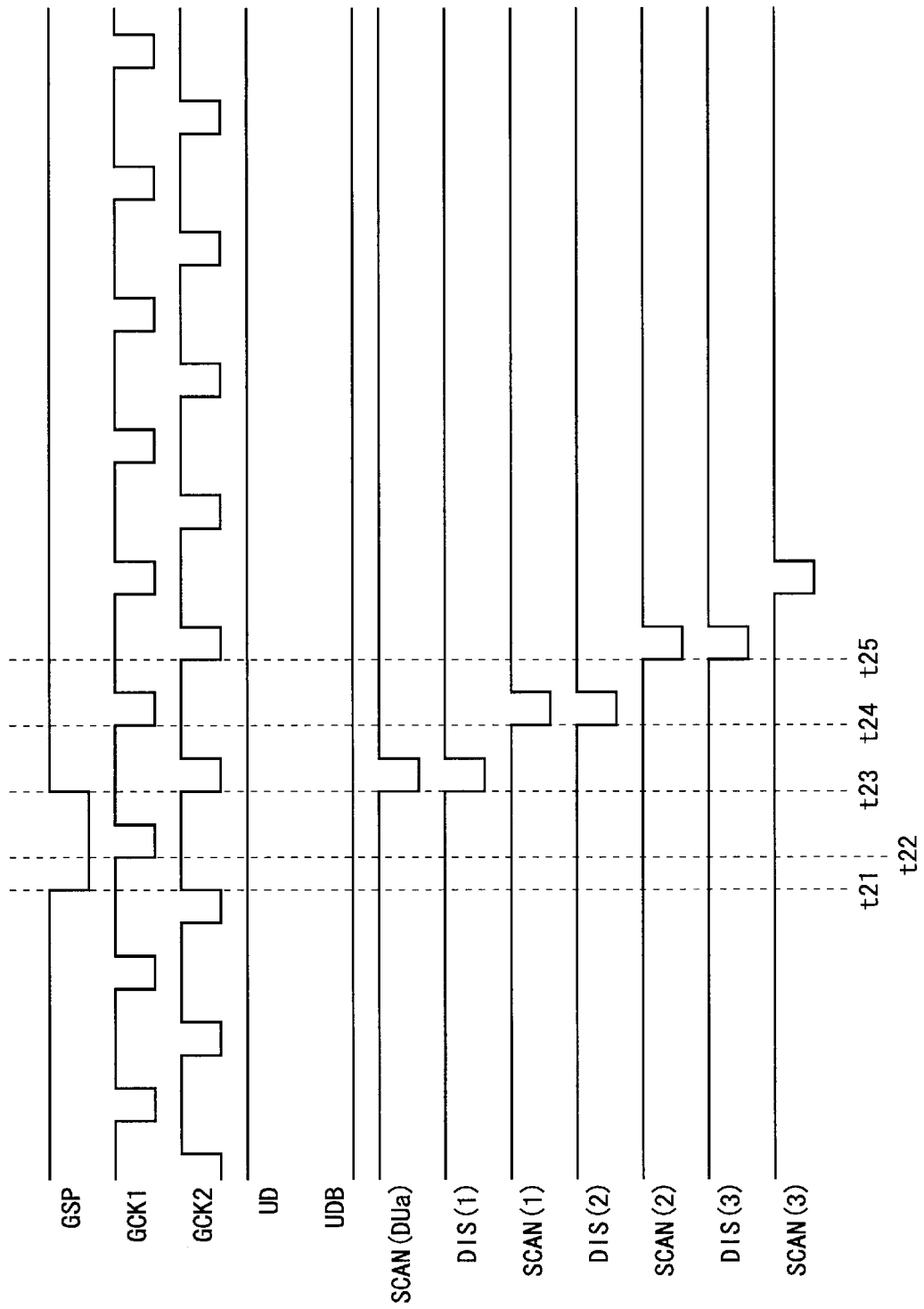
[図10]



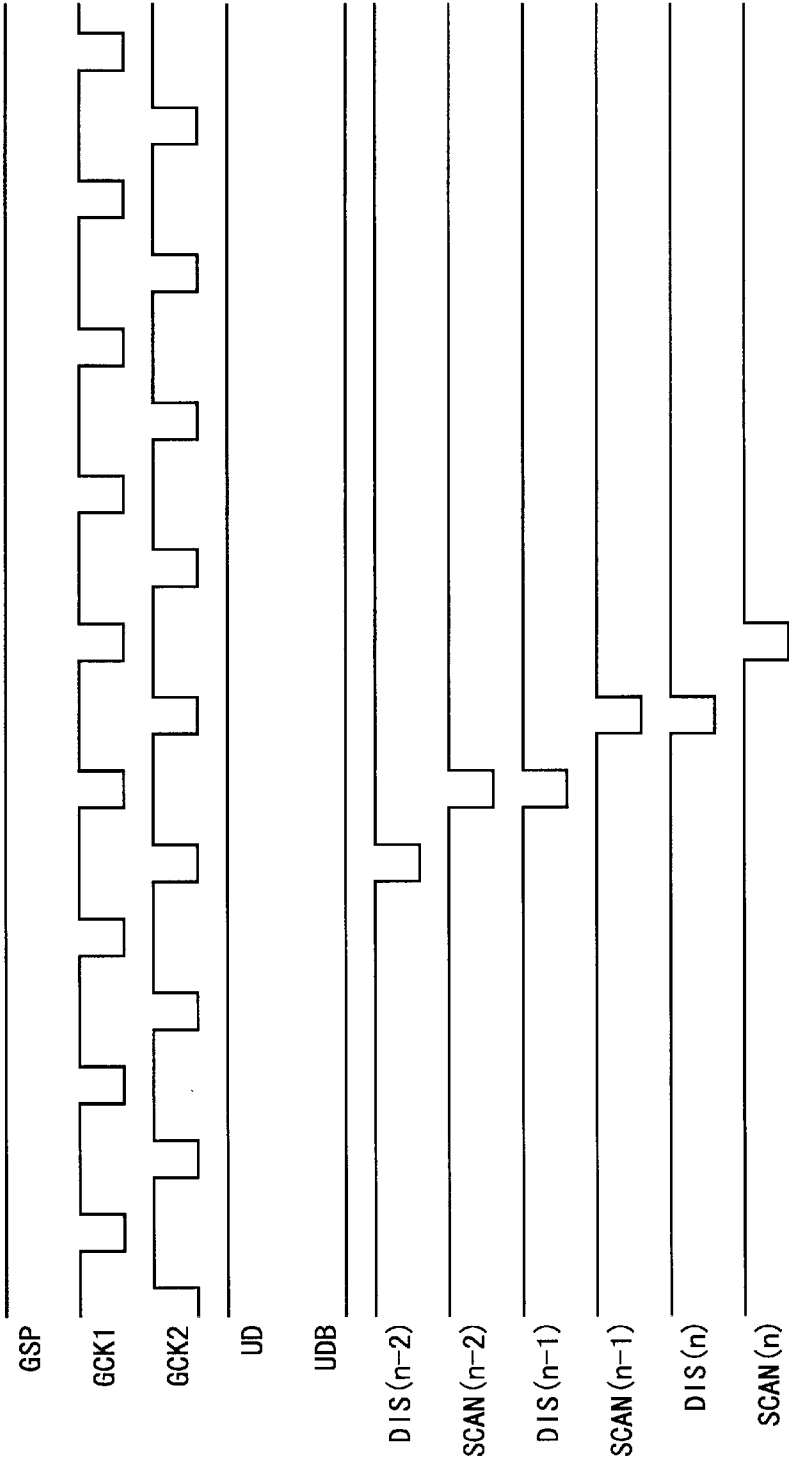
[図11]



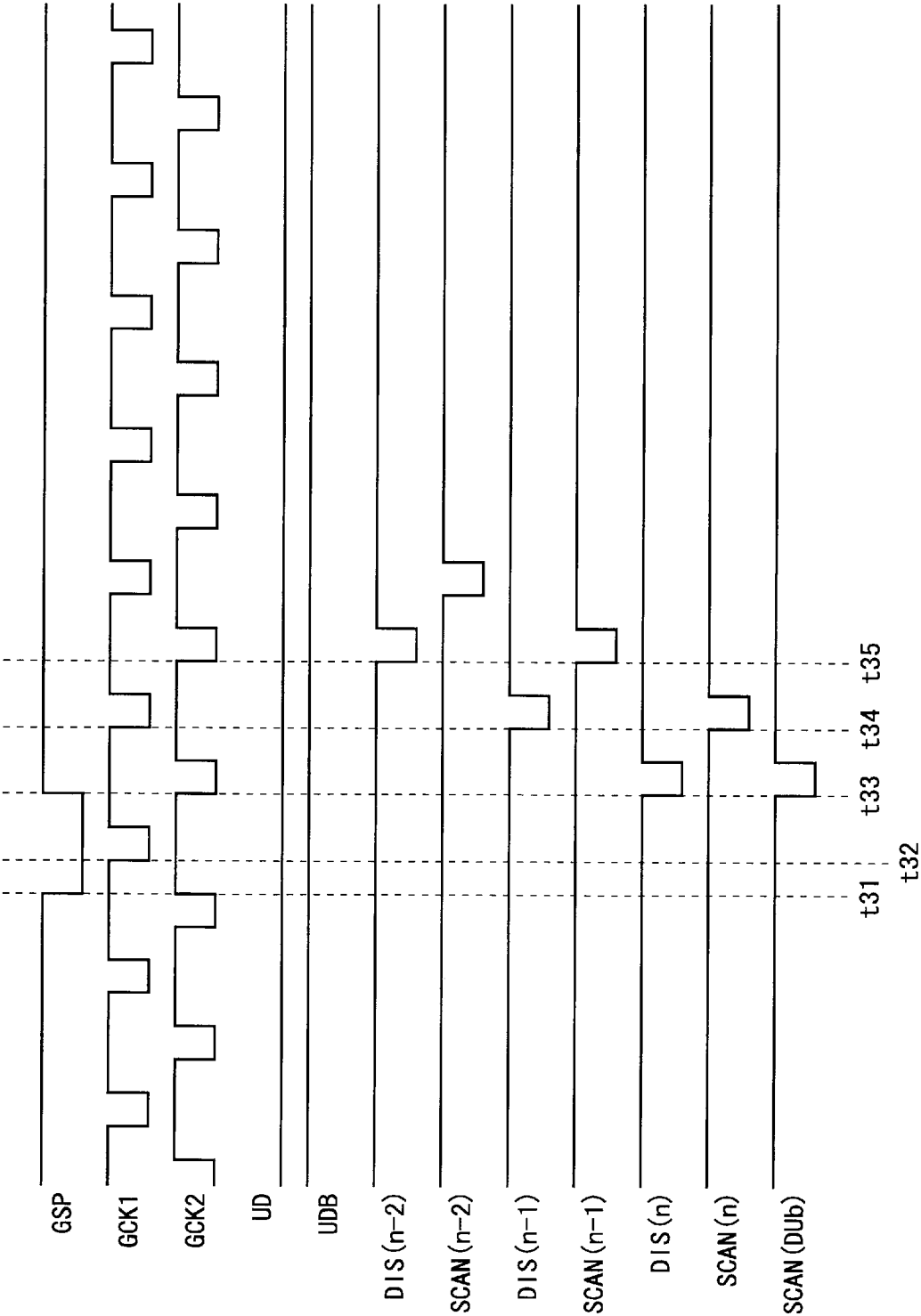
[図12]



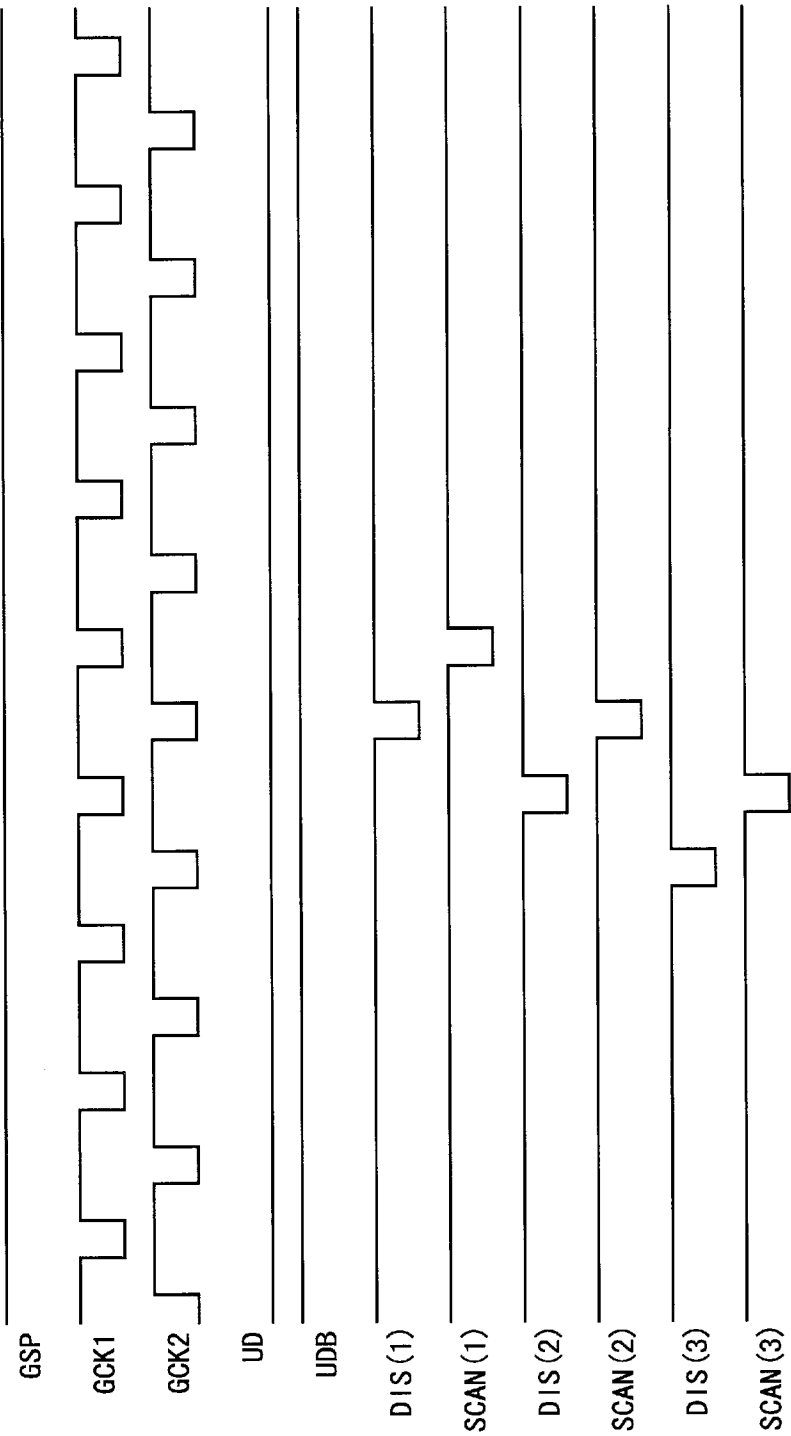
[図13]



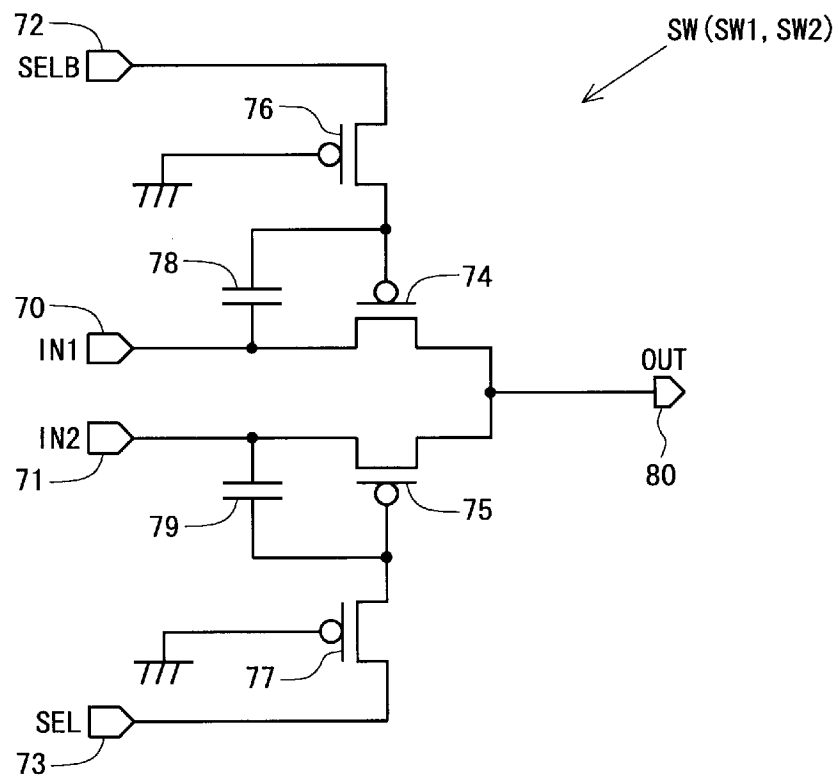
[図14]



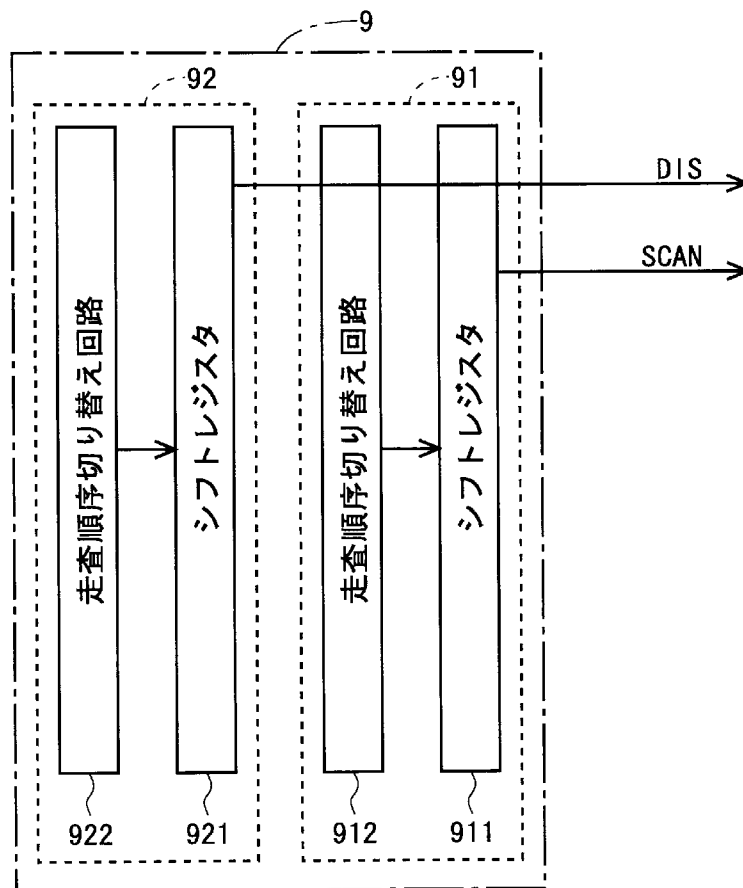
[図15]



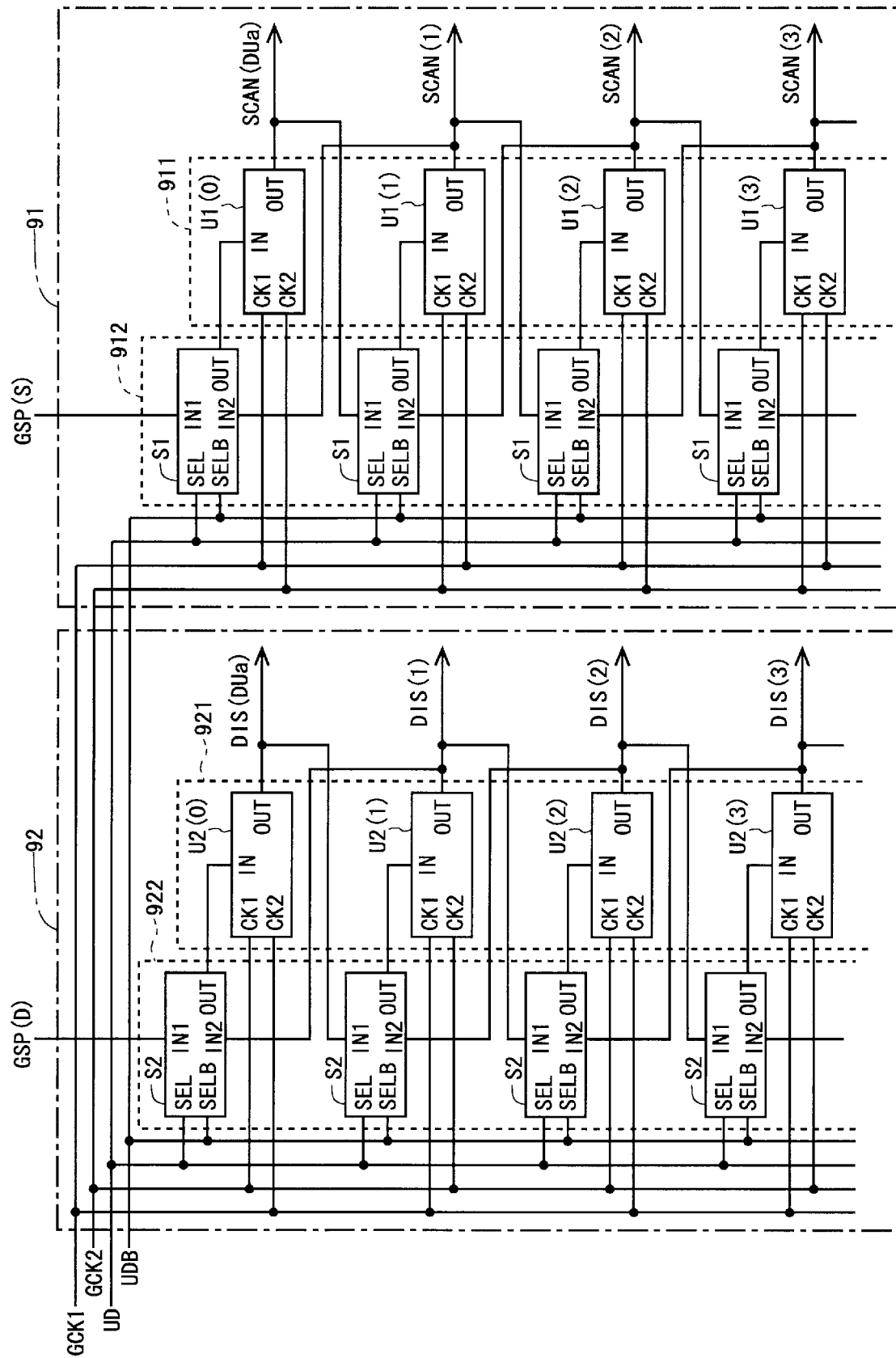
[図16]



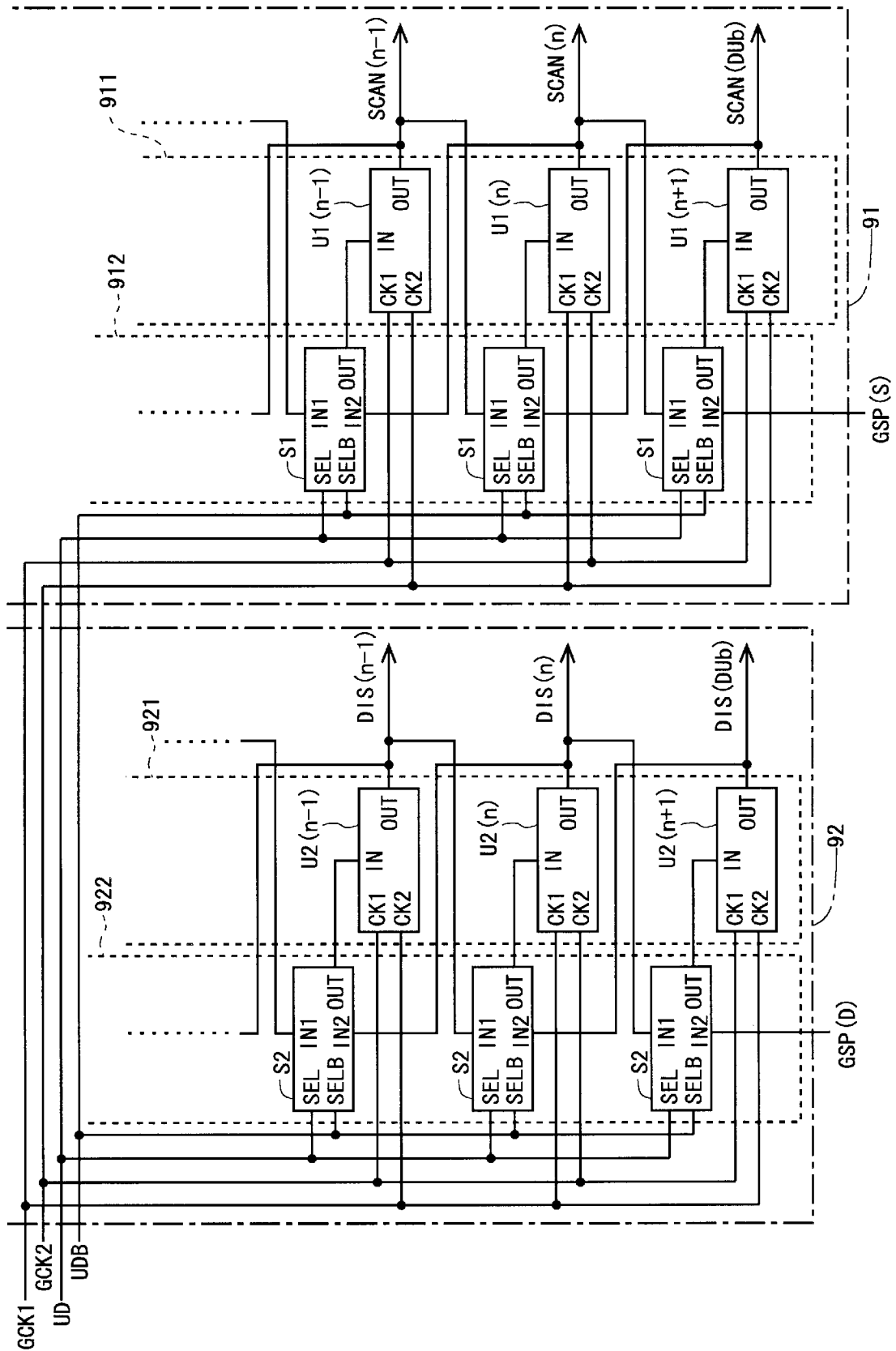
[図17]



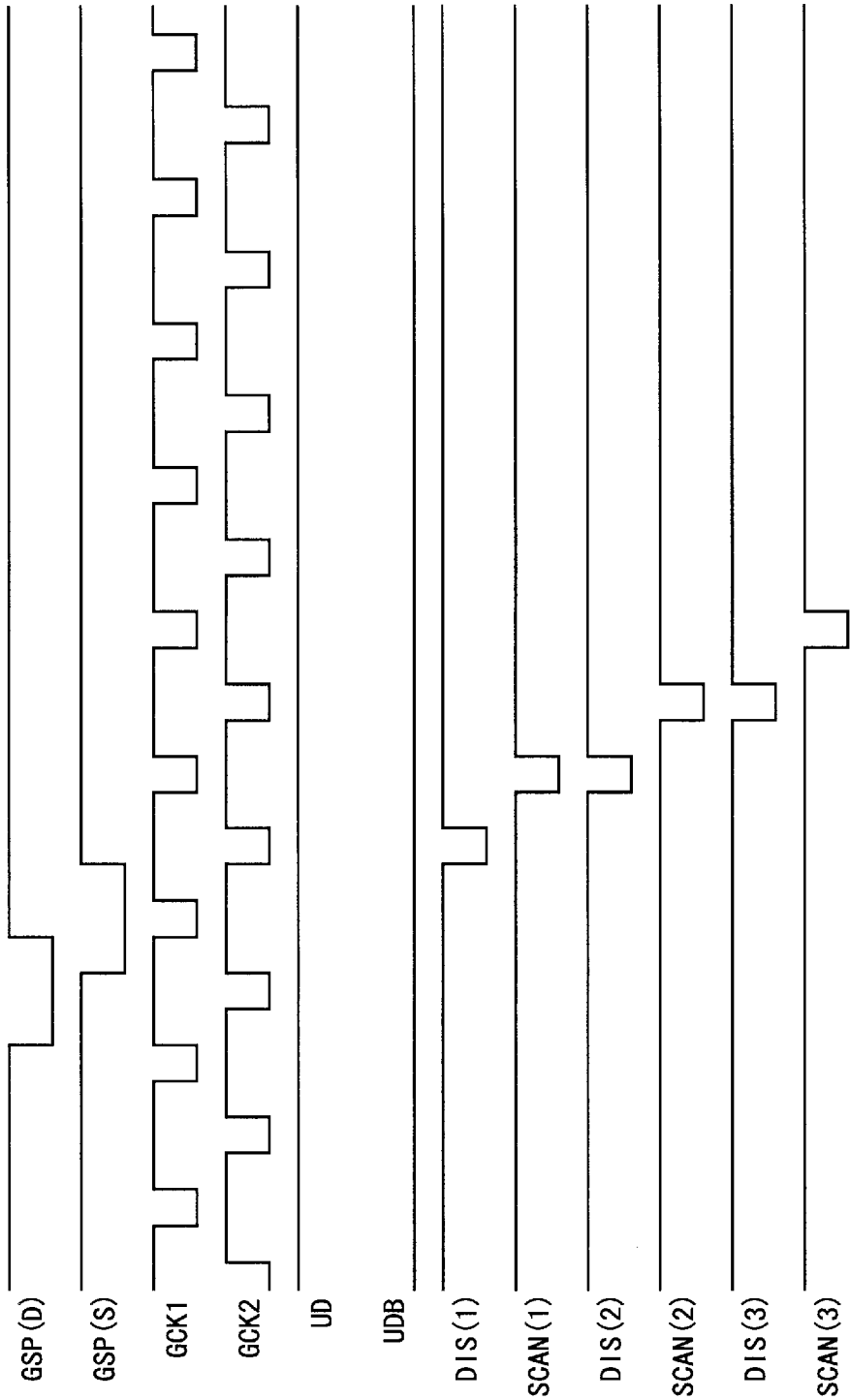
[図18]



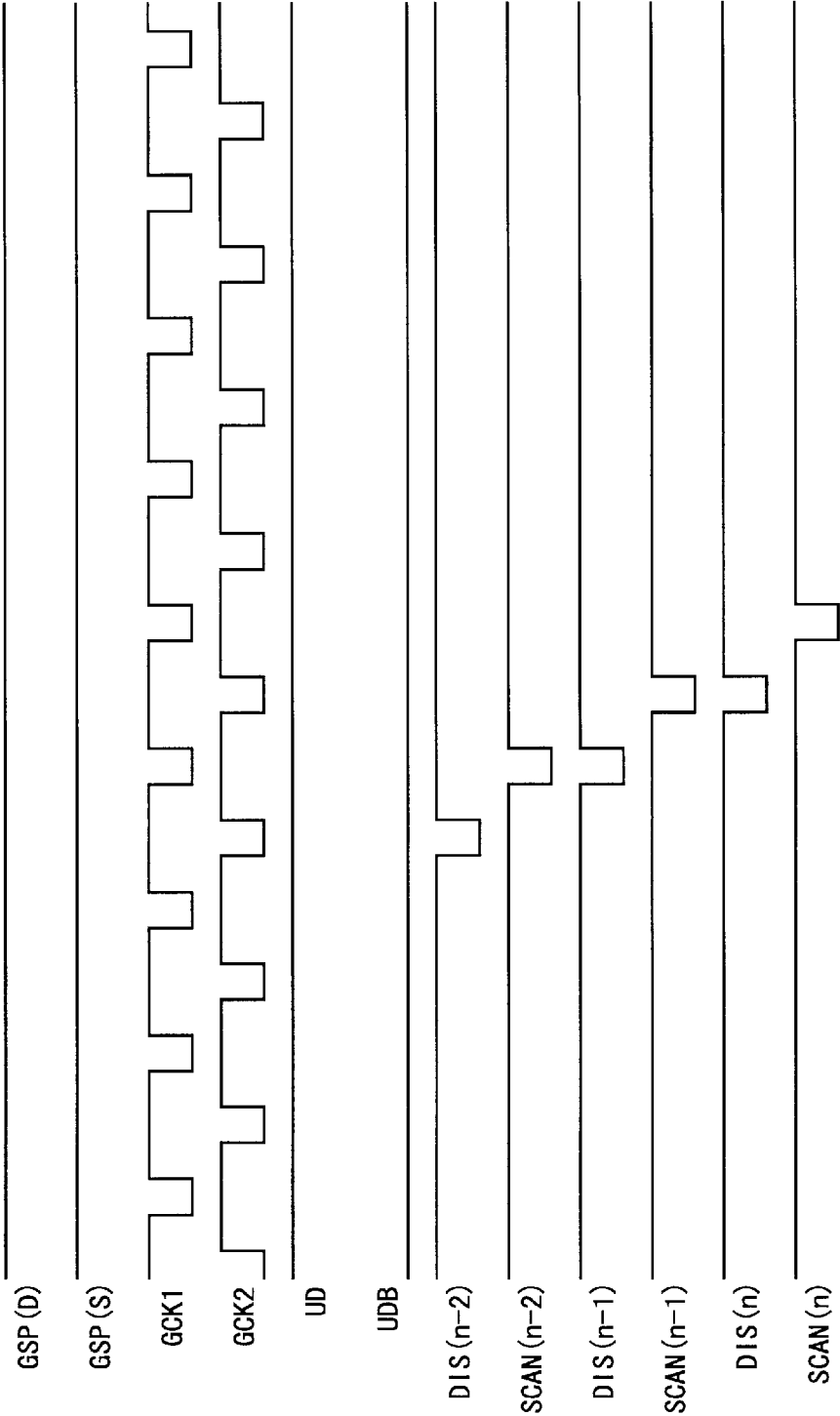
[図19]



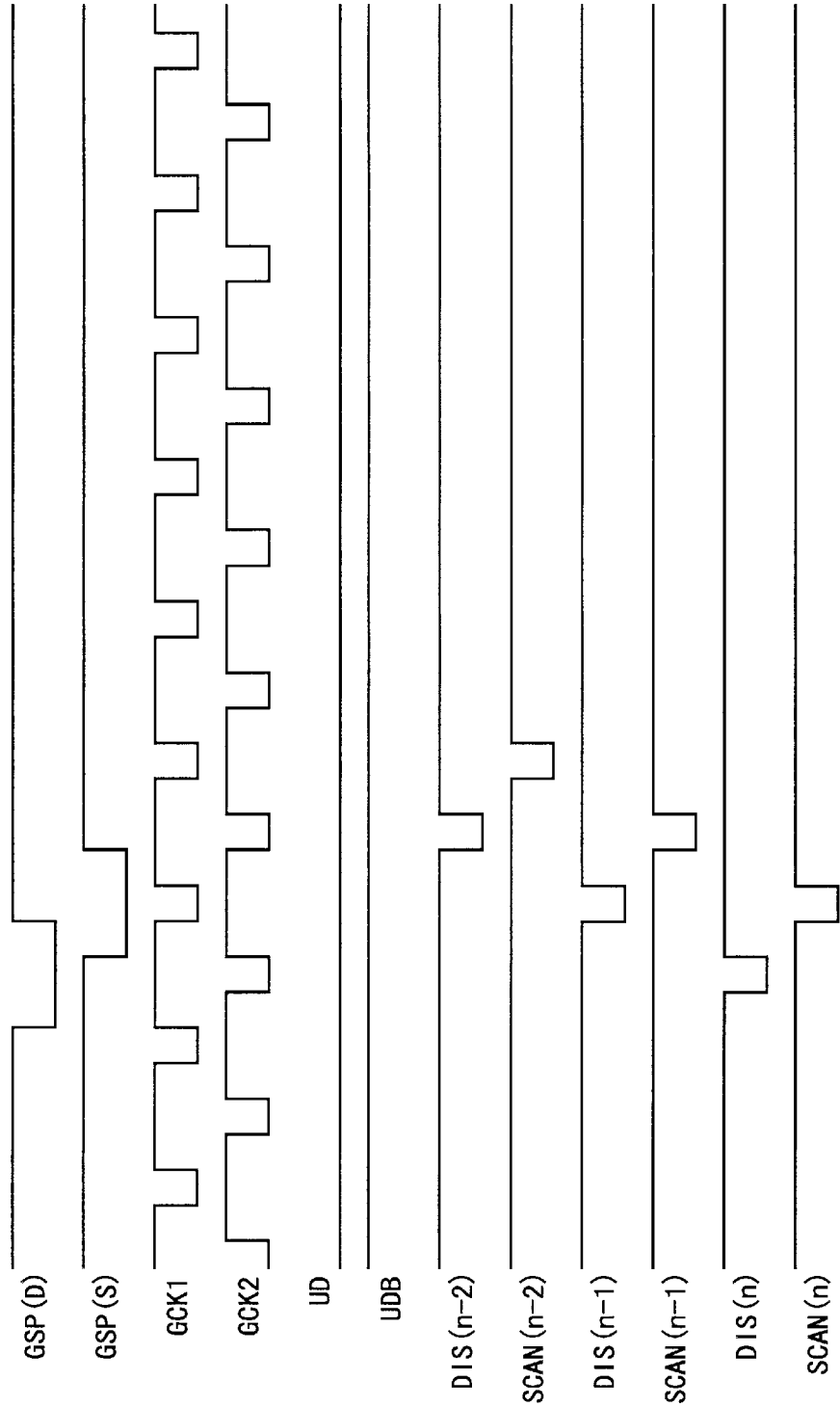
[図20]



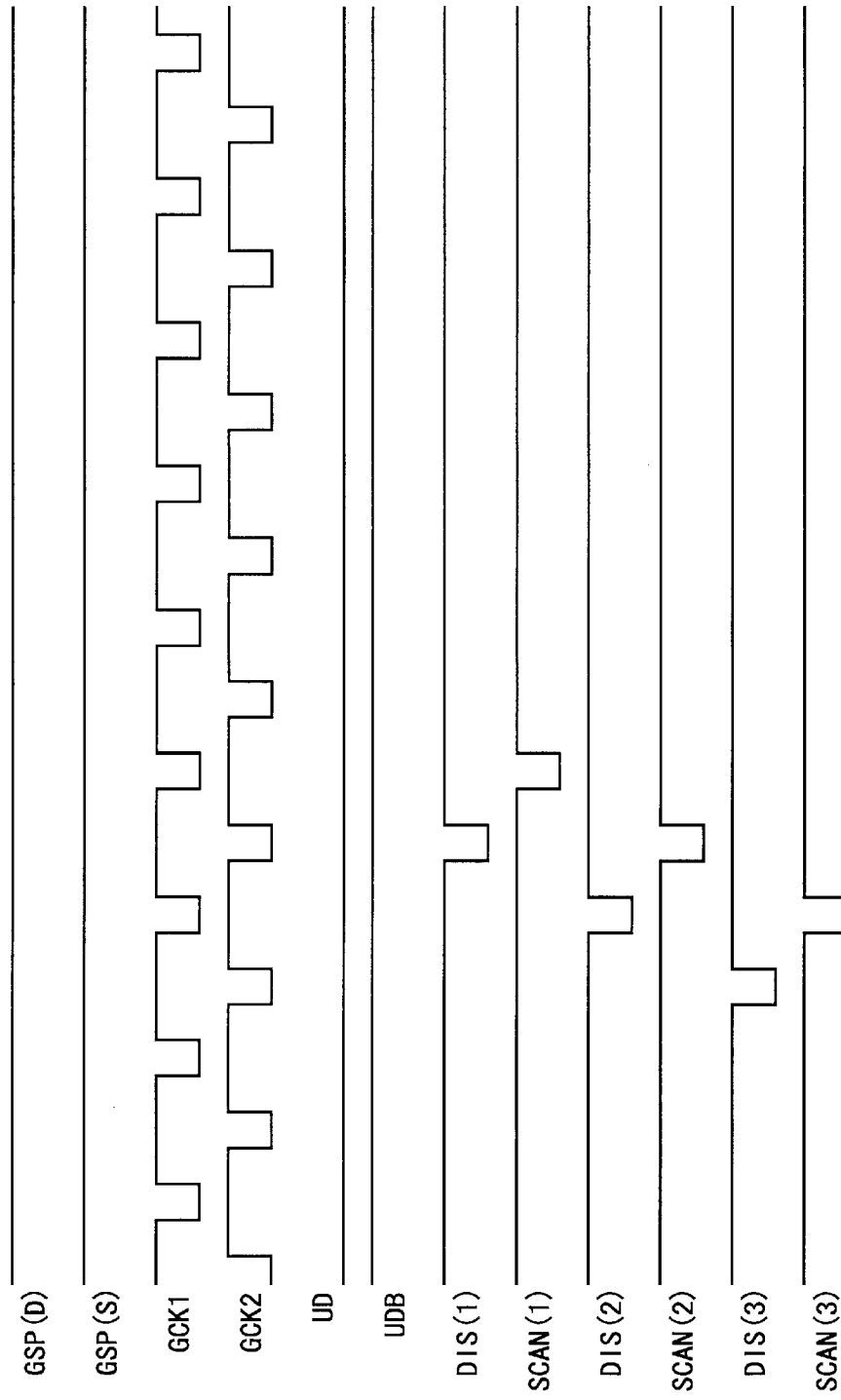
[図21]



[図22]



[図23]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/027907

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. G09G3/20(2006.01)i, G09G3/3266(2016.01)i

FI: G09G3/20622R, G09G3/3266, G09G3/20611H, G09G3/20622E, G09G3/20622B

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. G09G3/20, G09G3/3266, G11C19/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2020

Registered utility model specifications of Japan 1996-2020

Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2020/0082765 A1 (SHANGHAI TIANMA AM-OLED CO., LTD.) 12 March 2020 (2020-03-12), paragraphs [0003]-[0006], [0026]-[0051], [0061]-[0077], fig. 1, 4-7, 11-14	1-10
Y	JP 2009-163862 A (LG DISPLAY CO., LTD.) 23 July 2009 (2009-07-23), paragraphs [0011]-[0024], fig. 1	1-10
Y	WO 2019/053769 A1 (SHARP CORPORATION) 21 March 2019 (2019-03-21), paragraphs [0023]-[0031], fig. 4	5-10
Y	WO 2014/054516 A1 (SHARP CORPORATION) 10 April 2014 (2014-04-10), paragraphs [0117], [0118], [0120], fig. 22	8-10
A	JP 2012-48186 A (SAMSUNG MOBILE DISPLAY CO., LTD.) 08 March 2012 (2012-03-08), entire text, all drawings	1-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
07 September 2020

Date of mailing of the international search report
24 September 2020

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2020/027907

US 2020/0082765 A1 12 March 2020

CN 110033737 A

JP 2009-163862 A 23 July 2009

US 2009/0167668 A1
paragraphs [0024]-[0029], fig. 1
CN 101477836 A
KR 10-2009-0073966 A

WO 2019/053769 A1 21 March 2019

US 2019/0355304 A1
paragraphs [0042]-[0050], fig. 4

WO 2014/054516 A1 10 April 2014

US 2015/0262703 A1
paragraphs [0188], [0189], [0191],
fig. 22

JP 2012-48186 A 08 March 2012

US 2012/0050234 A1
entire text, all drawings
EP 2423910 A1
KR 10-2012-0019227 A
CN 102385835 A

A. 発明の属する分野の分類（国際特許分類（IPC）） G09G 3/20(2006.01)i; G09G 3/3266(2016.01)i FI: G09G3/20 622R; G09G3/3266; G09G3/20 611H; G09G3/20 622E; G09G3/20 622B		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） G09G3/20; G09G3/3266; G11C19/28		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2020年 日本国実用新案登録公報 1996-2020年 日本国登録実用新案公報 1994-2020年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	US 2020/0082765 A1 (SHANGHAI TIANMA AM-OLED CO., LTD) 12.03.2020 (2020 - 03 - 12) [0003]-[0006], [0026]-[0051], [0061]-[0077], 図1, 図4-7, 図11-14	1-10
Y	JP 2009-163862 A (エルジー ディスプレイ カンパニー リミテッド) 23.07.2009 (2009 - 07 - 23) [0011]-[0024], 図1	1-10
Y	WO 2019/053769 A1 (シャープ株式会社) 21.03.2019 (2019 - 03 - 21) [0023]-[0031], 図4	5-10
Y	WO 2014/054516 A1 (シャープ株式会社) 10.04.2014 (2014 - 04 - 10) [0117]-[0118], [0120], 図22	8-10
A	JP 2012-48186 A (三星モバイルディスプレイ株式会社) 08.03.2012 (2012 - 03 - 08) 全文全図	1-10
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 07.09.2020		国際調査報告の発送日 24.09.2020
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 塚本 丈二 21 3304 電話番号 03-3581-1101 内線 3273

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2020/027907

引用文献			公表日	パテントファミリー文献			公表日
US	2020/0082765	A1	12.03.2020	CN	110033737	A	
JP	2009-163862	A	23.07.2009	US	2009/0167668	A1	
				[0024]-[0029], 図1			
				CN	101477836	A	
				KR	10-2009-0073966	A	
WO	2019/053769	A1	21.03.2019	US	2019/0355304	A1	
				[0042]-[0050], 図4			
WO	2014/054516	A1	10.04.2014	US	2015/0262703	A1	
				[0188]-[0189], [0191], 図22			
JP	2012-48186	A	08.03.2012	US	2012/0050234	A1	
				全文全図			
				EP	2423910	A1	
				KR	10-2012-0019227	A	
				CN	102385835	A	