

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5248993号
(P5248993)

(45) 発行日 平成25年7月31日(2013.7.31)

(24) 登録日 平成25年4月19日(2013.4.19)

(51) Int.Cl.		F I	
H03K 17/06	(2006.01)	H03K 17/06	C
H03K 19/094	(2006.01)	H03K 19/094	C
H02M 3/07	(2006.01)	H02M 3/07	

請求項の数 2 (全 12 頁)

(21) 出願番号	特願2008-293966 (P2008-293966)	(73) 特許権者	000191238
(22) 出願日	平成20年11月18日(2008.11.18)		新日本無線株式会社
(65) 公開番号	特開2010-124083 (P2010-124083A)		東京都中央区日本橋横山町3番10号
(43) 公開日	平成22年6月3日(2010.6.3)	(74) 代理人	100099818
審査請求日	平成23年9月30日(2011.9.30)		弁理士 安孫子 勉
		(72) 発明者	松島 英郎
			埼玉県ふじみ野市福岡二丁目1番1号 新
			日本無線株式会社川越製作所内
		審査官	栗栖 正和

最終頁に続く

(54) 【発明の名称】 ブートストラップ回路

(57) 【特許請求の範囲】

【請求項1】

第1の電源と出力端子との間に第1のスイッチ素子とブートストラップキャパシタが直列接続される一方、前記出力端子とグランド端子との間に、第2のスイッチ素子が、前記出力端子と第2の電源との間に、第3のスイッチ素子が、それぞれ直列接続され、前記第1乃至第3のスイッチ素子の動作制御によって、前記ブートストラップキャパシタの前記第1のスイッチ素子側の端子にブートストラップ電圧が得られるよう構成されてなるブートストラップ回路において、

前記第1のスイッチ素子に流れる電流を監視し、その監視結果に応じて、前記第1のスイッチ素子のON、OFFを制御する電流監視回路が設けられ、前記電流監視回路は、監視回路用第1乃至第4のMOSトランジスタと、比較器を有し、前記監視回路用第1及び第2のMOSトランジスタは、各々のゲートと、前記監視回路用第2のMOSトランジスタのドレインとが相互に接続される一方、前記監視回路用第1及び第2のMOSトランジスタのソースは共に、前記第1のスイッチ素子としての第1のMOSトランジスタのソースと前記ブートストラップキャパシタの一端に接続され、前記監視回路用第3及び第4のMOSトランジスタは、各々のゲートと、前記監視回路用第4のMOSトランジスタのドレインとが相互に接続される一方、前記監視回路用第3のMOSトランジスタのソースは、前記監視回路用第1のMOSトランジスタのドレインと、また、前記監視回路用第4のMOSトランジスタのソースは、前記監視回路用第2のトランジスタのドレインと、それぞれ接続され、前記監視回路用第3のMOSトランジスタのソースは、前記監視回路用第

10

20

1のMOSトランジスタのドレインと共に、前記比較器の反転入力端子に接続され、前記監視回路用第3のMOSトランジスタのドレインは、前記第1の電源に接続され、前記監視回路用第4のMOSトランジスタのドレインと出力端子との間には、定電流源が接続され、前記比較器の非反転入力端子には、基準電圧源の負極側が接続され、前記基準電圧源の正極側が前記第1のスイッチ素子としての第1のMOSトランジスタのソースに接続され、前記比較器の出力端子は、前記第1のスイッチ素子としての第1のMOSトランジスタのゲートに接続されてなり、前記ブートストラップ電圧が前記第1の電源の電源電圧を超えた状態にある場合に、前記比較器の非反転入力端子の電圧が前記比較器の反転入力端子の電圧を超えて、前記比較器により論理値Highに相当する信号が出力され、前記第1のスイッチ素子としての第1のMOSトランジスタがOFF状態とされる一方、前記ブートストラップ電圧が前記第1の電源の電源電圧を下回る場合に、前記比較器の反転入力端子の電圧が前記比較器の非反転入力端子の電圧を超えて、前記比較器により論理値Lowに相当する信号が出力され、前記第1のスイッチ素子としての第1のMOSトランジスタがON状態とされるよう構成されてなることを特徴とするブートストラップ回路。

10

【請求項2】

第1の電源と出力端子との間に第1のスイッチ素子とブートストラップキャパシタが直列接続される一方、前記出力端子とグランド端子との間に、第2のスイッチ素子が、前記出力端子と第2の電源との間に、第3のスイッチ素子が、それぞれ直列接続され、前記第1乃至第3のスイッチ素子の動作制御によって、前記ブートストラップキャパシタの前記第1のスイッチ素子側の端子にブートストラップ電圧が得られるよう構成されてなるブートストラップ回路において、

20

前記第1のスイッチ素子の端子間の電圧を監視し、その監視結果に応じて、前記第1のスイッチ素子のON、OFFを制御する電圧監視回路が設けられ、前記電圧監視回路は、ツェナーダイオードと比較器を有し、前記ツェナーダイオードは、そのアノードが前記比較器の反転入力端子に接続されると共に、抵抗器を介して前記第1のスイッチ素子としての第1のMOSトランジスタのドレインに接続される一方、前記ツェナーダイオードのカソードは、前記ブートストラップキャパシタに接続される前記第1のスイッチ素子としての第1のMOSトランジスタのソースに接続され、前記比較器の非反入力端子は、基準電圧源の負極側に接続され、前記基準電圧源の正極側は前記第1のスイッチ素子としての第1のMOSトランジスタのソースに接続され、前記比較器の出力端子は、前記第1のスイッチ素子としての第1のMOSトランジスタのゲートに接続されてなり、前記第1のスイッチ素子としての第1のMOSトランジスタのソース・ドレイン間の電圧が、前記基準電圧源の基準電圧以上となった際に、前記比較器により論理値Highに相当する電圧が出力され、前記第1のスイッチ素子としての第1のMOSトランジスタがOFF状態とされる一方、前記第1のスイッチ素子としての第1のMOSトランジスタのソース・ドレイン間の電圧が、前記基準電圧源の基準電圧を下回った際に、前記比較器により論理値Lowに相当する電圧が出力され、前記第1のスイッチ素子としての第1のMOSトランジスタがON状態とされるよう構成されてなることを特徴とするブートストラップ回路。

30

【発明の詳細な説明】

【技術分野】

40

【0001】

本発明は、昇圧電圧を生成するブートストラップ回路に係り、特に、回路の簡素化、動作の信頼性の向上等を図ったものに関する。

【背景技術】

【0002】

従来、この種の一般的なブートストラップ回路としては、図5に示されたものなどが良く知られている。

以下、同図に示された従来回路について説明する。

この従来回路は、Pチャンネルの第1のMOSトランジスタ1A、Nチャンネルの第2及び第3のMOSトランジスタ2A、3Aが、コントロール回路(図5においては「CO

50

NT」と表記) 4 AによりON/OFF制御されることで、ブートストラップキャパシタ 5 Aの充電が制御されて、必要なブートストラップ電圧が得られるよう構成されてなるものである。

【0003】

すなわち、コントロール回路 4 Aにより、第 1のMOSトランジスタ 1 AがONとされると共に、第 2のMOSトランジスタ 2 AがON、第 3のMOSトランジスタ 3 AがOFFとされると、ブートストラップキャパシタ 5 は、電源電圧 VDDによる充電を受け、電圧 VBS-OUT、すなわち、出力端子(図 5 においては「OUT」と表記) 3 2 Aを基準としたブートストラップ電圧端子(図 5 においては「BS」と表記) 3 3 Aにおける電圧は、VBS-OUT VDDとなる。

10

【0004】

一方、コントロール回路 4 Aにより、第 1のMOSトランジスタ 1 AがOFFとされると共に、第 2のMOSトランジスタ 2 AがOFF、第 3のMOSトランジスタ 3 AがONとされると、 $V_{OUT} = V_{IN}$ となり、 $V_{BS} = V_{IN} + V_{BS-OUT} = V_{IN} + V_{DD}$ となる。

ここで、 V_{IN} は、グランド端子(図 5 においては「GND」と表記) 3 4 Aの電位を基準とした入力電圧端子 3 5 Aにおける電圧であり、 V_{BS} は、グランド端子 3 4 Aの電位を基準としたブートストラップ電圧端子 3 3 Aにおける電圧である。

【0005】

図 5 に示された回路において、「LS1」、「LS2」と表記された回路は、いずれもレベルシフト回路であり、その基本的構成は同一のものであるが、レベルシフト回路 LS 1 は、電源電圧 VDDから電圧 VBSに電圧シフトする回路であり、コントロール回路 4 Aから出力される第 1のMOSトランジスタ 1 Aに対するON/OFFの制御信号を電圧シフトするものとなっている。

20

また、レベルシフト回路 LS 2 は、同じく電源電圧 VDDから電圧 VBSに電圧シフトする回路であり、コントロール回路 4 Aから出力される第 3のMOSトランジスタ 3 Aに対するON/OFFの制御信号を電圧シフトするものとなっている。

【0006】

図 6 には、従来回路の他の構成例が示されており、以下、同図を参照しつつ、この従来回路について概括的に説明する。なお、図 5 に示された構成例と同一の構成要素については、同一の符号を付してその詳細な説明を省略し、以下、異なる点を中心に説明する。

30

この従来回路は、図 5 における第 1のMOSトランジスタ 1 Aに代えてダイオード 1 0を用いる構成とした点が、図 5 に示された従来回路と異なるものであるが、この点を除けば、回路全体の動作は、図 5 に示された従来回路と同様である。

【0007】

上述の図 5、図 6 に示された従来回路を比較すると、図 6 に示された従来回路においては、ダイオード 1 0の順方向における電圧降下が生じるため、その分、ブートストラップキャパシタ 5 Aの充電電圧が低下するのに対して、図 5 に示された従来回路にあっては、第 1のMOSトランジスタ 1 Aにおける電圧降下が殆ど無いため、第 3のMOSトランジスタ 3 Aのゲートバイアス電圧が小さくなるようなことが回避できるという利点を有するものとなっている。

40

なお、この種の従来回路としては、特許文献 1、特許文献 2 等に開示されたものがある。

【特許文献 1】特開 2 0 0 7 - 1 9 5 3 6 1 号公報(第 4 - 6 頁、図 1 及び図 2)

【特許文献 2】米国特許出願公開第 2 0 0 7 / 0 1 5 9 1 5 0 号明細書

【発明の開示】

【発明が解決しようとする課題】

【0008】

しかしながら、図 5 に示された従来回路にあっては、上述のように、図 6 に示された従来回路と比較して、第 1のMOSトランジスタ 1 Aのゲートバイアス電圧の不要な低下が殆ど無いという点で有利ではあるが、第 1のMOSトランジスタ 1 Aを制御するために、

50

LS1が必要となるため、レイアウト面積が大きいものとなるという欠点がある。

【0009】

例えば、図7には、レベルシフト回路LS1の最も簡単な構成例が示されているが、ブートストラップ電圧端子33Aとグランド端子34Aとの間に設けられたMOSトランジスタ6は、グランド端子34Aと動作電源端子31Aとの間に設けられるトランジスタや、ブートストラップ電圧端子33Aと出力端子32Aとの間に設けられるトランジスタと異なり、ドレイン・ソース間に、高電圧であるVBSが印加されるものとなっている。そのため、MOSトランジスタ6には、高耐圧仕様の特別なトランジスタが必要となり、レイアウト面積の増大を招く。

【0010】

一方、第1のMOSトランジスタ1AのON/OFFの制御信号は、通常、図5に示された従来回路にあっては、レベルシフト回路LS2から出力される制御信号HG2に同期することになり、VOUTのレベルに関係しない。そのため、上記誤動作の問題を解決することができない。

【0011】

また、第1及び第2のMOSトランジスタ1A、2AがONで、第3のMOSトランジスタ3AがOFFの際に、本来であれば、 $V_{OUT} = V_{GND}$ となり、 $V_{BS-OUT} = V_{DD}$ となるべきところ、外部環境の影響によってVOUTが $V_{GND} +$ となった場合でも、第1のMOSトランジスタ1AがONとされるため、ブートストラップキャパシタ5Aに充電された電荷が電圧分だけ放電され、 $V_{BS-OUT} = V_{DD} -$ となる。

そして、 $V_{BS-OUT} = V_{DD} -$ となった場合、 V_{BS-OUT} が大きいと、特に、ブートストラップ電圧端子33Aと出力端子32Aの間にある回路の動作に必要な電圧が本来の動作電圧以下になり、そのため誤動作を引き起こすこととなる。

【0012】

本発明は、上記実状に鑑みてなされたもので、レイアウト面積の縮小と共に、信頼性の高い回路動作を確保することのできるブートストラップ回路を提供するものである。

【課題を解決するための手段】

【0013】

上記本発明の目的を達成するため、本発明に係るブートストラップ回路は、

第1の電源と出力端子との間に第1のスイッチ素子とブートストラップキャパシタが直列接続される一方、前記出力端子とグランド端子との間に、第2のスイッチ素子が、前記出力端子と第2の電源との間に、第3のスイッチ素子が、それぞれ直列接続され、前記第1乃至第3のスイッチ素子の動作制御によって、前記ブートストラップキャパシタの前記第1のスイッチ素子側の端子にブートストラップ電圧が得られるよう構成されてなるブートストラップ回路において、

前記第1のスイッチ素子に流れる電流を監視し、その監視結果に応じて、前記第1のスイッチ素子のON、OFFを制御する電流監視回路が設けられ、前記電流監視回路は、監視回路用第1乃至第4のMOSトランジスタと、比較器を有し、前記監視回路用第1及び第2のMOSトランジスタは、各々のゲートと、前記監視回路用第2のMOSトランジスタのドレインとが相互に接続される一方、前記監視回路用第1及び第2のMOSトランジスタのソースは共に、前記第1のスイッチ素子としての第1のMOSトランジスタのソースと前記ブートストラップキャパシタの一端に接続され、前記監視回路用第3及び第4のMOSトランジスタは、各々のゲートと、前記監視回路用第4のMOSトランジスタのドレインとが相互に接続される一方、前記監視回路用第3のMOSトランジスタのソースは、前記監視回路用第1のMOSトランジスタのドレインと、また、前記監視回路用第4のMOSトランジスタのソースは、前記監視回路用第2のトランジスタのドレインと、それぞれ接続され、前記監視回路用第3のMOSトランジスタのソースは、前記監視回路用第1のMOSトランジスタのドレインと共に、前記比較器の反転入力端子に接続され、前記監視回路用第3のMOSトランジスタのドレインは、前記第1の電源に接続され、前記監視回路用第4のMOSトランジスタのドレインと出力端子との間には、定電流源が接続さ

10

20

30

40

50

れ、前記比較器の非反転入力端子には、基準電圧源の負極側が接続され、前記基準電圧源の正極側が前記第1のスイッチ素子としての第1のMOSトランジスタのソースに接続され、前記比較器の出力端子は、前記第1のスイッチ素子としての第1のMOSトランジスタのゲートに接続されてなり、前記ブートストラップ電圧が前記第1の電源の電源電圧を超えた状態にある場合に、前記比較器の非反転入力端子の電圧が前記比較器の反転入力端子の電圧を超えて、前記比較器により論理値Highに相当する信号が出力され、前記第1のスイッチ素子としての第1のMOSトランジスタがOFF状態とされる一方、前記ブートストラップ電圧が前記第1の電源の電源電圧を下回る場合に、前記比較器の反転入力端子の電圧が前記比較器の非反転入力端子の電圧を超えて、前記比較器により論理値Lowに相当する信号が出力され、前記第1のスイッチ素子としての第1のMOSトランジスタがON状態とされるよう構成されてなるものである。

10

また、上記本発明の目的を達成するため、本発明に係るブートストラップ回路は、第1の電源と出力端子との間に第1のスイッチ素子とブートストラップキャパシタが直列接続される一方、前記出力端子とグランド端子との間に、第2のスイッチ素子が、前記出力端子と第2の電源との間に、第3のスイッチ素子が、それぞれ直列接続され、前記第1乃至第3のスイッチ素子の動作制御によって、前記ブートストラップキャパシタの前記第1のスイッチ素子側の端子にブートストラップ電圧が得られるよう構成されてなるブートストラップ回路において、

前記第1のスイッチ素子の端子間の電圧を監視し、その監視結果に応じて、前記第1のスイッチ素子のON、OFFを制御する電圧監視回路が設けられ、前記電圧監視回路は、ツェナーダイオードと比較器を有し、前記ツェナーダイオードは、そのアノードが前記比較器の反転入力端子に接続されると共に、抵抗器を介して前記第1のスイッチ素子としての第1のMOSトランジスタのドレインに接続される一方、前記ツェナーダイオードのカソードは、前記ブートストラップキャパシタに接続される前記第1のスイッチ素子としての第1のMOSトランジスタのソースに接続され、前記比較器の非反入力端子は、基準電圧源の負極側に接続され、前記基準電圧源の正極側は前記第1のスイッチ素子としての第1のMOSトランジスタのソースに接続され、前記比較器の出力端子は、前記第1のスイッチ素子としての第1のMOSトランジスタのゲートに接続されてなり、前記第1のスイッチ素子としての第1のMOSトランジスタのソース・ドレイン間の電圧が、前記基準電圧源の基準電圧以上となった際に、前記比較器により論理値Highに相当する電圧が出力され、前記第1のスイッチ素子としての第1のMOSトランジスタがOFF状態とされる一方、前記第1のスイッチ素子としての第1のMOSトランジスタのソース・ドレイン間の電圧が、前記基準電圧源の基準電圧を下回った際に、前記比較器により論理値Lowに相当する電圧が出力され、前記第1のスイッチ素子としての第1のMOSトランジスタがON状態とされるよう構成されてなるものも好適である。

20

30

【発明の効果】

【0014】

本発明によれば、ブートストラップキャパシタと直列接続されるスイッチ素子を、その動作電流、又は、動作電圧の変化によって、そのON、OFFを自己制御可能とする回路を設け、しかも、通常のトランジスタで構成することのできる回路とすることで、従来と異なり、特別な電圧仕様のトランジスタを要するようなLSI回路を用いることなく、信頼性の高い回路動作が確保でき、しかも、レイアウト面積の縮小が可能となるという効果を奏するものである。

40

【発明を実施するための最良の形態】

【0015】

以下、本発明の実施の形態について、図1乃至図4を参照しつつ説明する。

なお、以下に説明する部材、配置等は本発明を限定するものではなく、本発明の趣旨の範囲内で種々改変することができるものである。

最初に、本発明の実施の形態におけるブートストラップ回路の第1の基本構成例について、図1を参照しつつ説明する。

50

本発明の実施の形態におけるブートストラップ回路は、電源電圧VDDが印加される動作電源端子31と出力端子32との間に、動作電源端子31側から順に直列接続されて設けられたスイッチ素子としての第1のMOSトランジスタ1及びブートストラップキャパシタ5と、第1のMOSトランジスタ1のON/OFFを制御する電流監視回路(図1においては「I-WATCH」と表記)7と、さらに、第1のMOSトランジスタ1と共にブートストラップキャパシタ5の充電を制御する第2及び第3のMOSトランジスタ2,3と、これら第2及び第3のMOSトランジスタ2,3の動作を制御するコントロール回路4とを主たる構成要素として構成されたものとなっている。

【0016】

以下、具体的に回路接続について説明する。

まず、Pチャンネルの第1のMOSトランジスタ1は、そのドレインに電源電圧VDDが印加されるようになっている一方、ソースは、ブートストラップキャパシタ5の一端に接続されている。なお、第1のMOSトランジスタ1のソースとブートストラップキャパシタ5の一端との接続点は、ブートストラップ電圧端子(図1においては「BS」と表記)33に接続されている。

そして、ブートストラップキャパシタ5の他端は、出力端子(図1においては「OUT」と表記)32に接続されている。

【0017】

電流監視回路7は、第1のMOSトランジスタ1に流れる電流を監視し、流れる電流に応じて第1のMOSトランジスタ1のゲートに制御信号を出力するよう構成されたものとなっている(詳細は後述)。

一方、第2及び第3のスイッチ素子としてのNチャンネルの第2及び第3のMOSトランジスタ2,3は、第2のMOSトランジスタ2のドレインと第3のMOSトランジスタ3のソースとが接続され、第2のMOSトランジスタ2のソースは、グランド端子(図1においては「GND」と表記)34に接続されたものとなっている。また、第3のMOSトランジスタ3のドレインは入力電圧端子35に接続されている。

【0018】

そして、第2のMOSトランジスタ2のゲートには、コントロール回路(図1においては「CONT」と表記)4から出力されるローサイドゲート信号LG1が印加されるようになっている。

また、第3のMOSトランジスタ3のゲートには、レベルシフト回路(図1においては「LS」と表記)6から出力されるハイサイドゲート信号HG2が印加されるようになっている。

レベルシフト回路6は、電源電圧VDDからブートストラップ電圧端子33の電圧VBSに電圧シフトし、コントロール回路4からの制御信号HG1に同期して、ハイサイド信号HG2を出力するよう構成されてなるものである。

【0019】

コントロール回路4は、外部から入力されるPWM(Pulse Width Modulation)信号に基づいて、第2のMOSトランジスタ2のゲート信号としての制御信号LG1や、レベルシフト回路6の制御信号HG1を出力するよう構成されてなるものである。

コントロール回路4は、電源電圧VDDの供給を受けて動作する。

【0020】

図2には、電流監視回路7の具体回路構成例が示されており、以下、同図を参照しつつ、この具体回路例について説明する。

本発明の実施の形態における電流監視回路7は、監視回路用第1乃至第4のMOSトランジスタ21~24と、比較器9とを主たる構成要素として構成されてなるものである。

監視回路用第1乃至第4のMOSトランジスタ21~24には、PチャンネルのMOSトランジスタが用いられており、監視回路用第1及び第2のMOSトランジスタ21,22によりカレントミラー回路が、また、監視回路用第3及び第4のMOSトランジスタ23,24により入力制限回路がそれぞれ構成されて、縦続接続された構成となっている。

10

20

30

40

50

【0021】

すなわち、監視回路用第1及び第2のMOSトランジスタ21, 22は、各々のゲートと、監視回路用第2のMOSトランジスタ22のドレインとが相互に接続される一方、監視回路用第1及び第2のMOSトランジスタ21, 22のソースはともに接続されたものとなっている。

【0022】

一方、監視回路用第3及び第4のMOSトランジスタ23, 24は、各々のゲートと、監視回路用第4のMOSトランジスタ24のドレインとが相互に接続される一方、監視回路用第3のMOSトランジスタ23のソースは、監視回路用第1のMOSトランジスタ21のドレインと、また、監視回路用第4のMOSトランジスタ24のソースは、監視回路用第2のMOSトランジスタ22のドレインと、それぞれ接続されたものとなっている。

10

【0023】

そして、監視回路用第3のMOSトランジスタ23のソースは、第1のMOSトランジスタ21のドレインと共に、比較器9の反転入力端子に接続される一方、監視回路用第4のMOSトランジスタ24のドレインと出力端子32との間には、定電流源25が接続されている。

かかる構成において、監視用第1及び第3のMOSトランジスタ21, 23は、第1のMOSトランジスタ1に並列接続された電流源11として機能するものとなっている(詳細は後述)。

【0024】

20

そして、比較器9の非反転入力端子には、基準電圧VREFが逆極性で印加されるようになっている。すなわち、基準電圧源8は、その負極側が比較器9の非反転入力端子に、正極側がブートストラップ電圧端子33に、それぞれ接続されて設けられたものとなっている。

また、比較器9の出力端子は、第1のMOSトランジスタ1のゲートに接続されたものとなっている。

【0025】

次に、かかる構成における動作について説明する。

まず、前提条件として、基準電圧源8の基準電圧VREFは、VBS = VDDの場合(以下、便宜的に、かかる状態を「状態1」と称する)において、 $VBS > VN1 = VN2$ を満たすよう設定されているものとする。

30

ここで、VBSは、グランド端子34における端子電圧を基準としたブートストラップ電圧端子33における端子電圧であり、VN1は、比較器9の非反転入力端子における電圧で、 $VN1 = VBS - VREF$ と表すことができるものである。また、VN2は、比較器9の反転入力端子における電圧である。

【0026】

最初に、ブートストラップ回路としての基本的な動作は、第1のMOSトランジスタ1が後述するように電流監視回路7によってON/OFF制御される点を除けば、この種の従来回路と同様であるので、その詳細な説明は省略し、概括的に説明するに留めることとする。

40

すなわち、ブートストラップ動作は、まず、電流監視回路7により第1のMOSトランジスタ1がON、コントロール回路4により第2のMOSトランジスタ2がON、第3のMOSトランジスタ3がOFFとされることにより、 $VOUT = VGND$ となり、ブートストラップキャパシタ5が充電され、VBS-OUT = VDDとなる。

なお、ここで、VOUTは、グランド端子34における端子電圧を基準とした出力端子32における端子電圧、VGNDは、グランド端子34の電圧、VBS-OUTは、出力端子32の端子電圧を基準としたブートストラップ電圧端子33における端子電圧である。

【0027】

そして、VBS-OUT = VDDとなったところで、第1のMOSトランジスタ1がOFF、第2のMOSトランジスタ2がOFF、第3のMOSトランジスタ3がONとされ、 $VOUT =$

50

V_{IN} となるため、 $V_{BS} = V_{IN} + V_{DD}$ となる。

なお、ここで、 V_{IN} は、グランド端子34の端子電圧を基準とした入力電圧端子35における電圧であり、この電圧 V_{IN} は、図示を省略した第2の電源により外部から供給されるものとなっている。

【0028】

次に、電流監視回路7を中心とした動作について、先的前提条件の下、説明することとする。

最初に、回路の動作状態が状態1である場合、すなわち、 $V_{BS} = V_{DD}$ の状態にある場合、ブートストラップ電圧端子33から第1のMOSトランジスタ1を介して動作用電源端子31へ電流が流れるのを阻止する必要がある。

かかる状態にあって、 $V_{N1} > V_{N2}$ であるため、比較器9からは、論理値Highに相当する信号が出力され、第1のMOSトランジスタ1のゲートに印加されて、第1のMOSトランジスタ1はOFF状態とされる。

そのため、ブートストラップ電圧端子33から動作用電源端子31へ電流が流れることが確実に阻止されることとなる。

【0029】

次に、 $V_{DD} > V_{BS}$ の場合（以下、便宜的に、かかる状態を「状態2」と称する）、比較器9の反転入力端子の電圧 V_{N2} は、 $V_{N2} > V_{N1}$ となるため、比較器9からは、論理値Lowに相当する信号が出力され、第1のMOSトランジスタ1のゲートに印加され、第1のMOSトランジスタ1は、ON状態とされる。それによって、動作用電源端子31とブートストラップ電圧端子33が導通状態となり、動作用電源端子31からブートストラップ電圧端子33へ電流が流れ、ブートストラップキャパシタ5の充電が行われることとなる。

このように、第1のMOSトランジスタ1は、流れる電流が電流監視回路7によって監視され、その監視結果に応じて、ON/OFFが自己制御されるようになっている。

【0030】

次に、第2の構成例について、図3及び図4を参照しつつ説明する。

なお、図1又は図2に示された構成要素と同一の構成要素については、同一の符号を付して、その詳細な説明を省略し、以下、異なる点を中心に説明する。

この第2の構成例は、先の第1の構成例における電流監視回路7に代えて、電圧監視回路（図3においては「V-WATCH」と表記）7Aを設け（図3参照）、それによって、電流監視回路7同様に第1のMOSトランジスタ1のON/OFF制御を可能としたものである。

図4には、電圧監視回路7Aの具体回路構成例が示されており、以下、同図を参照しつつ、電圧監視回路7Aについて説明する。

【0031】

電圧監視回路7Aは、第1のMOSトランジスタ1のソース・ドレイン間の電圧を監視し、その監視結果に応じて、第1のMOSトランジスタ1のON/OFF制御を行うよう構成されてなるものである。

かかる本発明の実施の形態における電圧監視回路7Aは、ツェナーダイオード13と、比較器9とを主たる構成要素として構成されてなるものである。

ツェナーダイオード13は、そのアノードが比較器9の反転入力端子に接続されると共に、抵抗器12を介して第1のトランジスタMOS1のドレインに接続されており、回路動作用電源電圧 V_{DD} が印加されるようになっている。

【0032】

一方、ツェナーダイオード13のカソードは、第1のMOSトランジスタ1のソースに接続されている。なお、この構成例において、第1のMOSトランジスタ1は、サブスレートのソースに接続されたものとなっている。

比較器9と基準電圧源8の接続は、先に図2に示された構成例と同一であるので、ここでの再度の詳細な説明は省略することとする。

10

20

30

40

50

【 0 0 3 3 】

次に、かかる構成における電圧監視回路 7 A の動作について説明する。

この電圧監視回路 7 A においては、第 1 の MOS トランジスタ 1 のソース・ドレイン間の電圧が比較器 9 により監視されることとなる。すなわち、第 1 の MOS トランジスタ 1 のソース・ドレイン間の電圧が、基準電圧源 8 の基準電圧 V_{REF} 以上となると、比較器 9 からは論理値 $H i g h$ に相当する信号が出力され、第 1 の MOS トランジスタ 1 が $O F F$ とされる。

ここで、第 1 の MOS トランジスタ 1 のソース・ドレイン間の電圧が基準電圧源 8 の基準電圧 V_{REF} 以上となり、比較器 9 により第 1 の MOS トランジスタ 1 が $O F F$ とされるのは、ブートストラップキャパシタ 5 の充電が進行し、 $V_{BS-OUT} = V_{DD}$ となった時点である。

10

【 0 0 3 4 】

一方、上述とは逆に、第 1 の MOS トランジスタ 1 のソース・ドレイン間の電圧が基準電圧源 8 の基準電圧 V_{REF} を下回ると、比較器 9 からは論理値 $L o w$ に相当する信号が出力され、第 1 の MOS トランジスタ 1 が $O N$ とされる。

このように、第 1 の MOS トランジスタ 1 は、ブートストラップキャパシタ 5 の電圧の変化に起因するソース・ドレイン間電圧の変化に応じて電圧監視回路 7 A によって、その $O N / O F F$ がいわば自己制御されるようになっている。

【 図面の簡単な説明 】

【 0 0 3 5 】

20

【 図 1 】 本発明の実施の形態におけるブートストラップ回路の第 1 の基本構成例を示す構成図である。

【 図 2 】 図 1 に示されたブートストラップ回路における電流監視回路の具体回路構成例を示す回路図である。

【 図 3 】 本発明の実施の形態におけるブートストラップ回路の第 2 の基本構成例を示す構成図である。

【 図 4 】 図 3 に示されたブートストラップ回路における電圧監視回路の具体回路構成例を示す回路図である。

【 図 5 】 従来回路の第 1 の構成例を示す構成図である。

【 図 6 】 従来回路の第 2 の構成例を示す構成図である。

30

【 図 7 】 従来回路におけるレベルシフト回路の具体回路構成例を示す回路図である。

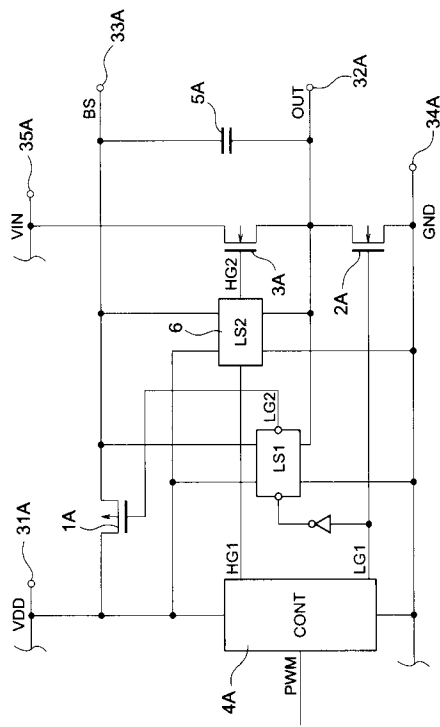
【 符号の説明 】

【 0 0 3 6 】

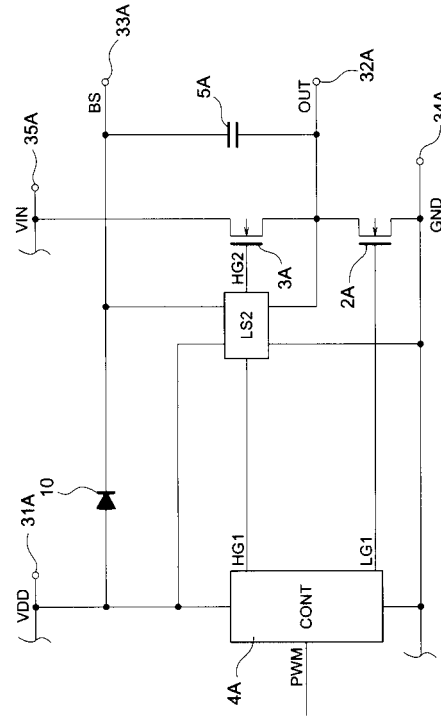
- 1 ... 第 1 の MOS トランジスタ
- 2 ... 第 2 の MOS トランジスタ
- 3 ... 第 3 の MOS トランジスタ
- 4 ... コントロール回路
- 5 ... ブートストラップキャパシタ
- 6 ... レベルシフト回路
- 7 ... 電流監視回路
- 7 A ... 電圧監視回路

40

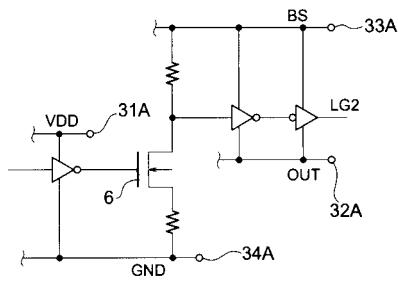
【 図 5 】



【 図 6 】



【 図 7 】



フロントページの続き

(56)参考文献 特開2007-195361(JP,A)
特開2007-182119(JP,A)
特開2002-199577(JP,A)
特開平09-246930(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K 17/00 - 17/70
H03K 19/094
H02M 3/07