



特許協力条約に基づいて公開された国際出願

<p>(51) 国際特許分類 5 G11C 16/06</p>	<p>A1</p>	<p>(11) 国際公開番号 WO 93/19471</p> <p>(43) 国際公開日 1993年9月30日 (30.09.1993)</p>
<p>(21) 国際出願番号 PCT/JP93/00363 (22) 国際出願日 1993年3月25日 (25. 03. 93)</p> <p>(30) 優先権データ 特願平4/67013 1992年3月25日 (25. 03. 92) JP</p> <p>(71) 出願人 (米国を除くすべての指定国について) セイコーエプソン株式会社 (SEIKO EPSON CORPORATION) [JP/JP] 〒163 東京都新宿区西新宿二丁目4番1号 Tokyo, (JP)</p> <p>(72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 丸山 明 (MARUYAMA, Akira) [JP/JP] 〒392 長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内 Nagano, (JP)</p> <p>(74) 代理人 弁理士 井上 一, 外 (INOUE, Hajime et al.) 〒167 東京都杉並区荻窪五丁目24番2号 パール荻窪ビル5階 Tokyo, (JP)</p> <p>(81) 指定国 JP, US.</p> <p>添付公開書類 国際調査報告書</p>		

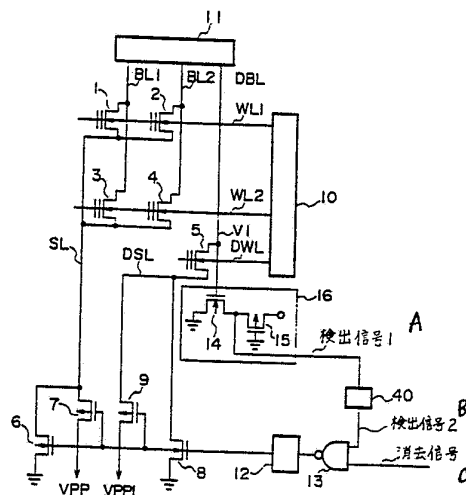
(54) Title : NONVOLATILE SEMICONDUCTOR DEVICE

(54) 発明の名称 不揮発性半導体装置

- A ... sensing signal 1
- B ... sensing signal 2
- C ... erasing signal

(57) Abstract

A nonvolatile semiconductor device wherein the range of the threshold potential of a flash EEPROM is made adequate and its verifying operation is simplified. In memory transistors (1-4) and a dummy memory transistor (5), the potentials of source lines SL and DSL are set respectively to V_{pp} and V_{pp1} and those of word lines WL_1 , WL_2 and DWL are set to the GND level, and their erasings are performed. When the erasing operations progress, the threshold potential of the dummy memory transistor (5) lowers earlier than the others. Therefore, by sensing only the threshold of the dummy memory transistor, the verifying operation can be executed. Also, by sensing the threshold of the dummy memory transistor beforehand, over-erasing operation can be prevented.



(57) 要約

フラッシュ E E P R O M のしきい値電位の範囲の適正化とリファイ動作の簡略化が目的である。メモリートランジスタ (1) ~ (4) 、ダミーメモリートランジスタ (5) において、ソースライン S L 、 D S L を各々 V p p 、 V p p 1 、ワードライン W L 1 、 W L 2 、 D W L を各々 G N D レベルにし消去を行う。消去動作が進みとダミーメモリートランジスタ (5) のしきい値電位が先に低下する。そのためダミーメモリートランジスタのしきい値のみを検出することでベリファイ動作を実行することができる。また、そのしきい値を事前に検出することで過剰消去動作を防止することができる。

情報としての用途のみ

PCTに基づいて公開される国際出願のハンフレット第1頁にPCT加盟国を同定するために使用されるコード

AT	オーストリア	FR	フランス	MW	マラウイ
AU	オーストラリア	GA	ガボン	NL	オランダ
BB	バルバドス	GB	イギリス	NO	ノルウェー
BE	ベルギー	GN	ギニア	NZ	ニュー・ジーランド
BF	ブルキナ・ファソ	GR	ギリシャ	PL	ポーランド
BG	ブルガリア	HU	ハンガリー	PT	ポルトガル
BJ	ベナン	IE	アイルランド	RO	ルーマニア
BR	ブラジル	IT	イタリア	RU	ロシア連邦
CA	カナダ	JP	日本	SD	スーダン
CF	中央アフリカ共和国	KP	朝鮮民主主義人民共和国	SE	スウェーデン
CG	コンゴ	KR	大韓民国	SK	スロヴァキア共和国
CH	スイス	KZ	カザフスタン	SN	セネガル
CI	コート・ジボアール	LI	リヒテンシュタイン	SU	ソヴィエト連邦
CM	カメルーン	LK	スリランカ	TD	チャード
CS	チェッコスロヴァキア	LU	ルクセンブルグ	TG	トーゴ
CZ	チェッコ共和国	MC	モナコ	UA	ウクライナ
DE	ドイツ	MG	マダガスカル	US	米国
DK	デンマーク	ML	マリ	VN	ヴェトナム
FI	フィンランド	MN	モンゴル		
ES	スペイン	MR	モーリタニア		

明 細 書

不揮発性半導体装置

〔技術分野〕

本発明は、不揮発性半導体装置に関し、特にフラッシュ（一括消去型）EEPROMの消去方法に関するものである。

〔背景技術〕

図18は従来のフラッシュEEPROMの回路図である。簡単のため4つのメモリートランジスタ構成とした。1～4はメモリートランジスタ、6はNchトランジスタ、7はPchトランジスタ、110はXデコーダ回路、111は書き込み消去制御回路、12はインターフェイス回路、18はインバータ回路である。また、92はアドレスバッファ、94はYデコーダ回路、96はセンスアンプ、98はデータバッファである。また、BL1、BL2はビットライン、WL1、WL2はワードライン、SLはソースラインである。

ここで、インターフェイス回路12はV_{dd}-GNDの電位振幅入力をV_{pp}-GNDの電位振幅出力に変える働きを持つ。

アドレス信号は、アドレスバッファ92を介してXデコーダ回路110、Yデコーダ回路94に入力される。Xデコーダ回路110では、これによりメ

メモリートランジスタの X デコード信号が生成され、ワードライン WL 1、WL 2 へのワードライン信号が生成される。また、Y デコーダ回路 94 では、これにより Y デコード信号が生成され、書き込み消去制御回路 111、センスアンプ 96 に、この Y デコード信号が出力される。

書き込み消去制御回路 111 では、この Y デコード信号により、データの書き込み制御が行われる。即ち、書き込み消去制御回路 111 により、データバッファ 98 を介して入力されたデータ信号が、Y デコード信号をアドレスとしてメモリートランジスタ 1~4 に書き込まれる。更に、書き込み消去制御回路 111 では、メモリートランジスタ 1~4 に記憶されたデータの消去制御も行われる。

また、センスアンプ 96 では、メモリートランジスタ 1~4 に記憶されたデータが、Y デコード信号をアドレスとして読み出される。読み出されたデータは、データバッファ 98 を介してデータ信号として出力される。

次に、本従来例の動作を、図 19 の電位図を用いて説明する。

まず、書き込み動作について説明する。図 19 に示すように、メモリートランジスタ 1 を書き込む場合には、WL 1、BL 1 を各々高電位 V_{pp} レベル、WL

2、BL2を各々GNDレベルとする。さらに、消去信号をLレベル（下側の論理反転レベル）とすることでNchトランジスタ6をオン状態、Pchトランジスタ7をオフ状態にする。これにより、ソースラインSLをGNDレベルとし、メモリートランジスタ1にチャンネル電流を発生させ、そのドレイン領域端部にホットエレクトロンを発生させ、フローティングゲート電極に電子を注入することで書き込み動作を行う。この場合、メモリートランジスタ2～4ではチャンネル電流が発生しないため書き込みは行われぬ。

次に、消去動作について説明する。図19に示すように、消去動作を行う場合は、WL1、WL2を各々GNDレベル、BL1、BL2を各々オープンレベルとする。更に、消去信号をHレベル（上側の論理反転レベル）としてNchトランジスタ6をオフ、Pchトランジスタ7をオンにする。これにより、ソースラインSLをVppレベルとし、メモリートランジスタ1～4のフローティングゲート電極とソース領域間にトンネル電流を発生させ、フローティングゲート電極からソース領域に電子を放出することで消去動作を行う。

さて、上記従来技術では、書き込み時、あるいは消去時にメモリートランジスタのしきい値電位を適正な範囲内に収めることが大きな技術的課題となる。例え

ば、前記消去動作を過度に行うと、電子の放出が進みすぎメモリートランジスタのしきい値電位が負になる現象が生ずる。そして、この過剰消去されデプレッション型となったメモリートランジスタが1つでも生じると、そのメモリートランジスタが接続されるビット線にリーク電流が流れる。この結果、このビット線に接続されるメモリートランジスタを読み出しす際に、読み出し動作不良という事態が生じてしまう。一方、逆に、この消去動作が不十分であると、設定された論理反転レベルでも反転しないメモリートランジスタが発生するという事態も生じる。

以上の問題を、例えばベリファイ動作と呼ばれる手法によって解決することも考えられる。このベリファイ動作では、消去動作を行った後、消去の対象となるメモリートランジスタが十分に消去されているか否かが随時モニタされる。そして、十分に消去されていると判断されたメモリートランジスタに対しては消去動作を終了する。逆に、消去が十分ではないと判断されたメモリートランジスタに対しては引続き消去動作を続行する。しかし、このベリファイ動作と呼ばれる手法には、回路規模を大きくし、また、制御が複雑であるという問題がある。

本発明はこの様な問題を解決するもので、その目的とするところはメモリートランジスタのしきい値電位

の範囲の適正化と、ベリファイ動作の簡略化を図ることにある。

[発明の開示]

本発明は、フローティングゲート電極と、コントロールゲート電極と、第1、第2の拡散層とを備え、前記フローティングゲート電極に対する電子の注入・放出動作によりデータの記憶を行うメモリートランジスタを含んで成る不揮発性半導体装置において、

電子の注入・放出動作時に、少なくとも前記メモリートランジスタと異なるしきい値電位の変化速度が設定された1以上のダミーメモリートランジスタと、前記ダミーメモリートランジスタに対する電子の注入・放出動作をさせる手段と、前記ダミーメモリートランジスタのしきい値電位を検出する手段とを含むことを特徴とする。

本発明によれば、電子の注入・放出動作時に、メモリートランジスタと異なるしきい値電位の変化速度が設定された1以上のダミーメモリートランジスタを有している。従って、電子の注入・放出動作時には、ダミーメモリートランジスタのしきい値電位のみをチェックすればよく、膨大な数のメモリートランジスタのしきい値電位を全てチェックする必要がなくなる。また、このダミーメモリートランジスタは、メモリートランジスタと異なるしきい値電位の変化速度が設定さ

れている。従って、メモリートランジスタの過剰消去の防止のみならず、メモリートランジスタの論理反転レベルの適正化、書き込みすぎの防止等、種々の調整が可能となり、より高度なしきい値電位の適正化を図ることができる。なお、ここで、しきい値電位の変化速度とは、電子の注入・放出動作を行った時間に対する、メモリートランジスタ、あるいはダミーメモリートランジスタのしきい値電位の変化量をいう。

また、前記ダミーメモリートランジスタは、前記メモリートランジスタよりも速いしきい値電位の変化速度が設定された第1のダミーメモリートランジスタと、前記メモリートランジスタよりも遅いしきい値電位の変化速度が設定された第2のダミーメモリートランジスタより成り、これにより電子の注入・放出動作時に前記メモリートランジスタのしきい値電位が適正な範囲に設定されるよう形成することができる。

これにより、しきい値電位の下限のみならず上限もチェックすることができる。従って過剰消去の防止を行いつつ、同時に、論理反転レベルの適正化を図ることが可能となる。

また、前記ダミーメモリートランジスタのしきい値電位の変化速度の設定は、前記ダミーメモリートランジスタの第1の拡散層と第2の拡散層のいずれか一方に対する印加電位を変更することにより設定すること

ができる。

このように印加電位を変更することによりしきい値電位の変化速度を設定すれば、プロセス等を変更することなく、種々の種類の変化速度が設定されたダミーメモリートランジスタを用意することができる。従って、より簡易に、より高度なしきい値電位の調整が可能となる。

また、前記ダミーメモリートランジスタのしきい値電位の変化速度の設定は、前記ダミーメモリートランジスタの第1の拡散層と第2の拡散層のいずれか一方に対する印加電位の印加開始時間を変更することにより設定できる。

これにより、上記と同様に、プロセス等を変更することなく、より簡易に、より高度なしきい値電位の調整が可能となる。

また、前記ダミーメモリートランジスタのしきい値電位の変化速度の設定は、前記ダミーメモリートランジスタのイニシャル時のしきい値電位を変更することにより設定してもよく、更に、前記ダミーメモリートランジスタのフローティングゲート電極とコントロールゲート電極の容量値を変更することによって設定してもよい。これにより、種々のしきい値電位の変化速度を有するダミーメモリートランジスタを用意することができる。

また、前記ダミーメモリートランジスタのしきい値電位を検出する手段は、前記ダミーメモリートランジスタの第1の拡散層と第2の拡散層のいずれか一方に電位を印加することで前記しきい値電位を検出する手段とすることができる。

これにより、非常に簡易な構成で、しきい値電位検出手段を実現できる。しかも、このように簡易に実現できるにも関わらず、このしきい値電位検出手段は、検出速度が速く、また、検出感度も非常に優れたものになる。

また、前記ダミーメモリートランジスタのしきい値電位を検出する手段は、前記ダミーメモリートランジスタの前記第1の拡散層と前記第2の拡散層のいずれか一方の電位を検出することで前記しきい値電位を検出する手段としてもよく、更に、前記ダミーメモリートランジスタの前記第1の拡散層と前記第2の拡散層との間に流れる電流を検出することで前記しきい値電位を検出する手段としてもよい。これにより、よりプロセス変動に左右されない、安定したしきい値電位検出手段を実現できる。

また、本発明は、フローティングゲート電極と、コントロールゲート電極と、第1、第2の拡散層とを備え、前記フローティングゲート電極に対する電子の注入・放出動作によりデータの記憶を行うメモリートラ

ンジスタを含んで成る不揮発性半導体装置において、

電子の注入・放出動作後、しきい値電位をモニタするベリファイ動作時に、少なくとも前記メモリートランジスタと異なるしきい値電位の変化速度が設定された1以上のダミーメモリートランジスタと、前記ダミーメモリートランジスタに対する電子の注入・放出動作をさせる手段と、前記ダミーメモリートランジスタのしきい値電位を検出する手段とを含むことを特徴とする。

本発明によれば、ベリファイ動作時に、ダミーメモリートランジスタのしきい値電位のみをチェックすればよく、膨大な数のメモリートランジスタのしきい値電位を全てチェックする必要がなくなる。また、メモリートランジスタの過剰消去防止チェックのみならず、論理反転レベル、書き込みすぎのチェック等も可能となる。

この場合、用意するダミーメモリートランジスタの数、態様、しきい値電位の変化速度の設定、しきい値電位を検出する手段は、前述したのと同様に設定できる。これにより、高度なしきい値電位の調整を行うことができるベリファイ動作を、複雑な回路構成を要することなく実現でき、また、書き込み、消去、ベリファイ動作の時間を短縮することも可能となる。

[図面の簡単な説明]

図 1 は、本発明の不揮発性半導体装置の第 1 の実施例を示す回路図である。

図 2 は、第 1 の実施例の動作を説明するための電位図である。

図 3 は、本発明の不揮発性半導体装置の第 2 の実施例を示す回路図である。

図 4 は、第 2 の実施例を、3 つのダミーメモリートランジスタを含んで構成した場合の回路図である。

図 5 は、第 2 の実施例におけるダミーメモリートランジスタのしきい値電位の消去特性を示す特性図である。

図 6 は、本発明の不揮発性半導体装置の第 3 の実施例を示す回路図である。

図 7 は、第 3 の実施例の動作を説明するための電位図である。

図 8 は、第 3 の実施例のダミーメモリートランジスタのドレイン領域に印加する電位を変更する場合の回路図である。

図 9 は、本発明の不揮発性半導体装置の第 4 の実施例を示す回路図である。

図 10 は、第 4 の実施例の動作を説明するための電位図である。

図 11 は、本発明の不揮発性半導体装置の第 5 の実

施例を示す回路図である。

図 1 2 は、第 5 の実施例の動作を説明するための電位図である。

図 1 3 は、第 5 の実施例のしきい値電位検出回路をドレイン領域に電位を印加する手法により実現した場合の回路図である。

図 1 4 は、本発明の不揮発性半導体装置の第 6 の実施例を示す回路図である。

図 1 5 は、第 6 の実施例の動作を説明するための電位図である。

図 1 6 は、第 6 の実施例を、3 つのダミーメモリートランジスタを含んで構成した場合の回路図である。

図 1 7 は、他の書き込み、消去動作を行うメモリートランジスタの一例を示す断面図である。

図 1 8、従来の不揮発性半導体装置を示す回路図である。

図 1 9 は、従来の不揮発性半導体装置の動作を説明するための電位図である。

[発明を実施するための最良の形態]

以下、説明する第 1 ～第 4 の実施例は、消去動作時、書き込み動作時にメモリートランジスタのしきい値電位の範囲を適正化を図るための実施例である。

(1) 実施例 1

図 1 は本発明の第 1 の実施例を示す回路図である。

ここでは簡単のため4つのメモリートランジスタ構成として説明する。但し、実際には、本実施例のメモリー一部は、所望の数のメモリートランジスタがマトリクス状に配列されることにより形成されている。1～4はメモリートランジスタである。5はこのメモリートランジスタ1～4と同一構造のダミーメモリートランジスタである。また、6、8はN c hトランジスタ、7、9はP c hトランジスタ、10はXデコーダー回路、11は書き込み消去制御回路、12はインターフェイス回路、13はN A N D回路である。また、16はN c hトランジスタ14、P c hトランジスタ15よりなる電位検出回路である。また、40は、この電位検出回路16から出力される検出信号1をラッチして、検出信号2として出力するラッチ回路であり、例えばR Sラッチ回路が用いられる。

ここで、インターフェイス回路12はV d d - G N Dの電位振幅入力をV p p - G N Dの電位振幅出力に変える働きを持つ。また、B L 1、B L 2はビットラインでメモリートランジスタの1～4のドレイン領域に各々接続される。また、W L 1、W L 2はワードラインでメモリートランジスタの1～4のコントロールゲート電極に各々接続される。更に、S Lはソースラインでメモリートランジスタの1～4のソース領域に各々接続されている。同様にD B Lはダミービットラ

イン、D W L はダミーワードライン、D S L はダミーソースラインで各々ダミーメモリートランジスタ5のドレイン領域、コントロールゲート電極、ソース領域に接続されている。

本実施例の回路は、前記のXデコーダ回路10と書き込み消去制御回路11により、マトリクス状に配列されたメモリートランジスタに対するデータの書き込み及び読み出し動作を行なっている。また本実施例の回路は、P c h トランジスタ7を介して高電位を付加することにより、マトリクス状に配列されたメモリートランジスタに対する消去動作を行なっている。

以上のように、本実施例では、従来例に対して、ダミーメモリートランジスタ5及びその制御回路であるP c h トランジスタ9及びN c h トランジスタ8、並びに、電位検出回路16及びその付属回路であるラッチ回路40及びN A N D 回路40を新たに含む構成となっている。また、Xデコーダ回路10及び書き込み消去制御回路11は、従来例と異なり、メモリートランジスタのみならずダミーメモリートランジスタの書き込み、消去、読み出しの制御が行えよう構成されている。ここで、電位検出回路16は、ダミービットラインD B L の電位を検出する回路であり、これによりダミーメモリートランジスタ5のしきい値電位を検出することができる。そして、後述するように、こ

のダミーメモリートランジスタ5のしきい値電位の変化速度は、メモリートランジスタ1～4のしきい値電位の変化速度と異なる速度に設定されている。この結果、ダミーメモリートランジスタ5のしきい値電位を電位検出回路16により検出することで、メモリートランジスタ1～4のしきい値電位の範囲を適正な範囲に収めることができことになる。

以下、本実施例の動作を、図2の電位図を用いて詳細に説明する。

まず、書き込み動作について説明する。図2に示すように、書き込み動作時は消去信号をLレベルとすることでトランジスタ6、8をオン状態、7、9をオフ状態にする。この状態で、メモリートランジスタ1にデータを書き込む場合には、以下のような設定を行う。即ち、同図に示すように、書き込み消去制御回路11により、ビットラインBL1をVppレベルとし、BL2、DBLをGNDレベルとする。また、Xデコーダ回路10により、ワードラインWL1をVppレベル、WL2、DWLをGNDレベルとする。このように設定することで、メモリートランジスタ1のみ、そのコントロールゲート電極の電位とドレイン領域の電位とが同時にVppレベルとなる。この結果、メモリートランジスタ1にのみチャンネル電流が発生し、そのドレイン領域端部でホットエレクトロンが発生し、

フローティングゲート電極へ電子が注入される。これにより、メモリートランジスタ1に対してのみ書き込み動作が行われることになる。一方、メモリートランジスタ2～4、およびダミーメモリートランジスタ5では、コントロールゲート電極の電位とドレイン領域の電位とが同時にV_{pp}レベルとはならないため、チャンネル電流が発生せず書き込み動作は行われなことになる。なお、ダミーメモリートランジスタ5に対して書き込み動作を行う場合も、上記した書き込み動作と同じ方法で行うことになる。

次に消去動作について説明する。まず、消去動作前に、予め前述の書き込み動作によりメモリートランジスタ1～4、及びダミーメモリートランジスタ5に書き込みを行っておく。次に、図2に示すように、消去信号をHレベルとする。また、ビットラインBL1、BL2を、書き込み消去制御回路11により何も電位が供給されない状態にする。また、ダミービットラインDBLについては、書き込み消去制御回路11に設けられた極めて電流供給能力の低いトランジスタによりプルダウンして、GNDレベルになるように設定しておく。このように設定すると、電位検出回路16の検出信号1は、Pchトランジスタ15によりプルアップされ、Hレベルとなり、ラッチ回路40によりラッチされ、Hレベルの検出信号2として出力される。

この結果、Pchトランジスタ7、9はオン状態、Nchトランジスタ6、8はオフ状態となる。この状態で、図2に示すように、ワードラインWL1、WL2、DWLをXデコーダ回路10により各々GNDレベルになる様に設定する。これにより、メモリートランジスタ1～4及びダミーメモリートランジスタ5のコントロールゲート電極の電位がGNDレベルに、ソース領域の電位SL、およびDSLが各々Vppレベル、Vpp1レベルと設定されるため、フローティングゲート電極とソース領域間にトンネル電流が発生する。この結果、フローティングゲート電極からソース領域に電子が放出され、消去動作が行われることになる。

なお、ラッチ回路40は例えばRSラッチ回路により構成され、検出信号1がLレベルとなるとリセットされ、Lレベルの検出信号2を出力する。また、書き込み動作時にはセットされHレベルの検出信号2を出力するよう構成されている。

さて、本実施例では、ダミーメモリートランジスタ5の供給電源Vpp1が、メモリートランジスタ1～4の供給電位Vppよりも高い電位となるように設定されている。このように設定することで、ダミーメモリートランジスタ5のしきい値電位の変化速度の方が、メモリートランジスタ1～4のしきい値電位の変化速度よりも大きくなるよう設定されることになる。ここ

で、しきい値電位の変化速度とは、電子の注入・放出動作を行った時間に対する、メモリートランジスタ、あるいはダミーメモリートランジスタのしきい値電位の変化量をいう。したがって、消去動作が進み、しきい値電位の低下が十分に進むと、ダミーメモリートランジスタのしきい値電位の変化量の方が大きいため、メモリートランジスタ1～4よりも先にダミーメモリートランジスタ5がオン状態となる。この結果、ダミービットラインDBLはPchトランジスタ9を介してVpp1側に電位が引っ張られ、図2に示すように、その電位V1が増加することになる。この場合、Nchトランジスタ14の電流供給能力はPchトランジスタ15のそれよりも十分大きくなるように設定されている。従って、V1がある設定電位V10になったところで、同図に示すように、電位検出回路16の検出信号1がLレベルに切り替わり、ラッチ回路40にラッチされ、検出信号2が出力される。この結果、Pchトランジスタ7、9はオフ状態、Nchトランジスタ6、8はオン状態となり、同図に示すように、ソースラインSLの電位がGNDレベルとなるため消去動作は停止する。

ここで、電位検出回路16の検出信号1がLレベルとなる場合のV1の設定電位V10が、例えば、0.8Vに設定されたとする。具体的には、Nchト

ランジスタ14のしきい値電圧が約0.8Vの場合に、このような設定となる。前述したように、Nchトランジスタ14の電流供給能力は、Pchトランジスタ15の電流供給能力よりも十分大きくなるように設定されているからである。この場合に、検出信号1がLレベルとなる時のダミーメモリートランジスタ5のしきい値電位 DV_{th} は、以下のように計算される。即ち、この場合は、 V_{10} が0.8Vと設定されるため、ダミーメモリートランジスタ5のしきい値電位に基板バイアス効果が生じる。これによりダミーメモリートランジスタ5のしきい値電位 DV_{th} は約0.2V増加する。そして、前記したように、ダミーワードラインDWLはGNDレベルに設定されている。また、検出信号1がLレベルとなる時のダミービットラインDBLの電位 V_1 は、 $V_{10} = 0.8V$ に設定されている。従って、検出信号1がLレベルとなる時のダミーメモリートランジスタのしきい値電位は、 $DV_{th} = -0.8V - 0.2V = -1.0V$ と計算されることになる。

従って、このような場合には、ダミーメモリートランジスタ5のしきい値電位が $-1.0V$ となった時に、メモリートランジスタ1~4のしきい値電位が0V以上となるように、ダミーメモリートランジスタ5及びメモリートランジスタ1~4の変化速度の値を設定す

る。具体的には、ダミーメモリートランジスタ5に印加される供給電位 V_{pp1} を、メモリートランジスタ1～4に印加される V_{pp} よりも高くすることにより、このような設定を行う。これにより、メモリートランジスタ1～4のしきい値電位が負の値となる、すなわち過剰消去となることが防止されることになる。

さて、以上述べたように本第1の実施例では、ダミーメモリートランジスタ5のしきい値電位の変化速度の設定を供給電源 V_{pp1} の変更により行っている。この結果、後述するコントロールゲート電極とフローティングゲート電極との間の容量の変更、メモリーセルのトンネル酸化膜の厚さの変更等によりしきい値電位の変化速度を変更する場合に比べ、プロセス上、大きな有利点を持つ。

即ち、本第1の実施例では、ダミーメモリートランジスタ5としては、メモリートランジスタ1～4と同一の物を用いることができる。従って、メモリートランジスタ1～4とダミーメモリートランジスタ5のしきい値電位の変化速度を異なった値に設定する場合に、メモリーセルのトンネル酸化膜の厚さを変更する等のプロセス変更を行う必要がなくなる。同様に、コントロールゲート電極とフローティングゲート電極との間の容量を変更する等のプロセス変更を行う必要もなくなる。この結果、少なくともプロセスを1工程省略で

き、また、プロセスの信頼性の向上、歩留まりの向上等を図ることができる。特に、メモリートランジスタ1～4とダミーメモリートランジスタ5が同一物で構成できるため、両トランジスタの整合性を高くすることができ、より精度の高い過剰除去防止の回路を提供できることになる。

また、通常、この種のメモリートランジスタでは、書き込み動作、除去動作に2つの電源を有している。従って、抵抗分割、電圧分圧回路等により、このような異なった値の供給電源 V_{pp} 、 V_{pp1} を簡易に作り出すことができ、この点においても、本手法は大きな有利点を持つ。

なお、本第1の実施例では、供給電源 V_{pp1} の変更により、しきい値電位の変化速度の設定を行っているが、これを供給電源の印加開始時間を変更することにより行うこともできる。例えば、除去動作時に、ダミーメモリートランジスタ5に対する供給電源 V_{pp1} の印加開始時間を、メモリートランジスタ1～4に対する供給電源 V_{pp} の印加開始時間よりも速くする。このようにすれば、ダミーメモリートランジスタ5のしきい値電位の変化速度をメモリートランジスタ1～4のしきい値電位の変化速度よりも大きくすることができる。そして、この手法によれば、前記と同様に、ダミーメモリートランジスタ5として、メモリートラン

ジスタ 1 ~ 4 とプロセス上、同一の物を用いることができる。従って、ダミーメモリートランジスタ 5 を形成する際に、新たなプロセスを導入する必要がなく、この意味で、大変有利な手法となる。

また、本第 1 の実施例における電位検出回路 16 では、ダミーメモリートランジスタ 5 のしきい値電位の検出を、N c h トランジスタ 14 のしきい値電位を利用して行っている。そして、この N c h トランジスタ 14 とダミーメモリートランジスタ 5 は、同じ N 型の素子であり、プロセス条件等の適合性が保たれる。即ち、例えば、ダミーメモリートランジスタ 5 のしきい値電位が高くなると、N c h トランジスタのしきい値電位も高くなるという適合性が保たれる。この結果、プロセス変動に依存しにくい、より精度が高い過剰消費の防止回路を提供できることになる。

なお、本第 1 の実施例では、検出信号 2 を直接ソース電位の制御信号として用いた構成として説明したが、検出信号 2 を例えば過剰消費防止用のモニター信号として使用した場合でも本実施例の動作から同様の効果があることは容易に推測できるであろう。例えば、検出信号 2 を、メモリー回路全体を制御するマイクロコンピュータ（図示せず）に入力し、マイクロコンピュータが検出信号 2 をモニターして、これを監視・制御するような回路構成とする。そして、過剰消費が

生じた場合は、マイクロコンピュータが停止信号を出力し、消去動作を停止することになる。このような回路構成とすることにより、例えばメモリー回路に寿命がきて過剰消去が頻繁に生じた場合に、これを監視しているマイクロコンピュータがメモリー回路の寿命がきたことを判断することができ、これをユーザに知らせることができることになる。

(2) 実施例 2

図 3 は本発明の第 2 の実施例を示す回路図である。ここで図 1 と同じ記号のものは同一のものである。105 はダミーメモリートランジスタ、108 は N c h トランジスタ、109 は P c h トランジスタ、112 は O R 回路である。また、116 は電位検出回路 16 は所定の電位を検出する電位検出回路であり、41 はラッチ回路である。

本第 2 の実施例は、前記第 1 の実施例にダミーメモリートランジスタ 105 及びその制御回路、並びに電位検出回路 116 及びその付属回路が新たに付加された回路構成となっている。ダミーメモリートランジスタ 105 のドレイン電圧は電位検出回路 116 に入力され、これによりダミーメモリートランジスタ 105 のしきい値電位が検出され、検出信号 L1 が出力される。そして、この検出信号 L1 は、ラッチ回路 41 を介して O R 回路 112 に入力される。一方、電位検出

回路 16 から出力された検出信号 H1 も、同様にラッチ回路 40 を介して OR 回路 112 に入力される。そして、この OR 回路 112 の出力信号は NAND 回路 13 に入力される。

さて、本第 2 の実施例では、ダミーメモリートランジスタ 5 とダミーメモリートランジスタ 105 のしきい値電位の変化速度が異なった速度となるように設定されている。具体的には、ダミーメモリートランジスタ 5 のしきい値電位の変化速度は、全てのメモリートランジスタ 1 ~ 4 のしきい値電位の変化速度よりも速くなるよう設定され、ダミーメモリートランジスタ 105 のしきい値電位の変化速度は、全てのメモリートランジスタ 1 ~ 4 のしきい値電位の変化速度よりも遅くなるように設定されている。そして、これらの設定は、それぞれの供給電源 V_{pp} 、 V_{pp1H} 、 V_{pp1L} を異なった電位値にすること ($V_{pp1L} < V_{pp} < V_{pp1H}$) で行っている。

図 5 には、この場合の、ダミーメモリートランジスタ 5、105 のしきい値電位の消去時間に対する消去特性が示されている。同図において、特性曲線 H はダミーメモリートランジスタ 5 の消去特性であり、特性曲線 L はダミーメモリートランジスタ 105 の消去特性である。同図より、ダミーメモリートランジスタ 5 (特性曲線 H) のしきい値電位の変化速度の方が、ダ

ミーメモリートランジスタ105（特性曲線L）のしきい値電位の変化速度よりも大きくなることが理解される。そして、上記の設定により、メモリートランジスタ1～4のしきい値電位の特性曲線は、この特性曲線Lと特性曲線Hの間になることが保証される。即ち、メモリートランジスタ1～4のしきい値電位の変化速度は、ダミーメモリートランジスタ5とダミーメモリートランジスタ105のしきい値電位の変化速度の間の値になることが保証される。

次に、消去動作について説明する。電位検出回路16は、ダミーメモリートランジスタ5のしきい値電位が1.0V以下の時に、検出信号H1がLレベルとなるように構成されている。また、電位検出回路116は、ダミーメモリートランジスタ105のしきい値電位が3.5V以下の時に検出信号L1がLレベルとなるように構成されている。従って、消去動作が進むと、検出信号2は、ダミーメモリートランジスタ105のしきい値電位が3.5V以下で、かつ、ダミーメモリートランジスタ5のしきい値電位が1.0V以下の時にLレベルとなる。この結果、Pchトランジスタ7、9、109はオフ状態、Nchトランジスタ6、8、108はオン状態となり、ソースラインSLの電位がGNDレベルとなるため消去動作は停止する。

なお、この検出するしきい値電位の設定は、ダミーメモリートランジスタ5、105のコントロールゲート電極に付加する電位を変更することによっても行うことができる。即ち、本実施例の場合は、例えば、ダミーメモリートランジスタ5のコントロール電極に1.0Vの定電位を付加し、ダミーメモリートランジスタ105のコントロール電極に3.5Vの定電位を付加する回路構成とすればよい。

以上より、本第2の実施例では、図5において、ダミーメモリートランジスタのしきい値電位がABからCDとなった場合に消去動作が停止することになる。この場合、プロセスが変動して同図の特性曲線LとHの間の範囲が広がっても、メモリートランジスタ1～4のしきい値電位が0V以下とならないよう、即ち過剰消去とならないように、検出信号H1が出力される点（同図のD点）は1.0Vに設定されている。これにより、メモリートランジスタ1～4のしきい値電位は、3.5V～0Vの間の値になることが保証される。この結果、過剰消去の防止のみならず、メモリートランジスタ1～4の論理反転レベルが、上限値である3.5V以下になることが保証され、信頼性、歩留まり等を向上させることができる。

なお、図4には、本第2の実施例に、更に、ダミーメモリートランジスタ205、Nchトランジスタ

208、Pchトランジスタ209、電位検出回路216、3NAND回路113、ラッチ回路42が新たに付加された回路構成が示される。ここで、供給電源 V_{pp1G} は、ダミーメモリートランジスタ205のしきい値電位の変化速度が、全てのメモリートランジスタ1~4及びダミーメモリートランジスタ5のしきい値電位の変化速度よりも速くなるように設定されている($V_{pp1G} > V_{pp1H} > V_{pp1L}$)。但し、 $V_{pp1G} = V_{pp1H}$ とする設定としてもよい。また、電位検出回路216は、ダミーメモリートランジスタ205のしきい値電位が0V以下の時に検出信号G1がLレベルとなるように構成されている。そして、この検出信号G1は3NAND回路113に入力される。従って、検出信号G1がLレベルとなると、他の検出信号H1、L1がどのような状態でも、Pchトランジスタ7、9、109、209はオフ状態、Nchトランジスタ6、8、108、208はオン状態となり、ソースラインSLの電位がGNDレベルとなるため消去動作は停止することになる。この結果、常に、メモリートランジスタ1~4のしきい値電位が0V以下にならないこと(図5におけるEF点)、即ち、過剰消去とならないことが保証される。

このように、本実施例では、しきい値電位の変化速度が異なるダミーメモリートランジスタを簡易に複数

用意することができる。この結果、より確実に過剰消去の防止ができ、より適切な論理反転レベルの設定が可能となる。しかも、このようなしきい値電位の変化速度の異なる複数のダミーメモリートランジスタを、単に供給電源を変更するだけ、あるいは、供給電源の印加開始時間を変更するだけで提供できる。従って、今までにない、非常に有効で簡易なしきい値電位の設定手法を提供できることになる。

(3) 実施例 3

図 6 は本発明の第 3 の実施例を示す回路図である。ここで図 1 と同じ記号のものは同一のものである。17 は N c h トランジスタ、18 はインバータ回路である。以下、本第 3 の実施例の動作について、図 7 の電位図を用いて説明する。

書き込み動作は、図 7 に示すように、消去信号を L レベルとすることで第 1 の実施例と同様の動作で行われる。

次に消去動作について説明する。この場合も消去動作は動作前に予め前述の書き込み動作によりメモリートランジスタ 1 ~ 4、及びダミーメモリートランジスタ 5 に書き込みを行っておく。次に、図 7 に示すように、消去信号を H レベルとする。また、ビットライン B L 1、B L 2 を書き込み消去制御回路 11 により何も電位が供給されない状態にする。また、ダミービッ

トライン D B L は、消去信号 1 7 がゲート電極に接続された N c h トランジスタ 1 7 により G N D レベルになるように設定される。この状態で、図 7 に示すように、ワードライン W L 1、W L 2、D W L を X デコーダ回路 1 0 により各々 G N D レベルになるようにする。これにより、メモリートランジスタ 1 ~ 4 及びダミーメモリートランジスタ 5 のコントロールゲート電極の電位が G N D レベル、ソース領域の電位 S L が V p p レベルとなるため、フローティングゲート電極とソース領域間にトンネル電流が発生する。この結果、フローティングゲート電極からソース領域に電子が放出され、消去動作が行われることになる。

さて、本実施例では、ダミーメモリートランジスタ 5 のコントロールゲート電極とフローティングゲート電極との間の容量が、メモリートランジスタ 1 ~ 4 のそれよりも大きくなるよう設定されている。このように設定することにより、ダミーメモリートランジスタ 5 の方がメモリートランジスタ 1 ~ 4 よりも、多くのトンネル電流が発生することになる。この結果、ダミーメモリートランジスタのしきい値電位の変化速度の方がメモリートランジスタ 1 ~ 4 のしきい値電位の変化速度よりも大きくなる。その理由は以下の通りである。

例えば、ダミーメモリートランジスタ 5 のコントロ

ールゲート電極とフローティングゲート電極との間の容量を C_{1d} 、フローティングゲート電極とソース領域との間の容量を C_{2d} とする。同様に、メモリートランジスタ 1～4 のコントロールゲート電極とフローティングゲート電極との間の容量を C_{1n} 、フローティングゲート電極とソース領域との間の容量を C_{2n} とする。更に、コントロールゲート電極とソース領域との間に印加される電位差を V_{cs} とする。すると、ダミーメモリートランジスタ 5 における、フローティングゲート電極とソース領域との間の電位差 V_{fsd} は、

$$V_{fsd} = (C_{1d} \times V_{cs}) / (C_{1d} + C_{2d})$$

と概算される。同様に、メモリートランジスタにおける、フローティングゲート電極とソース領域との間の電位差 V_{fsn} は、

$$V_{fsn} = (C_{1n} \times V_{cs}) / (C_{1n} + C_{2n})$$

と概算される。ここで、例えば $C_{1d} > C_{1n}$ となるように設定すれば、上式より、 $V_{fsd} > V_{fsn}$ となる。従って、ダミーメモリートランジスタの方が、そのフローティングゲート電極とソース領域との間に印加される電位差が大きくなる。この結果、フローティングゲート電極とソース領域との間で生じるトンネル電流が大きくなり、ダミーメモリートランジスタ 5 のしきい値電位の変化速度が、メモリートランジスタ 1～4 のしきい値電位の変化速度よりも大きくなるよう設定

されることになる。したがって、消去動作が進みしきい値電位の低下が十分に進むと、メモリートランジスタ1～4よりも先にダミーメモリートランジスタ5がオン状態となる。この場合、トランジスタ7の電流供給能力をトランジスタ5、17のそれよりも十分小さく設定しておくこと、図7に示すように、ソースラインSLの電位がNchトランジスタ17を通してGNDレベル側に引っ張られるため、その電位が低下する。ソースラインSLの電位が低下すると、メモリートランジスタ1～4のトンネル電流が減少する。この結果、やがて消去動作が停止することになる。

ここで、本第3の実施例の場合、ダミービットラインDBLの電位V1は十分小さいから、0Vと考えることができる。したがって、ダミーメモリートランジスタ5はそのしきい値電位が0Vになったときにオンする。それ故、ダミーメモリートランジスタ5のしきい値電位の低下をメモリートランジスタ1～4のしきい値電位のいずれの低下よりも大きくなるように上記容量値を設定しておけば、メモリートランジスタ1～4のしきい値電位が負の値となる、すなわち過剰消去となることはない。

さて、本第3の実施例におけるダミーメモリートランジスタ5のしきい値電位検出手段は、消去動作時にダミーメモリートランジスタ5のドレイン領域の電位

をGNDレベルに設定することにより実現されている。このため、本第3の実施例では、Nchトランジスタ17が設けられており、そのゲート電極に消去信号が入力されている。このように、本第3の実施例におけるしきい値電位検出手段は非常に簡易な回路構成で実現できる。例えば、前記第1の実施例の電位検出回路16も比較的簡易な回路構成により実現されているが、これと比べても、この第3の実施例のしきい値電位検出手段は非常に簡易な回路構成であることは明かである。

また、このしきい値電位検出手段は、ダミーメモリートランジスタ5がオン状態となると、即座に、ソースラインSLがGNDレベルに引っ張られ、消去動作が停止する構成となっている。従って、ダミーメモリートランジスタ5のオン状態を検出してから消去動作を停止までの時間が非常に高速であるという大きな利点をもつ。この結果、より確実な過剰消去の防止を行うことができ、設計マージン、プロセスマージンを大幅に向上させることができる。この点、例えば前記第1の実施例も、ダミーメモリートランジスタ5のみのしきい値電位を検出しているため、従来例に比べれば比較的高速な回路構成となっている。しかし、オン状態の検出後、電位検出回路16、ラッチ回路40、NAND回路13、インターフェイス回路12を介し

た後に消去動作が停止する回路構成となっているため、本第3の実施例のしきい値電位検出手段の方が、より高速な回路構成であることは明かである。

また、このしきい値電位検出手段は、ダミーメモリートランジスタ5がオン状態となると同時に、ソースラインSLの電位が低下して、消去動作の停止が行われる回路構成となっているため、検出感度が非常に高いものとなっている。即ち、例えば前記第1の実施例のような、ダミーメモリートランジスタ5のオン状態をNchトランジスタ17等の複数段の回路で検出する構成であると、Nchトランジスタ17等のしきい値電圧にある程度の幅があるため、その分、感度が低下してしまう。この点、本第3の実施例のしきい値電位検出手段は、オン状態となった1段のダミーメモリートランジスタ5を介して、即座に、ソースラインSLがGNDに引っ張られ、メモリートランジスタ1～4の消去動作が停止するため、非常に感度の高い回路構成となる。

なお、本第3の実施例では、ダミーメモリートランジスタ5のドレイン領域にGND電位を印加する場合のしきい値電位検出手段について説明したが、本発明はこれに限られるものではない。例えば、図8に示すような回路構成、即ち、Nchトランジスタ17をダイオード接続する回路構成とすれば、ドレイン領域に

は、この N c h トランジスタのしきい値電位分増加した電位が付加されることになる。これにより、しきい値電位の低いダミーメモリートランジスタをプロセスを変更することなく提供できる。また、この場合、消去信号による制御が不要なため、回路構成が簡単になる。

(4) 第4の実施例

図9は本発明の第4の実施例を示す回路図である。ここで図1と同じ記号のものは同一のものである。23は電流検出回路で、N c h トランジスタ19～22、P c h トランジスタ22より構成される。次に、本第4の実施例の動作を図10の電位図を用いて説明する。

書き込み動作は、図10に示すように、消去信号をLレベルとすることで第1の実施例と同様の動作で行われる。

次に消去動作について説明する。この場合も消去動作は動作前に予め前述の書き込み動作によりメモリートランジスタ1～4、及びダミーメモリートランジスタ5に書き込みを行っておく。次に、図10に示すように、消去信号をHレベル、書き込み消去制御回路11はビットラインB L 1、B L 2、D B Lに何も電位を供給しない状態になるように設定する。このように設定すると、電位検出回路23の検出信号1は、

Pchトランジスタ22によりHレベルにプルアップされ、ラッチ回路40によりラッチされ、Hレベルの検出信号2として出力される。この結果、Pchトランジスタ7、9はオン状態、Nchトランジスタ6、8はオフ状態となる。この状態で、図10に示すように、ワードラインWL1、WL2、DWLをXデコーダ回路10により各々GNDレベルになる様に設定する。これにより、メモリートランジスタ1~4及びダミーメモリートランジスタ5のコントロールゲート電極の電位がGNDレベル、ソース領域の電位SL、およびDSLが各々Vppレベル、Vpp1レベルと設定されるため、フローティングゲート電極とソース領域間にトンネル電流が発生する。この結果、フローティングゲート電極からソース領域に電子が放出され、消去動作が行われることになる。

ここで、Vpp1をVpp電位よりも高い電位とすると、ダミーメモリートランジスタ5のしきい値電位の低下がメモリートランジスタ1~4のしきい値電位の低下よりも大きくなる。したがって、消去動作が進みしきい値電位の低下が十分に進むと、先にダミーメモリートランジスタ5がオン状態となるため、ダミーソースラインDSLからダミービットラインDBLへ電流I1が流れ出す。この場合、Nchトランジスタ20、21の電流供給能力をPchトランジスタ22

のそれよりも十分大きくしておく。これにより、図 10 に示すように、 I_1 がある設定電流 I_{10} となり DBL の電位が V_{10} になったところで、電流検出回路 23 の検出信号 1 は L レベルに切り替わり、ラッチ回路 40 にラッチされ、検出信号 2 が出力される。この結果、 Pch トランジスタ 7、9 はオフ状態、 Nch トランジスタ 6、8 はオン状態となり、同図に示すようにソースライン SL の電位が GND レベルとなるため消去動作は停止する。

この場合も本第 1 の実施例と同様に V_{pp1} を適当に設定しておけば、メモリートランジスタ 1～4 のしきい値電位が負の値となる前にダミーメモリートランジスタ 5 に電流が流れるため、過剰消去を防止することができる。

尚、本第 4 の実施例では、検出信号を直接ソース電位の制御信号として用いた構成として説明したが、検出信号を例えば過剰消去防止用のモニター信号として使用した場合でも本第 4 実施例の動作から同様の効果があることは容易に推測できるであろう。

以上に説明した第 1～第 4 の実施例は、消去・書き込み動作時に、ダミーメモリートランジスタのしきい値電位を検出あるいはモニターして、これにより、メモリートランジスタのしきい値電位を適正な範囲に保つ実施例であった。これに対して、第 5～第 6 の実施

例は、消去動作後または書き込み動作後に、ダミーメモリートランジスタのしきい値電位がどの程度下がったかを調べるベリファイ動作を行い、これによりメモリートランジスタのしきい値電位を適正に保つ実施例である。例えば、しきい値電位の低下を急激に引き起こさない弱い消去動作とこのベリファイ動作とを交互に繰り返し、検出信号が切り替わったところで消去動作を停止すれば、より確実なしきい値電位の設定値保証および過剰消去の防止ができることになる。

(5) 第5の実施例

図11は本発明の第5の実施例を示す回路図である。ここで図1、2と同じ記号のものは同一のものである。27はNchトランジスタ24、Pchトランジスタ25、インバータ回路26よりなるしきい値電位検出回路である。次に、本第5の実施例の動作を図12の電位図を用いて説明する。

書き込み動作は、図12に示すように、消去信号をLレベル、ベリファイ信号をLレベルとすることで第1の実施例と同様の動作で行われる。

次に消去動作について説明する。この場合も消去動作は動作前に予め前述の書き込み動作によりメモリートランジスタ1～4、及びダミーメモリートランジスタ5に書き込みを行っておく。次に、図12に示すように、消去信号をHレベル、ベリファイ信号をLレベ

ルにすることでトランジスタ 6、8、24 をオフ状態、7、9 をオン状態にする。また、ビットライン B L 1、B L 2、D B L を、書き込み消去制御回路 11 により何も電位を供給しない状態にする。この状態で、図 12 に示すように、ワードライン W L 1、W L 2、D W L を X デコーダ回路 10 により各々 G N D レベルになるようにする。これにより、メモリートランジスタ 1 ~ 4 及びダミーメモリートランジスタ 5 のコントロールゲート電極の電位が G N D レベル、ソース領域の電位 S L、および D S L が各々 V p p レベル、V p p 1 レベルとなるため、フローティングゲート電極とソース領域間にトンネル電流が発生する。この結果、フローティングゲート電極からソース領域に電子が放出され、消去動作が行われることになる。

消去動作の後でメモリートランジスタのしきい値がどの程度まで下がったのかを調べるためにベリファイ動作を行う。次にこれを説明する。ベリファイ動作では、図 12 に示すように、消去信号を L レベル、ベリファイ信号を H レベルにすることでトランジスタ 6、8、24 をオン状態、7、9 をオフ状態にする。また、書き込み消去制御回路 11 はビットライン B L 1、B L 2、D B L に何も電位を供給しない状態にし、ワードライン W L 1、W L 2、D W L は X デコーダ回路 10 により各々 G N D レベルになる様にする。する

と、ダミーメモリートランジスタ5のしきい値電位が0V以上の場合、ダミーメモリートランジスタ5はオフ状態となる。この結果、しきい値電位検出回路27内の電位V2はPchトランジスタ25のプルアップによりHレベルとなり、検出信号はLレベルとなる。

一方、ダミーメモリートランジスタ5のしきい値電位が0Vより小さい場合は、ダミーメモリートランジスタ5はオン状態となる。この場合、トランジスタ25の電流供給能力は、トランジスタ5、8、24のそれよりも十分小さくなるよう設定されている。従って、しきい値電位検出回路27内の電位V2はLレベルとなり、図12に示すように、検出信号はHレベルとなる。この結果、検出信号のLレベルからHレベルへの切り替わりによりダミーメモリートランジスタ5のしきい値電位を検出することができることとなる。

ここでVpp1電位をVpp電位よりも高い電位に設定にしておくと、ダミーメモリートランジスタ5のしきい値電位の変化速度がメモリートランジスタ1～4のしきい値電位のいずれの変化速度よりも速くなる。したがって、ダミーメモリートランジスタ5のしきい値電位のみを検出、つまりベリファイしておけば、メモリートランジスタ1～4のしきい値がある設定電位以上であることが保証でき、消去し過ぎによる過剰消去動作も事前に防止することができる。

また、しきい値電位の低下を急激に引き起こさない弱い消去動作とこのベリファイ動作とを交互に繰り返して、検出信号が切り替わったところで消去動作を停止すれば、より確実なしきい値電位の設定値保証および過剰消去の防止ができる。

尚、本第5の実施例ではダミーワードラインDWLをGNDレベルとしてベリファイ動作の説明を行ったが、この電位は例えば正の値V3であっても、ダミーメモリートランジスタ5のしきい値電位がV3となったところで検出信号が切り替わる点が異なるが、本実施例の動作から同様の効果が有ることは容易に推測できるであろう。

尚、本第1、第2、第3、第4、第5の実施例では、メモリートランジスタと異なるしきい値電位の変化速度を有するダミーメモリートランジスタの提供を、ソース電位の値、あるいは容量値の変更により行う場合について説明した。しかし、本発明はこれに限らず、例えば、ダミーメモリートランジスタの供給電源の印加開始時間を変更する、フローティングゲート電極に何も電子が無いイニシャル時のしきい値電位を変更する、等で得ることも可能である。そして、その場合でも本実施例の動作から同様の効果が有ることは容易に推測できるであろう。

また、本第5の実施例では、ダミーメモリートラン

ジスタ5のしきい値電位の検出を、ダミービットラインDBLの電位を検出するしきい値電位検出手段27を用いて行ったが、本発明はこれに限られるものではない。例えば、図6に示す本第3の実施例のように、ダミーメモリートランジスタ5のドレイン領域に所定の電位を付加することにより、このしきい値電位の検出を行ってもよい。また、図9に示す本第4の実施例のように、ダミービットラインに流れる電流値を検出することにより、このしきい値電位の検出を行ってもよい。

例えば、図13には、ダミーメモリートランジスタ5のドレイン領域にGND電位を印加してしきい値電位を検出する場合の例が示されている。同図に示すように、この例では、Nchトランジスタ17のゲート電極にベリファイ信号が入力され、これにより、ベリファイ動作時にダミーメモリートランジスタ5のドレイン領域にGND電位が付加される。また、NOR回路58には、ベリファイ信号及び消去信号が入力され、その出力がNchトランジスタ8及びPchトランジスタ9に入力される。また、切り替え回路60は、供給電源Vpp1とVddを切り替える回路であり、ベリファイ信号がLレベルの時はVpp1を、ベリファイ信号がHレベルの時はVddを選択して、Nchトランジスタ9及びダミーメモリートランジスタ5への

供給電源を変更するよう形成されている。

そして、P c hトランジスタ52、N c hトランジスタ54、インバータ回路56、57で構成されるしきい値電位検出回路50により、この場合のソースラインS Lの電位の低下を検出し、しきい値電位を検出することになる。

本回路の動作は以下のようなになる。

書き込み動作は消去信号をLレベル、ベリファイ信号をLレベルとすることで第1の実施例と同様の動作で行われる。

消去動作は、消去信号をHレベル、ベリファイ信号をLレベルとすることにより、前記の図11に示す実施例と同様の動作で行われる。この場合、切り替え回路60は供給電源V p p 1を選択しているため、ダミーメモリートランジスタ5には、供給電源V p p 1が供給されることになる。

消去動作の後、消去信号をLレベル、ベリファイ信号をHレベルとすることにより、ベリファイ動作が行われる。この時、N c hトランジスタ17はオン状態になるため、ダミービットラインD B LはG N Dレベルに設定される。また、N c hトランジスタ8はオフ状態、P c hトランジスタ9はオン状態になり、切り替え回路60はV d dを選択しているため、ダミーソースラインD S LはV d dレベルに設定される。また、

この場合のダミーワードラインDWLはGNDレベルとなっている。なお、ダミーソースラインDSLはV_{dd}に設定されるため、ダミーメモリートランジスタ5が消去されることはない。

この状態で、ダミーメモリートランジスタ5のしきい値電位が0V以上の場合は、ダミーメモリートランジスタ5はオフ状態であるため、ダミーソースラインDSLはV_{dd}レベルになる。そして、この場合、Pchトランジスタ52の電流供給能力はNchトランジスタ54のそれよりも十分小さく設定されている。従って、しきい値電位検出回路50内の電位V₂は、Lレベルとなり、検出電圧もLレベルとなる。

また、ダミーメモリートランジスタ5のしきい値電位が0V以下となった場合は、ダミーメモリートランジスタ5はオン状態となり、ダミーソースラインDSLの電位は低下する。この場合、Pchトランジスタ9の電流供給能力を、ダミーメモリートランジスタ5、Nchトランジスタ17のそれよりも十分小さく設定しておく。すると、DSLの電位が下がり、Nchトランジスタ54のしきい値電位よりも低くなったところで、しきい値電位検出回路50内の電位V₂はHレベルとなり、検出信号もHレベルとなる。従って、検出信号のLレベルからHレベルの切り替わりによりダミーメモリートランジスタ5のしきい値電位を検出す

ることができることになる。

(6) 第6の実施例

図14は本発明の第6の実施例を示す回路図である。ここで図11と同じ記号のものは同一のものである。28～31はNchトランジスタであり、しきい値電位検出回路32を構成している。次に、本第6の実施例を図15の電位図を用いて説明する。

書き込み動作は消去信号をLレベル、ベリファイ信号をLレベルとすることで第1の実施例と同様の動作で行われる。

次に消去動作を説明する。消去動作は消去信号をHレベル、ベリファイ信号をLレベルとすることで第5の実施例と同様の動作で行われる。

消去動作の後でメモリートランジスタのしきい値がどの程度まで下がったのかを調べるためにベリファイ動作を行う。次にこれを説明する。ベリファイ動作では、図15に示すように、消去信号をLレベル、ベリファイ信号をHレベルにすることでトランジスタ6、8、24、28、31をオン状態、7、9をオフ状態にする。また、書き込み消去制御回路11はビットラインBL1、BL2、DBLに何も電位を供給しない状態にし、Xデコーダ回路10はワードラインWL1、WL2に各々GNDレベル、DWLに何も電位を供給しない状態になるようにする。またNchトラン

ジスタ 29 ~ 31 の電流供給能力を N c h トランジスタ 28 のそれよりも十分大きく設定し、電源電圧 V_{dd} に依存しない定常的な電位 V_3 をダミーワードライン D W L に印加する。すると、ダミーメモリートランジスタ 5 のしきい値電位が V_3 以上の場合、ダミーメモリートランジスタ 5 はオフとなる。この結果、しきい値電位検出回路 32 内の電位 V_2 は P c h トランジスタ 25 のプルアップにより H レベルとなり、検出信号は L レベルとなる。

一方、ダミーメモリートランジスタ 5 のしきい値電位が V_3 より小さい場合は、ダミーメモリートランジスタ 5 はオン状態となる。この場合、トランジスタ 25 の電流供給能力は、トランジスタ 5、8、24 のそれよりも十分小さくなるよう設定されている。従って、しきい値電位検出回路 32 内の電位 V_2 は L レベルとなり、検出信号は H レベルとなる。この結果、検出信号の L レベルから H レベルへの切り替わりによりダミーメモリートランジスタ 5 のしきい値電位を検出することができることとなる。

ここで V_{pp2} 電位を V_{pp} 電位よりも低い電位に設定にしておくと、ダミーメモリートランジスタ 5 のしきい値電位の変化速度がメモリートランジスタ 1 ~ 4 のしきい値電位のいずれの変化速度よりも遅くなる。したがって、ダミーメモリートランジスタ 5 のしきい

値電位のみを検出、つまりベリファイしておけば、メモリートランジスタ1～4のしきい値がある設定電位以下に低下したかどうかを保証でき、消去し過ぎによる過剰消去動作も事前に防止することかできる。

また、しきい値電位の低下を急激に引き起こさない弱い消去動作とこのベリファイ動作とを交互に繰り返して、検出信号が切り替わったところで消去動作を停止すれば、より確実なしきい値電位の設定値保証および過剰消去の防止ができる。

尚、本第6の実施例では、メモリートランジスタと異なるしきい値電位の変化速度を有するダミーメモリートランジスタを得る為に、ソース電位の値を変更したが、例えばダミーメモリートランジスタのソース電位の印加開始時間を変更する、フローティングゲート電極に何も電子が無いイニシャル時のしきい値電位を変更する、コントロールゲート電極とフローティングゲート電極との容量値を変更する、等で得ることも可能であり、その場合でも本第6の実施例の動作から同様の効果が有ることは容易に推測できるであろう。

また、第5、第6の実施例では、ダミーメモリートランジスタが1つのみの場合について説明したが、これについても、前記第2の実施例と同じように、複数のダミーメモリートランジスタを設ける構成としてもよい。図16には、その一例が示されている。

図 16 に示す回路では、図 14 に示す回路に、新たに、ダミーメモリートランジスタ 105、205、しきい値電位検出回路 132、232、定電位回路 35、135、235、Nch トランジスタ 8、108、208、Pch トランジスタ 9、109、209 を付加した構成の回路である。

ダミーメモリートランジスタ 5、105、205 は、それぞれ、ソース領域に付加される電位が VPP1H、VPP1L、VPP1G と異なっており ($V_{pp1G} > V_{pp1H} > V_{pp1L}$)、これにより、それぞれのダミーメモリートランジスタのしきい値電位の変化速度が異なって設定されている。但し、Vpp1G については、 $V_{pp1G} = V_{pp1H}$ とする構成としてもよい。

定電位回路 35、135、235 は、例えば、図 14 に示す実施例において Nch トランジスタ 28、29、30 で構成される定電位回路とほぼ同様の構成のものを用いる。但し、定電位の値としては、例えば定電位回路 235 が 0V、定電位回路 35 が 1.0V、定電位回路 135 が 3.5V の定電位を出力するよう構成されている。また、しきい値電位検出回路 132、232 の構成は、しきい値電位検出回路 32 とほぼ同様の回路構成のものを用いる。

このような回路構成とすることにより、しきい値電

位を種々のレベルでチェックすることが可能となる。例えば、ベリファイ動作時にしきい値電位検出回路32の検出信号Hをモニタすることにより、メモリートランジスタ1～4のしきい値電位が1.0V以下になったか否かをチェックできることになる。また、ベリファイ動作時にしきい値電位検出回路132の検出信号Lをモニタすることにより、メモリートランジスタ1～4のしきい値電位が3.5V以下になったか否かをチェックできることになる。同様に、ベリファイ動作時にしきい値電位検出回路232の検出信号Gをモニタすることにより、メモリートランジスタ1～4のしきい値電位が0V以下になったか否か、即ち、過剰消去になったか否かをチェックできることになる。

このように種々のレベルのしきい値電位をチェックしながらベリファイ動作を行うことにより、しきい値電位の適正化を非常に高精度に行うことが可能となる。これにより、例えば、メモリートランジスタのしきい値電位が低電圧化等して、マージン幅が少なくなった場合でも、従来と変わりなく、しきい値電位を適正な範囲に収めることが可能となる。しかも、本実施例は、このように高精度なベリファイ動作が可能となるにも関わらず、ダミーメモリートランジスタの変化速度の変更は、供給電源の変更等の簡易な手法により行えるという大きな有利点をもっている。

なお、本発明は上記実施例に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。

例えば、本実施例では、書き込み動作時に、ホットエレクトロンによりフローティングゲート電極に電子を注入し、消去動作時にトンネル電流により電子を放出する例について説明したが、本発明はこれに限られるものではない。即ち、ホットエレクトロンまたはトンネル電流の別を問わず、少なくとも、フローティングゲート電極への電子の放出・注入によりしきい値電位を調整できるものであれば、各種のメモリーセルに適用できる。また、書き込み動作、消去動作の呼び名も全く問わず、電子の放出・注入の相手先は、ドレイン領域、ソース領域、半導体基板の別を問わない。従って、例えば、図17(A)、(B)あるいは(C)(D)に示す構成のメモリーセルにも適用できる。即ち、図17(A)、(C)では、トンネル電流により、電子をドレイン領域に放出することにより書き込み動作を行っており、図17(B)、(D)では、同様にトンネル電流により半導体基板から電子を注入することにより消去動作を行っている。このような場合でも、本発明は、当然適用できることになる。

請 求 の 範 囲

(1) フローティングゲート電極と、コントロールゲート電極と、第1、第2の拡散層とを備え、前記フローティングゲート電極に対する電子の注入・放出動作によりデータの記憶を行うメモリートランジスタを含んで成る不揮発性半導体装置において、

電子の注入・放出動作時に、少なくとも前記メモリートランジスタと異なるしきい値電位の変化速度が設定された1以上のダミーメモリートランジスタと、前記ダミーメモリートランジスタに対する電子の注入・放出動作をさせる手段と、前記ダミーメモリートランジスタのしきい値電位を検出する手段とを含むことを特徴とする不揮発性半導体装置。

(2) 請求項(1)において、

前記ダミーメモリートランジスタは、前記メモリートランジスタよりも速いしきい値電位の変化速度が設定された第1のダミーメモリートランジスタと、前記メモリートランジスタよりも遅いしきい値電位の変化速度が設定された第2のダミーメモリートランジスタより成り、これにより電子の注入・放出動作時に前記メモリートランジスタのしきい値電位が適正な範囲に設定されるよう形成されたことを特徴とする不揮発性半導体装置。

(3) 請求項(1)において、

前記ダミーメモリートランジスタのしきい値電位の変化速度の設定が、前記ダミーメモリートランジスタの第1の拡散層と第2の拡散層のいずれか一方に対する印加電位が変更されることにより設定されることを特徴とする不揮発性半導体装置。

(4) 請求項(2)において、

前記ダミーメモリートランジスタのしきい値電位の変化速度の設定が、前記ダミーメモリートランジスタの第1の拡散層と第2の拡散層のいずれか一方に対する印加電位が変更されることにより設定されることを特徴とする不揮発性半導体装置。

(5) 請求項(1)において、

前記ダミーメモリートランジスタのしきい値電位の変化速度の設定が、前記ダミーメモリートランジスタの第1の拡散層と第2の拡散層のいずれか一方に対する印加電位の印加開始時間が変更されることにより設定されることを特徴とする不揮発性半導体装置。

(6) 請求項(1)において、

前記ダミーメモリートランジスタのしきい値電位の変化速度の設定が、前記ダミーメモリートランジスタのイニシャル時のしきい値電位が変更されることにより設定されることを特徴とする不揮発性半導体装置。

(7) 請求項(1)において、

前記ダミーメモリートランジスタのしきい値電位の

変化速度の設定が、前記ダミーメモリートランジスタのフローティングゲート電極とコントロールゲート電極の容量値が変更されることにより設定されることを特徴とする不揮発性半導体装置。

(8) 請求項(1)において、

前記ダミーメモリートランジスタのしきい値電位を検出する手段は、前記ダミーメモリートランジスタの第1の拡散層と第2の拡散層のいずれか一方に電位を印加することで前記しきい値電位を検出する手段であることを特徴とする不揮発性半導体装置。

(9) 請求項(1)において、

前記ダミーメモリートランジスタのしきい値電位を検出する手段は、前記ダミーメモリートランジスタの前記第1の拡散層と前記第2の拡散層のいずれか一方の電位を検出することで前記しきい値電位を検出する手段であることを特徴とする不揮発性半導体装置。

(10) 請求項(1)において、

前記ダミーメモリートランジスタのしきい値電位を検出する手段は、前記ダミーメモリートランジスタの前記第1の拡散層と前記第2の拡散層との間に流れる電流を検出することで前記しきい値電位を検出する手段であることを特徴とする不揮発性半導体装置。

(11) フローティングゲート電極と、コントロールゲート電極と、第1、第2の拡散層とを備え、前記フ

ローティングゲート電極に対する電子の注入・放出動作によりデータの記憶を行うメモリートランジスタを含んで成る不揮発性半導体装置において、

電子の注入・放出動作後、しきい値電位をモニタするベリファイ動作時に、少なくとも前記メモリートランジスタと異なるしきい値電位の変化速度が設定された1以上のダミーメモリートランジスタと、前記ダミーメモリートランジスタに対する電子の注入・放出動作をさせる手段と、前記ダミーメモリートランジスタのしきい値電位を検出する手段とを含むことを特徴とする不揮発性半導体装置。

(12) 請求項(11)において、

前記ダミーメモリートランジスタは、前記メモリートランジスタよりも速いしきい値電位の変化速度が設定された第1のダミーメモリートランジスタと、前記メモリートランジスタよりも遅いしきい値電位の変化速度が設定された第2のダミーメモリートランジスタより成り、これにより前記ベリファイ動作時に、前記メモリートランジスタのしきい値電位が適正な範囲に設定されるよう形成されたことを特徴とする不揮発性半導体装置。

(13) 請求項(11)において、

前記ダミーメモリートランジスタのしきい値電位の変化速度の設定が、前記ダミーメモリートランジスタ

の第1の拡散層と第2の拡散層のいずれか一方に対する印加電位が変更されることにより設定されることを特徴とする不揮発性半導体装置。

(14) 請求項(12)において、

前記ダミーメモリートランジスタのしきい値電位の変化速度の設定が、前記ダミーメモリートランジスタの第1の拡散層と第2の拡散層のいずれか一方に対する印加電位が変更されることにより設定されることを特徴とする不揮発性半導体装置。

(15) 請求項(11)において、

前記ダミーメモリートランジスタのしきい値電位の変化速度の設定が、前記ダミーメモリートランジスタの第1の拡散層と第2の拡散層のいずれか一方に対する印加電位の印加開始時間が変更されることにより設定されることを特徴とする不揮発性半導体装置。

(16) 請求項(11)において、

前記ダミーメモリートランジスタのしきい値電位の変化速度の設定が、前記ダミーメモリートランジスタのイニシャル時のしきい値電位が変更されることにより設定されることを特徴とする不揮発性半導体装置。

(17) 請求項(11)において、

前記ダミーメモリートランジスタのしきい値電位の変化速度の設定が、前記ダミーメモリートランジスタのフローティングゲート電極とコントロールゲート電

極の容量値が変更されることにより設定されることを特徴とする不揮発性半導体装置。

(18) 請求項(11)において、

前記ダミーメモリートランジスタのしきい値電位を検出する手段は、前記ダミーメモリートランジスタの第1の拡散層と第2の拡散層のいずれか一方に電位を印加することにより前記しきい値電位を検出する手段であることを特徴とする不揮発性半導体装置。

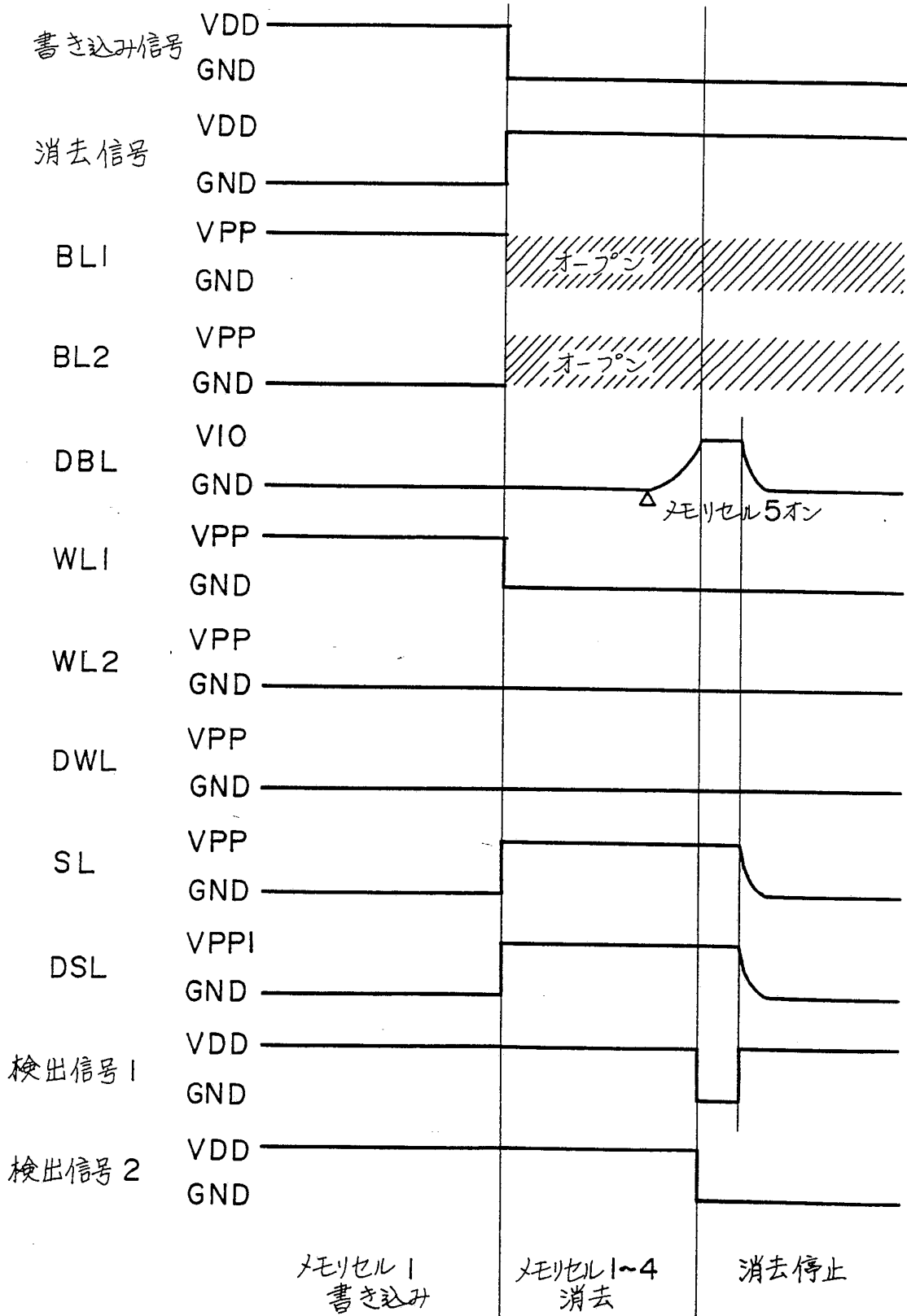
(19) 請求項(11)において、

前記ダミーメモリートランジスタのしきい値電位を検出する手段は、前記ダミーメモリートランジスタの前記第1の拡散層と前記第2の拡散層のいずれか一方の電位を検出することで前記しきい値電位を検出する手段であることを特徴とする不揮発性半導体装置。

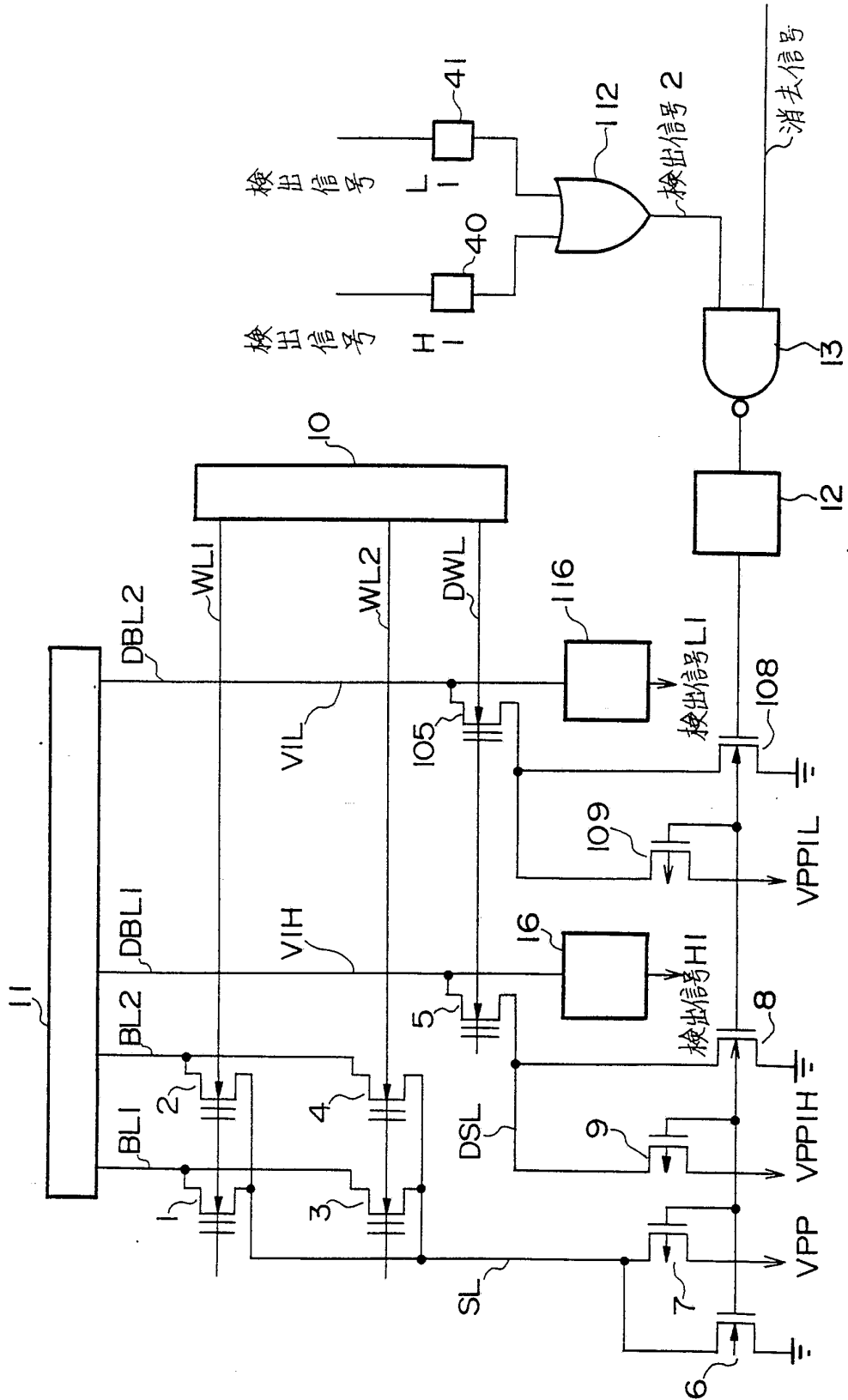
(20) 請求項(11)において、

前記ダミーメモリートランジスタのしきい値電位を検出する手段が、前記ダミーメモリートランジスタの前記第1の拡散層と前記第2の拡散層との間に流れる電流を検出することで前記しきい値電位を検出する手段であることを特徴とする不揮発性半導体装置。

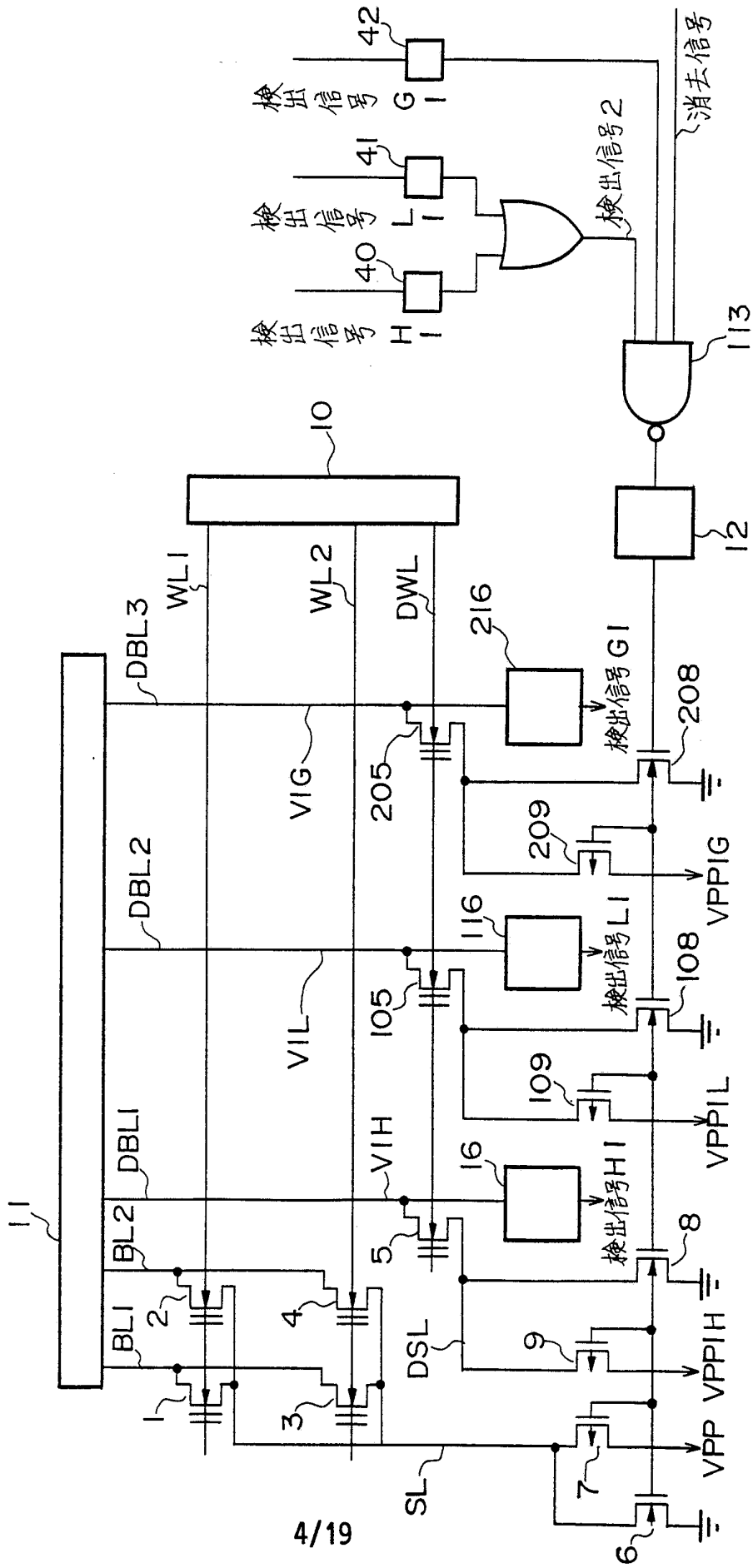
第 2 図



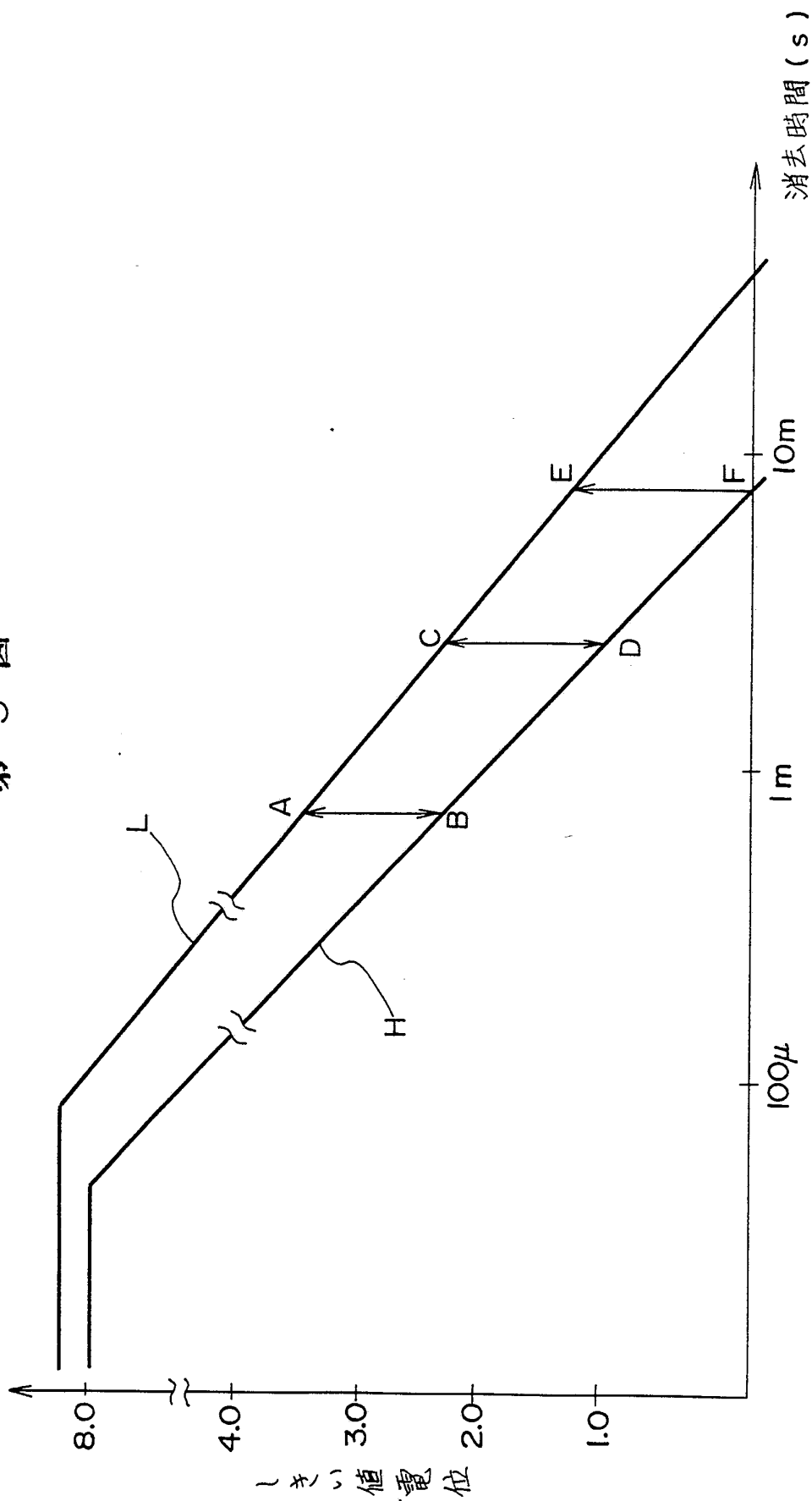
第 3 图



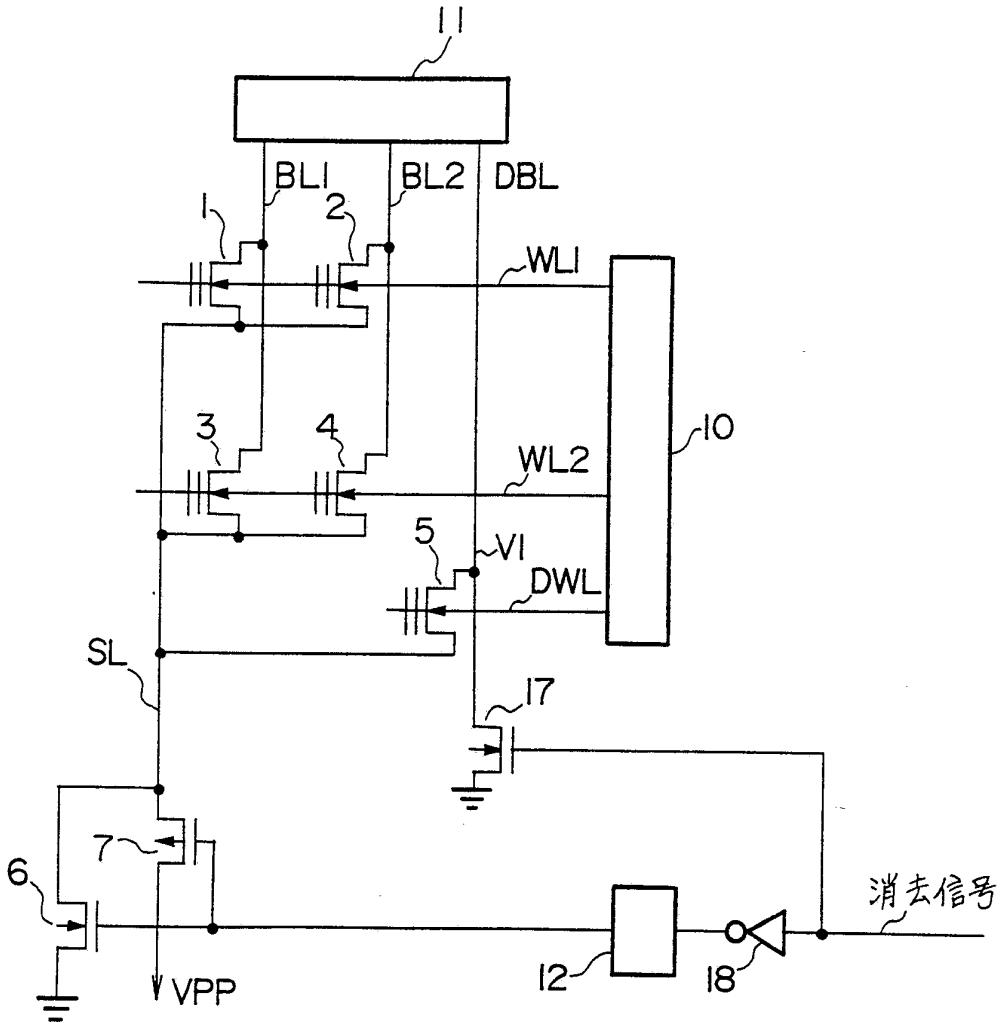
第 4 図



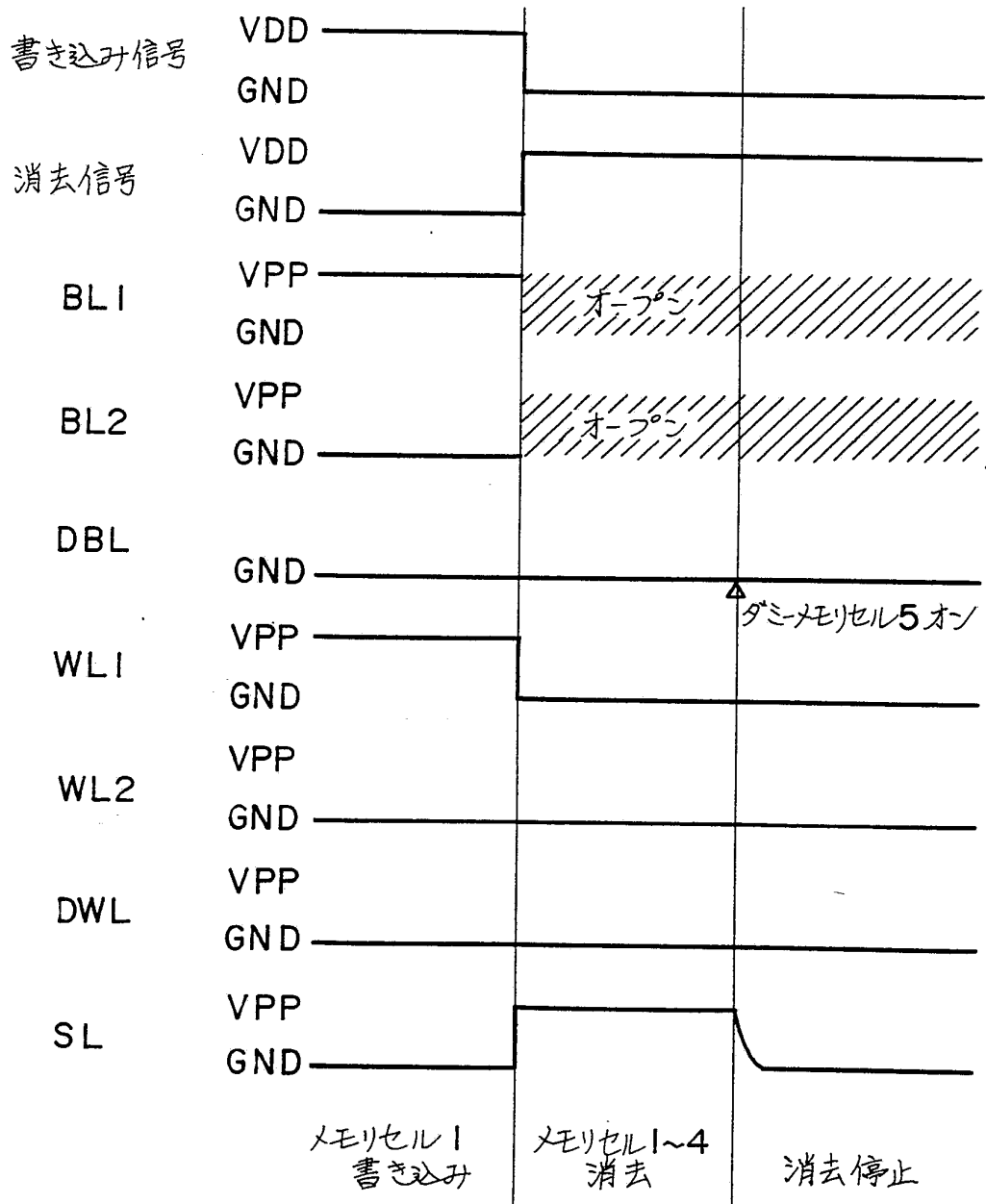
第 5 図



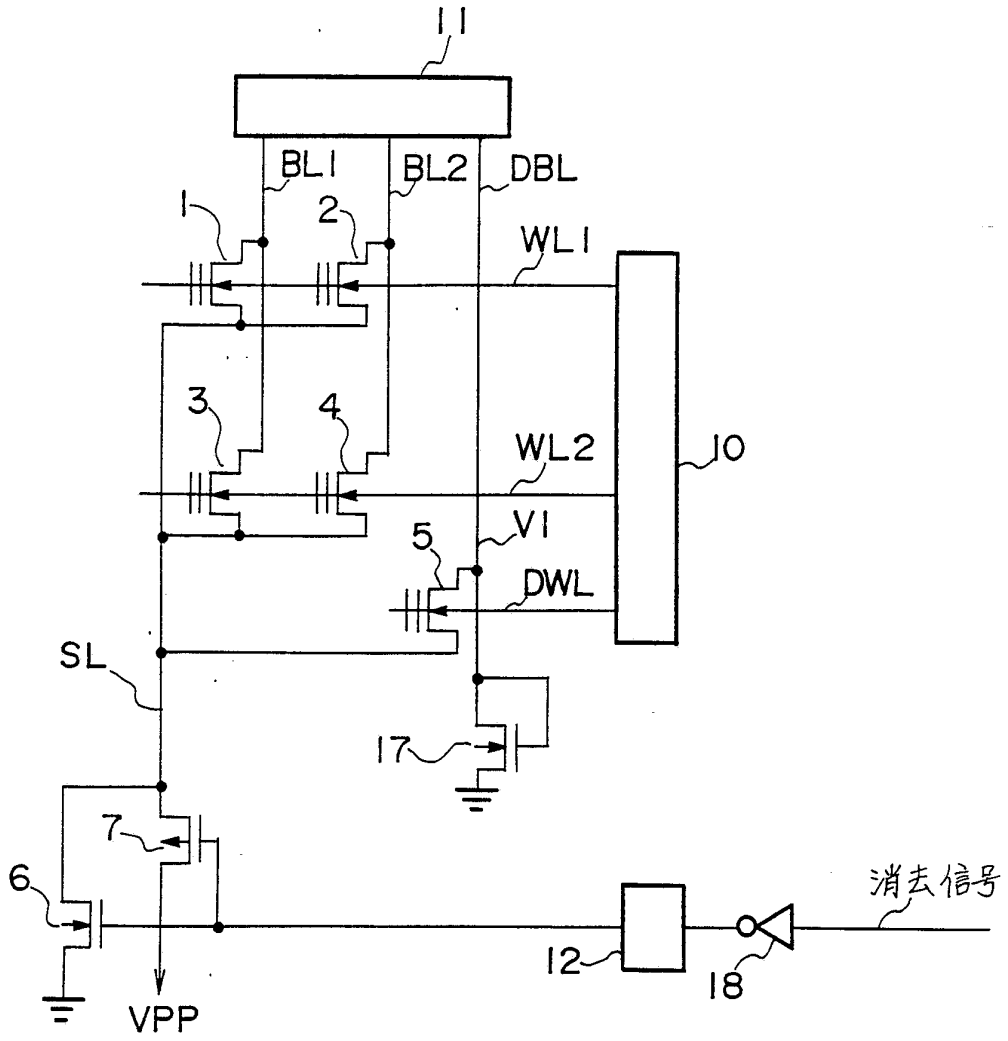
第 6 図



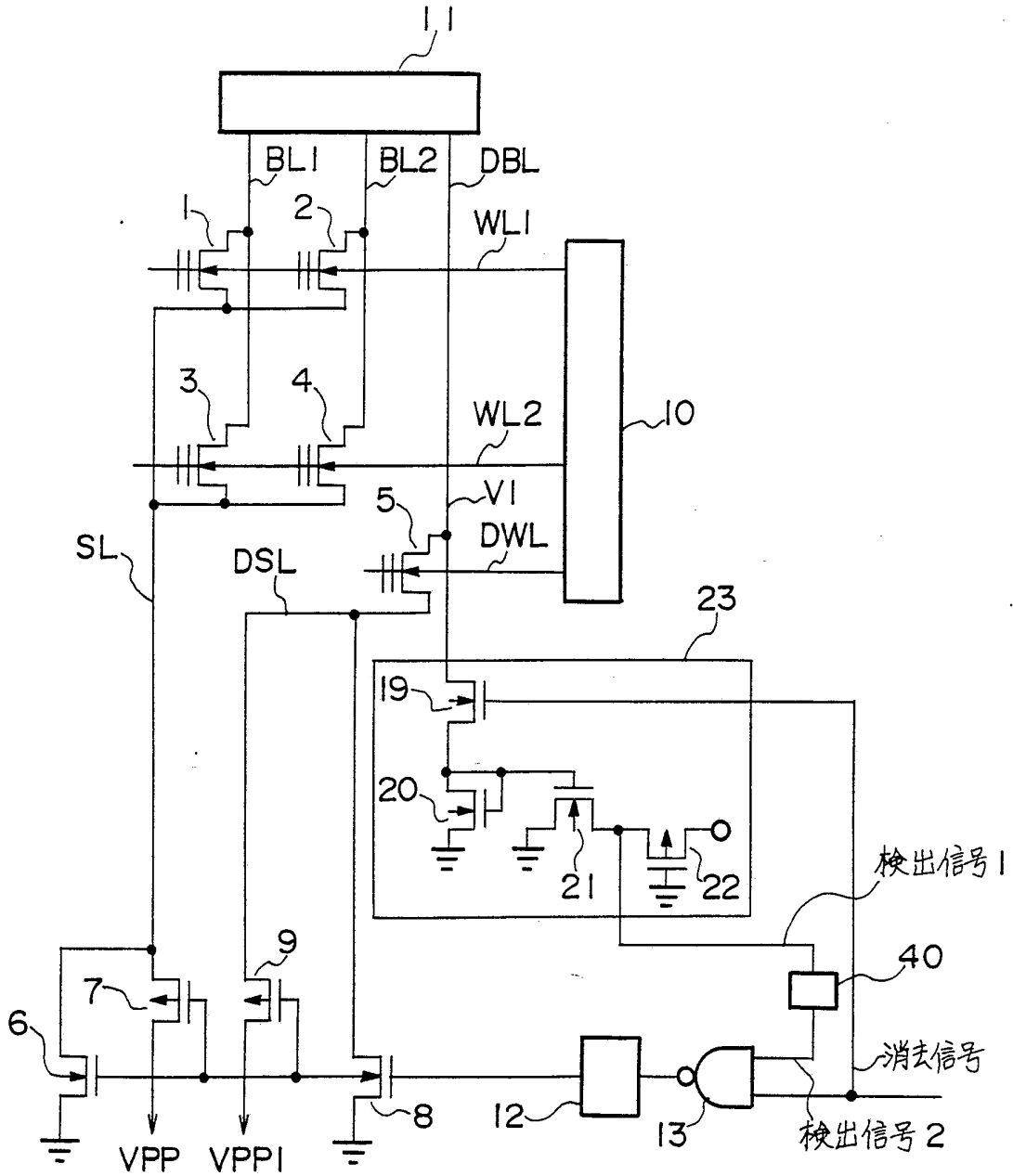
第 7 図



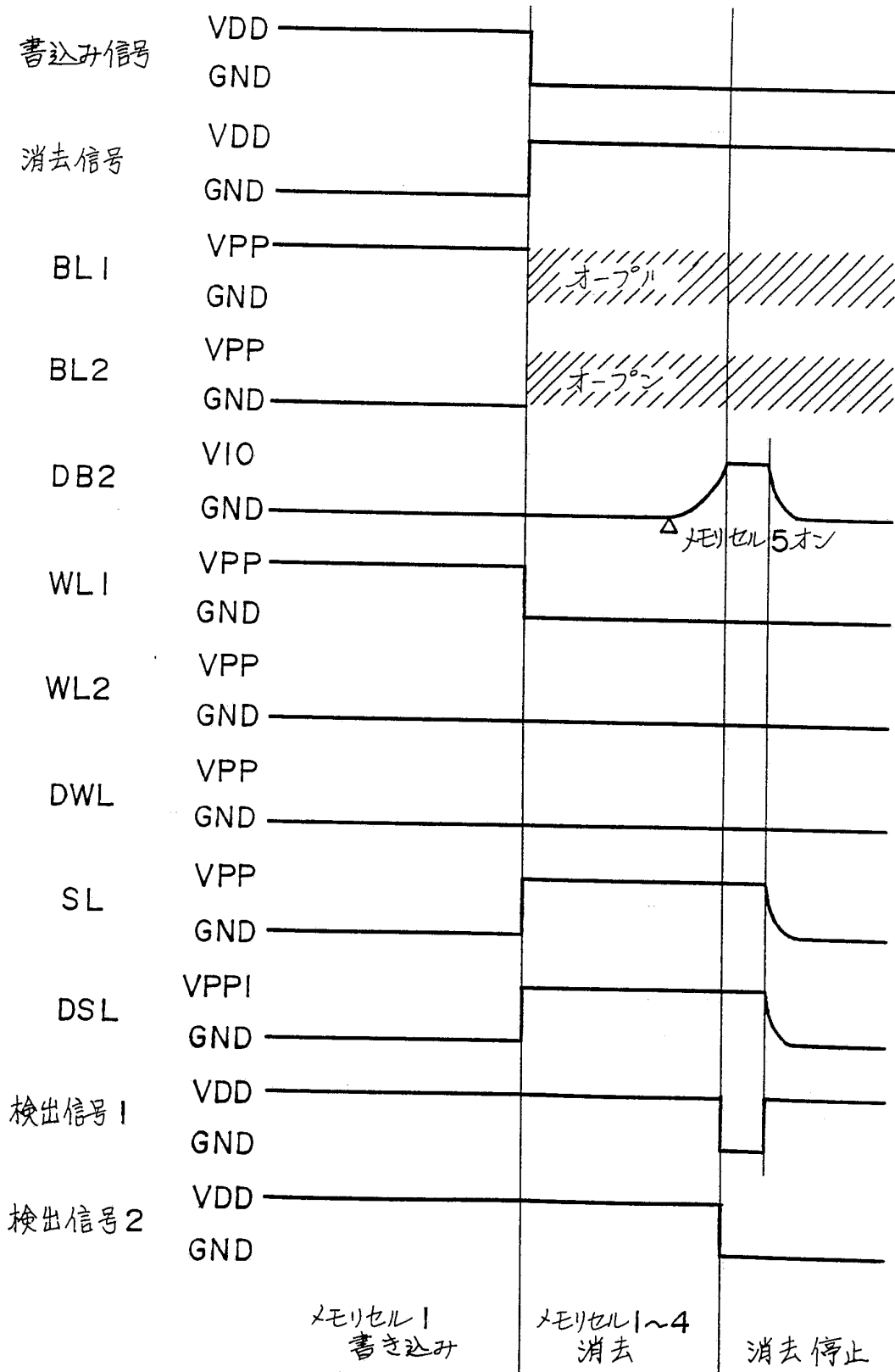
第 8 图



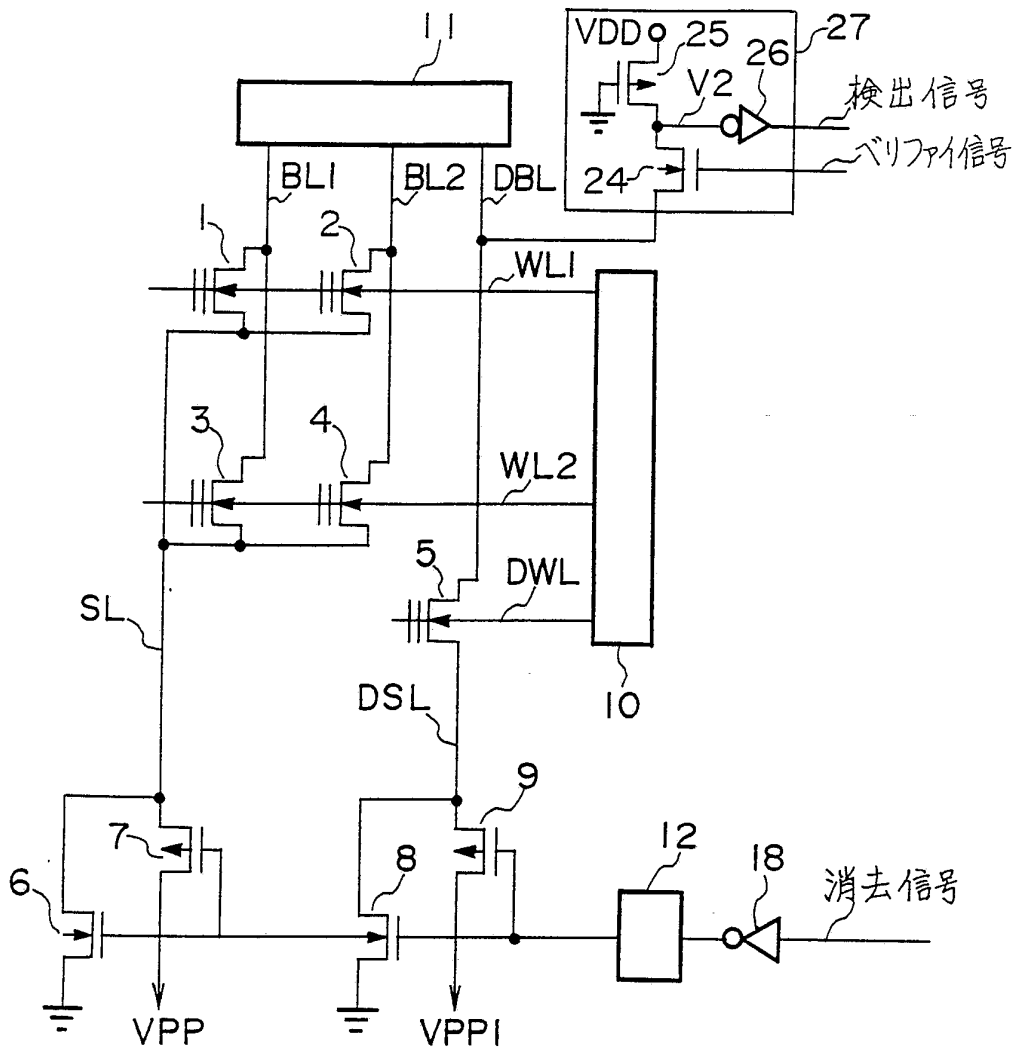
第 9 図



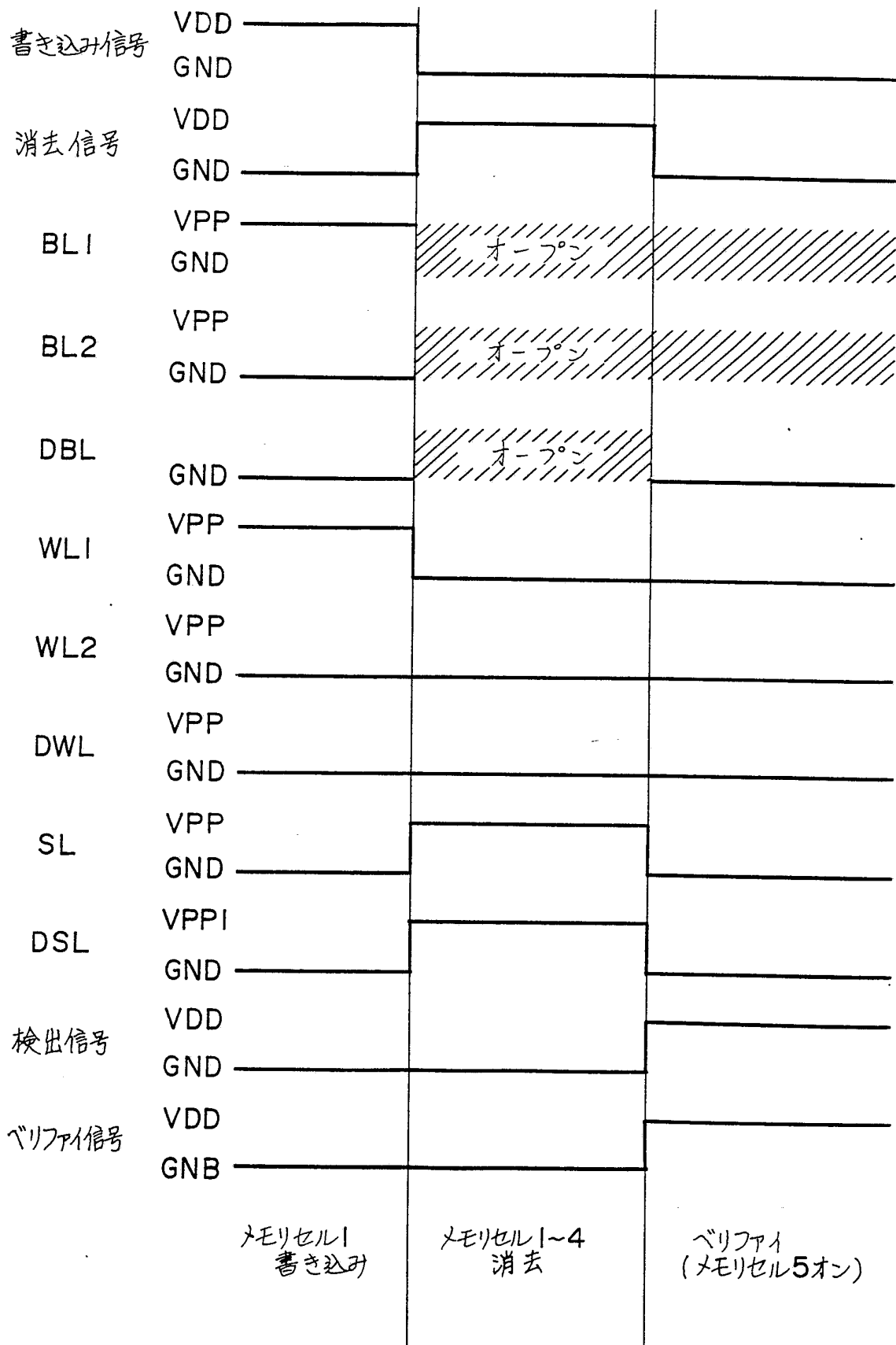
第 10 図

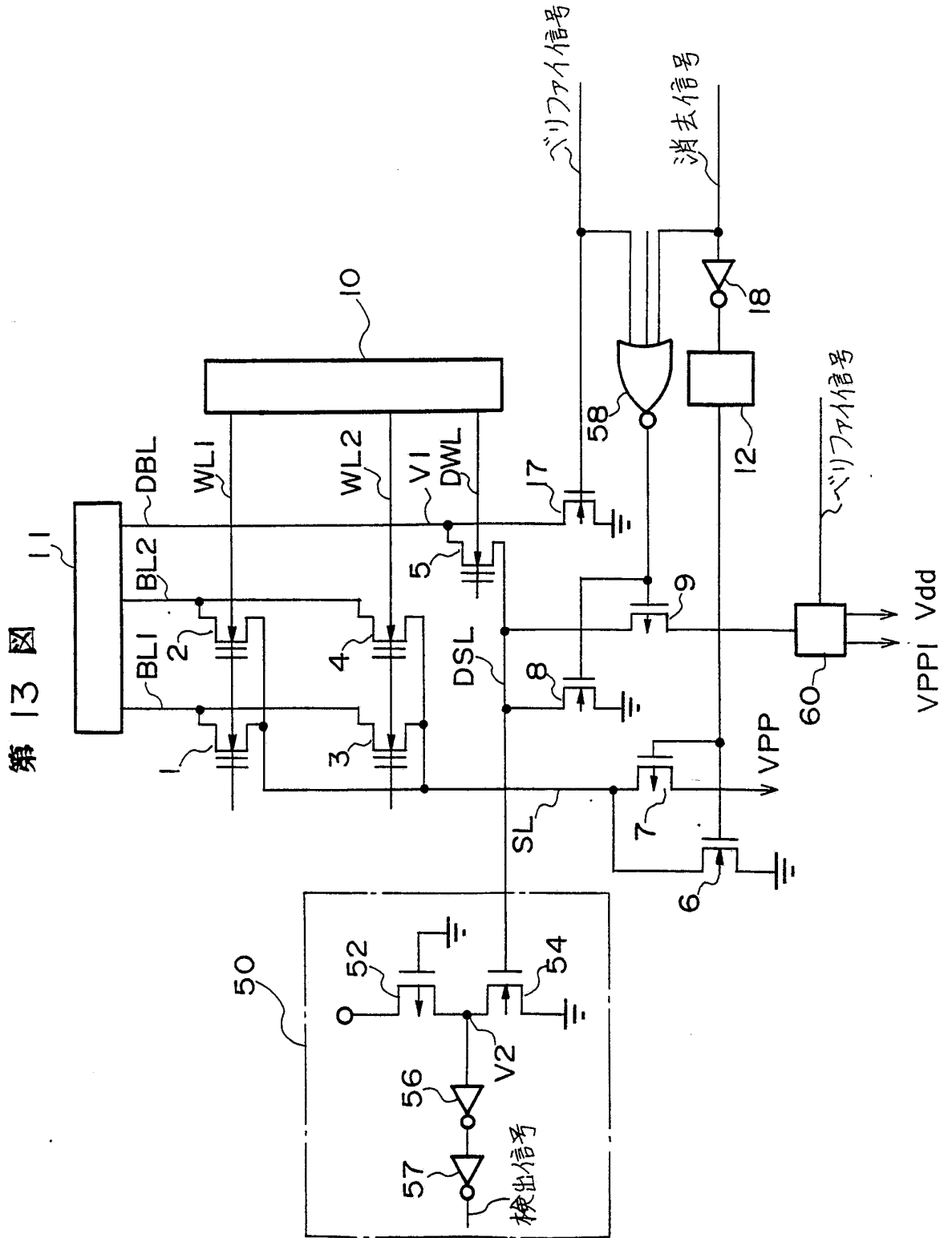


第 11 図

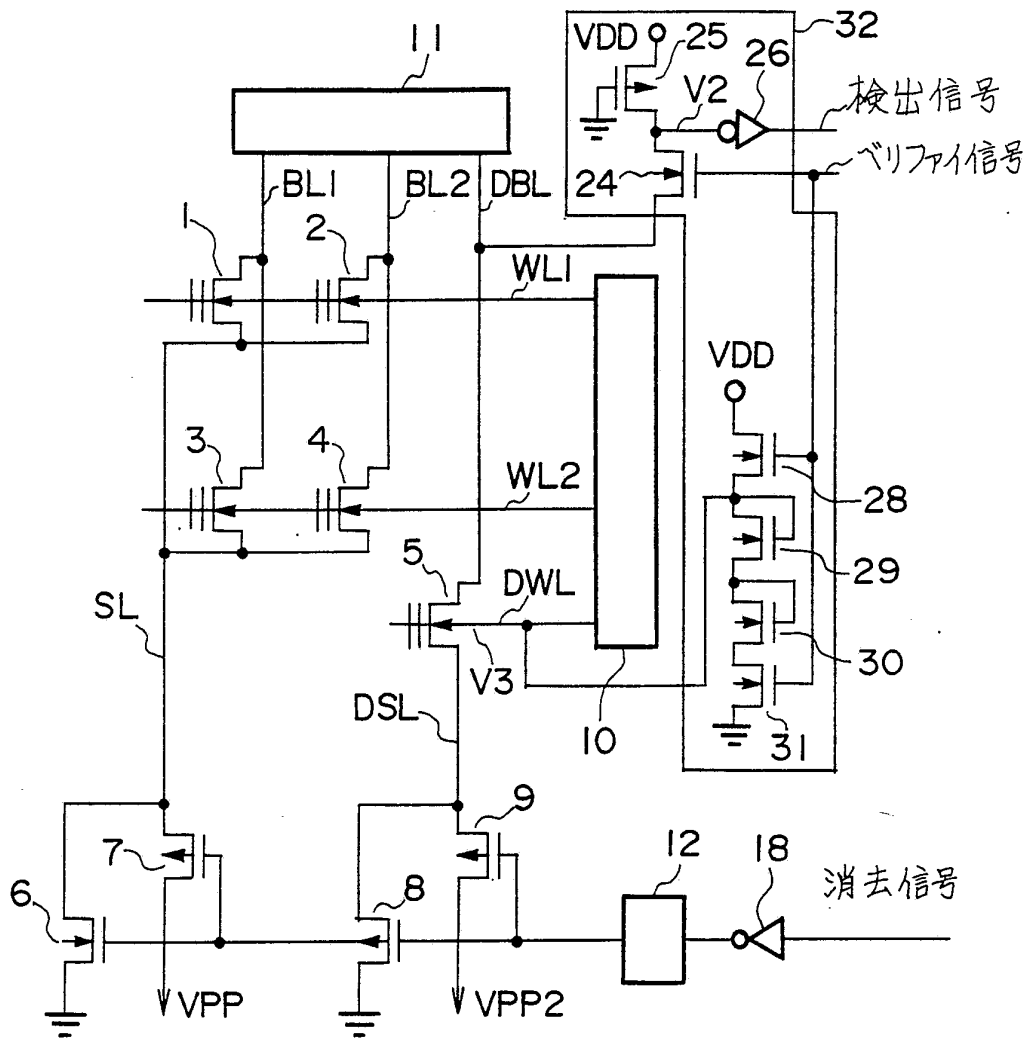


第 12 図

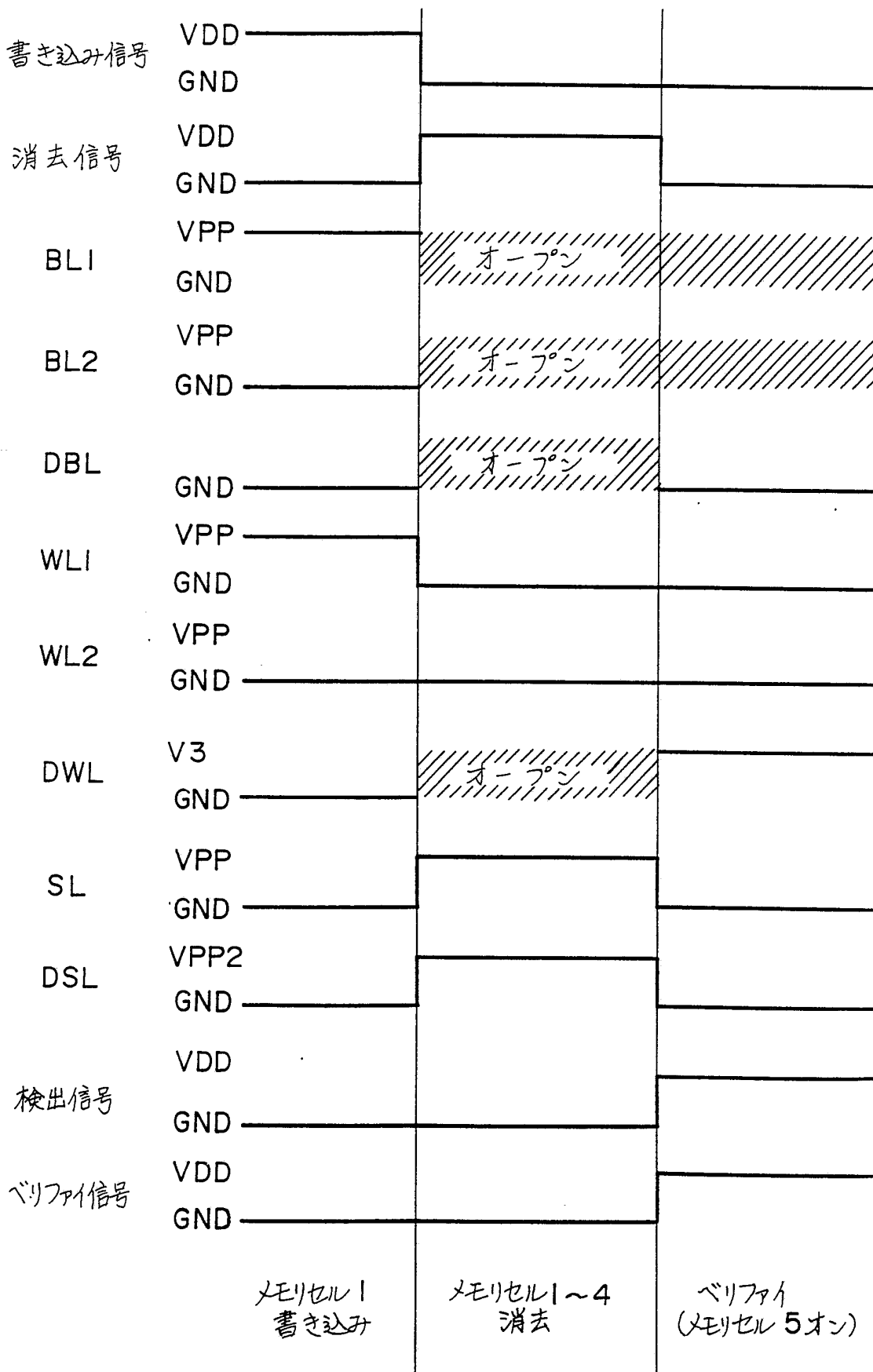




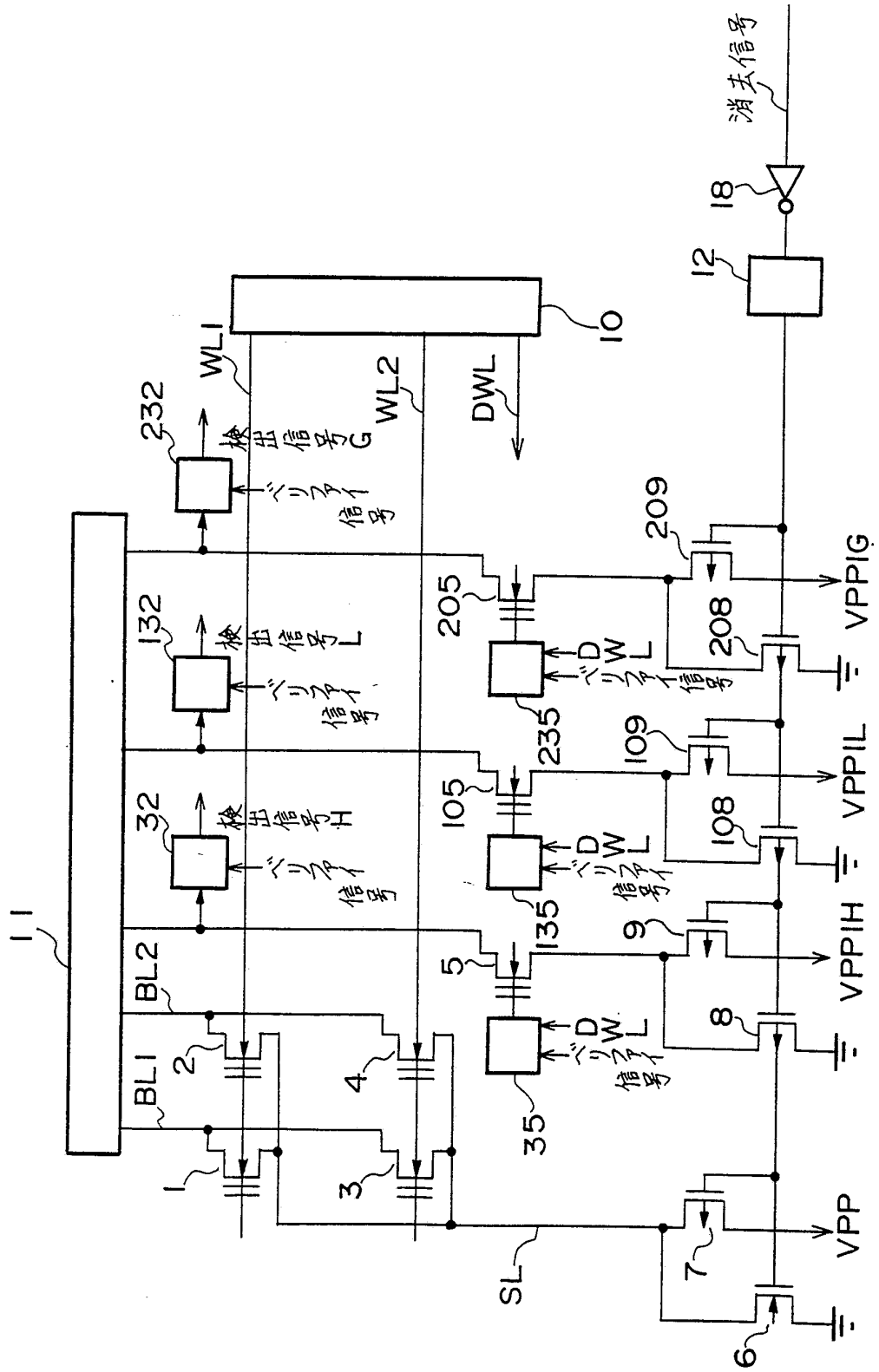
第 14 図



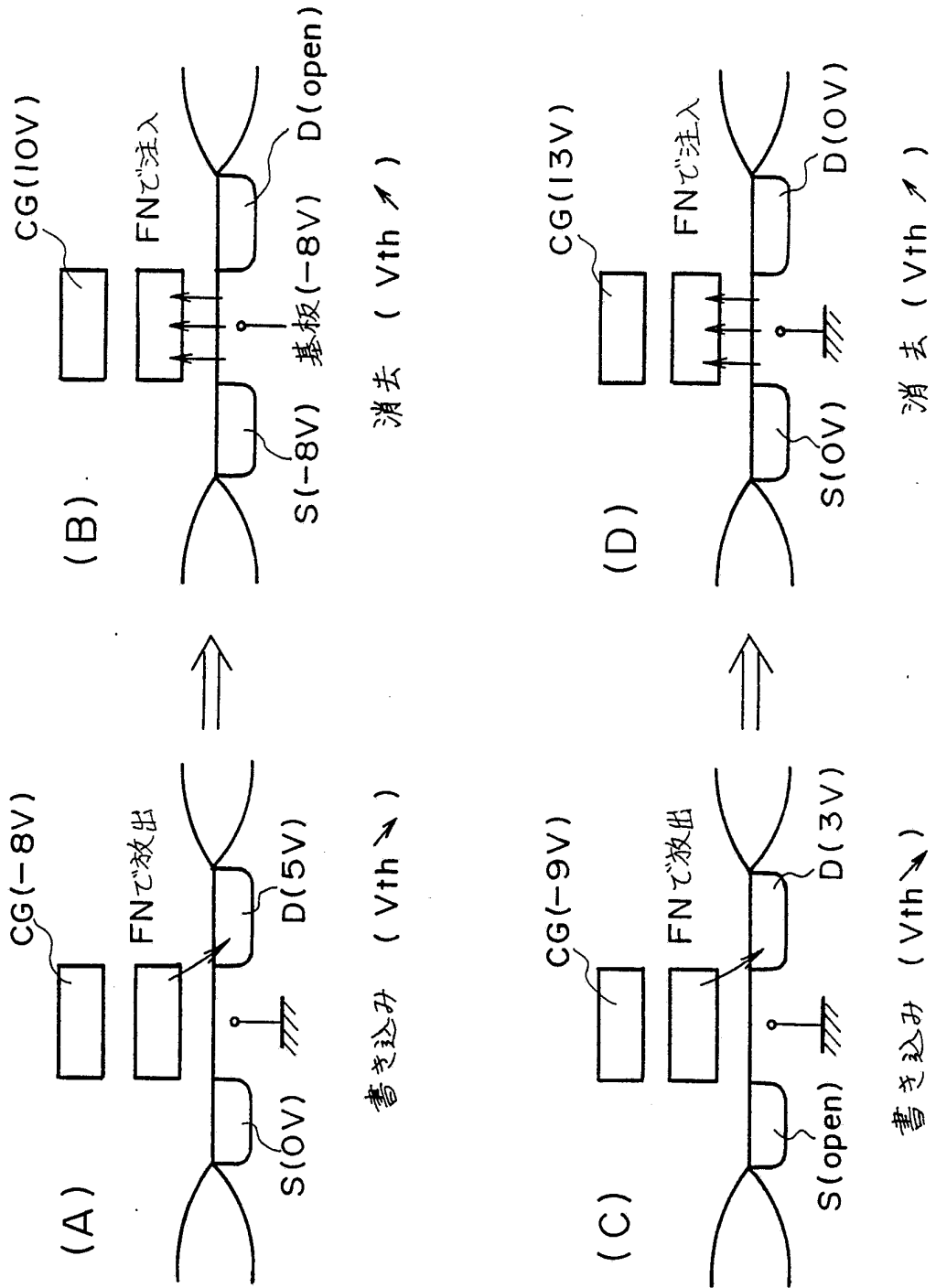
第 15 図



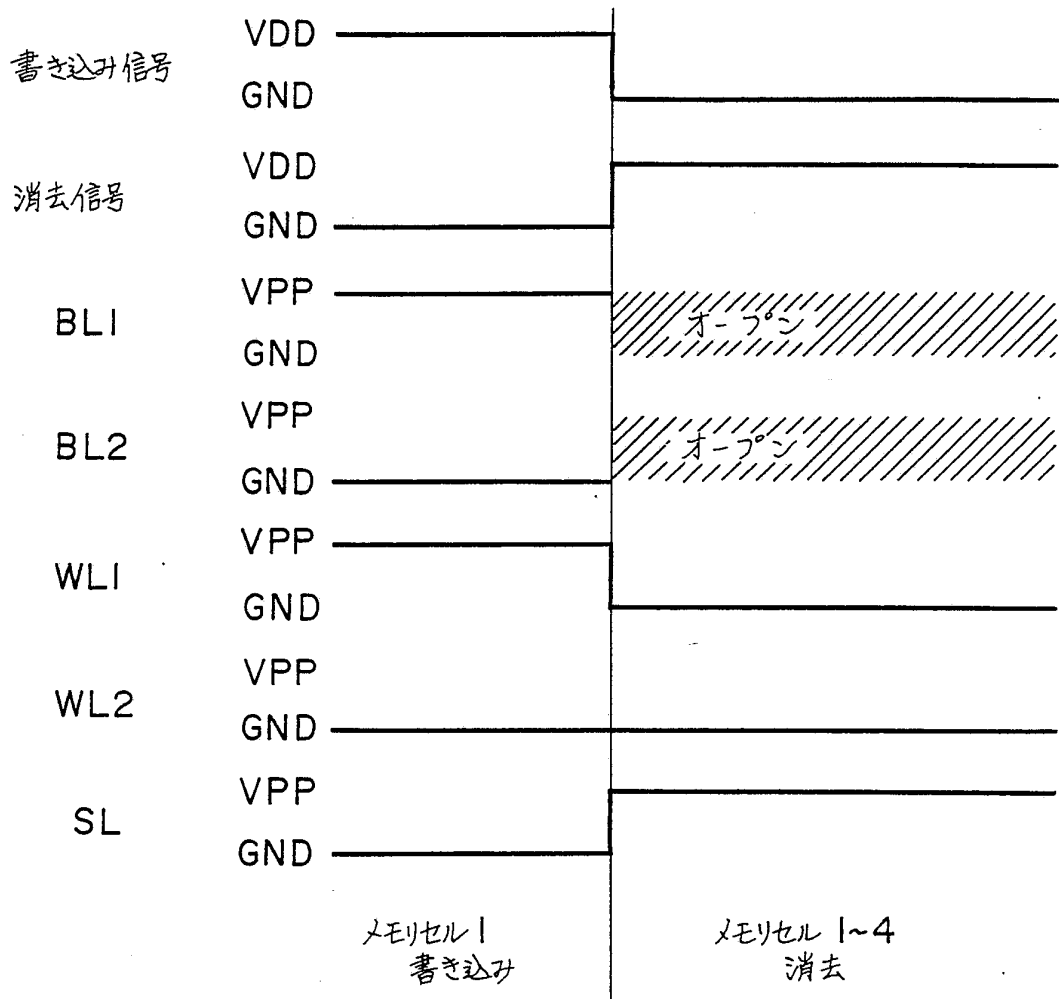
第 16 図



第 17 図



第 19 図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP93/00363

A. CLASSIFICATION OF SUBJECT MATTER Int. Cl ⁵ G11C16/06 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int. Cl ⁵ G11C16/06, H01L27/10 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1971 - 1992 Kokai Jitsuyo Shinan Koho 1971 - 1992 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, U, 1-103096 (Ricoh Co., Ltd.), July 12, 1989 (12. 07. 89)	1-20
Y	JP, A, 4-3395 (Mitsubishi Electric Corp.), January 8, 1992 (08. 01. 92)	11-20
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search June 1, 1993 (01. 06. 93)		Date of mailing of the international search report June 29, 1993 (29. 06. 93)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.		Authorized officer Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))		
Int. Cl ⁵ G11C16/06		
B. 調査を行った分野		
調査を行った最小限資料 (国際特許分類 (IPC))		
Int. Cl ⁵ G11C16/06, H01L27/10		
最小限資料以外の資料で調査を行った分野に含まれるもの		
日本国実用新案公報 1971-1992年 日本国公開実用新案公報 1971-1992年		
国際調査で利用した電子データベース (データベースの名称、調査に利用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP, U, 1-103096 (株式会社 リコー) 12. 7月. 1989 (12. 07. 89)	1-20
Y	JP, A, 4-3395 (三菱電機株式会社) 8. 1月. 1992 (08. 01. 92)	11-20
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 先行文献ではあるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願の日後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日	国際調査報告の発送日	
01. 06. 93	29. 06. 93	
名称及びあて先	特許庁審査官 (権限のある職員)	5 B 9 2 9 2
日本国特許庁 (ISA/JP) 郵便番号100 東京都千代田区霞が関三丁目4番3号	岩崎 伸二 ㊞	
	電話番号 03-3581-1101 内線	3546