

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： P514828/

※ 申請日期： P5.12.21/

※IPC 分類： H03L 7/00

(2006.01)

一、發明名稱：(中文/英文)

電子元件之排列方式及應用其之電壓控制振盪器 /  
Electronic Element Arrangement Method And Voltage  
Controlled Oscillator Using The Same

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

普誠科技股份有限公司 / PRINCETON TECHNOLOGY CORPORATION

代表人：(中文/英文)

姜長安 / CHIANG, RICHARD

住居所或營業所地址：(中文/英文)

台北縣新店市寶橋路二三三之一號二樓 / 2F, No. 233-1, Bao Chiao  
Road, Hsin Tien, Taipei County, Taiwan, R.O.C.

國 籍：(中文/英文)

中華民國 / TWN

三、發明人：(共 2 人)

姓 名：(中文/英文)

紀麗紅 / Li-Hung, CHI

陳信光 / Hisn-Kuang, Chen

國 籍：(中文/英文)

中華民國 / TWN

中華民國 / TWN

#### 四、聲明事項：

主張專利法第二十二條第二項第一款或第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

國 籍：(中文/英文)

中華民國 / TWN

中華民國 / TWN

#### 四、聲明事項：

主張專利法第二十二條第二項第一款或第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 九、發明說明：

### 【發明所屬之技術領域】

本發明係相關於一種電子元件之排列方式，尤指一種電子元件之積體電路佈局的排列方式。

### 【先前技術】

一般電壓控制振盪器(Voltage Controlled Oscillator, VCO)主要以具有奇數個反相器之架構為其工作主軸，利用每一個反相器所須延遲時間而構成其振盪波形，若有 $N$ 級反相器時，則週期為 $2N*tp$ (傳遞延遲, propagation-delay)，振盪頻率為 $1/2N*tp$ ，利用輸入端所輸入的電壓控制其反相器進行內部頻率振盪後，於其輸出端產生一輸出頻率。

請參閱第1圖，第1圖為習知電壓控制振盪器內多級反相器之積體電路佈局(Layout)示意圖。如第1圖所示，第1圖係舉習知電壓控制振盪器包含有七級反相器121~127為例，七級反相器121~127係依順序排列，由第一個反相器121、第二個反相器122、、、排列至第七個反相器127。而七級反相器121~127中每一個反相器121~127皆包含一輸入端(1211、1221、、、1271)及一輸出端(1212、1222、、、1272)，其線路的連接方式依序由第一個反相器121之輸出端1212耦接至第二個反相器122之輸入端1221、第二個反相器122之輸出端1222耦接至第三個反相器123之輸入端1231、、、第六個反相器126之輸出端1262耦接至第七

個反相器 127 之輸入端 1271，最後再將第七個反相器 127 之輸出端 1272 耦接至第一個反相器 121 之輸入端 1211，以完成整個電壓控制振盪器進行頻率振盪的功能。

由於，在積體電路佈局內部元件與元件之間的接線效應會產生寄生電容與電阻，進一步影響到電子裝置的特性，例如電阻及電容特性，如第 1 圖所示，第七個反相器 127 之輸出端 1272 耦接至第一個反相器 121 之輸入端 1211 此段線路的長度，即明顯大於其他線路的長度，此種情形會使得第七個反相器 127 之輸出端 1272 耦接至第一個反相器 121 之輸入端 1211 此段線路所產生的寄生電阻無法等同於其他任兩個電子元件之間所產生的寄生電阻的電阻值，造成相位偏移而使每一級反相器的訊號延遲(delay)不同的問題。因此當電壓控制振盪器內含有多級反相器時，由於多級反相器的輸出特性會因為其積體電路佈局的排列方式不同而存在著差異，進而會影響到整個電壓控制振盪器的特性而產生相位差不同以及頻率偏移，因此如何改善電壓控制振盪器因為使用多級反相器進行頻率振盪而於積體電路佈局上因為線路的配置所產生訊號間之相位差不同的問題，即成為改善電壓控制振盪器之輸出頻率穩定的重要課題。

#### 【發明內容】

因此，本發明的目的之一在於提供一種電子元件之排列方式，可改善以往積體電路佈局之接線不匹配而產生電子元件之特性偏

移的問題。

本發明的實施例揭露一種電子元件，包含有  $N$  個電子元件， $N$  為奇數，其中該  $N$  個電子元件係包含一第一組電子元件以及一第二組電子元件，該第一組電子元件係依據一第一預定方式進行排列，而其第二組電子元件係依據一第二預定方式進行排列，其中該第二組電子元件係相鄰於該第一組電子元件。其中該第一預定方式係將該第一組電子元件自第 1 個電子元件依奇數順序由小至大排列至第  $N$  個電子元件，而該第二預定方式係將該第二組元件自該第 2 個電子元件依偶數順序由小至大排列至第  $N-1$  個電子元件。

本發明的另一個實施例揭露一種電壓控制振盪器，其包含  $N$  個電子元件。 $N$  個電子元件， $N$  為一奇數，該  $N$  個電子元件耦接於一電壓源，用以根據一第一參考電壓、一第二參考電壓以及一控制訊號產生一輸出訊號；其中該  $N$  個電子元件係包含一第一組電子元件以及一第二組電子元件，該第一組電子元件係依據一第一預定方式進行排列，而其第二組電子元件係依據一第二預定方式進行排列，其中該第二組電子元件係相鄰於該第一組電子元件。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉出較佳實施例，並配合所附圖式作詳細說明。

## 【實施方式】

本發明為一種電子元件之排列方式，其係適用於N個電子元件的排列，N為奇數。請參閱第2圖及第3圖，第2圖為本發明之電子元件之排列方式之示意圖。第3圖為本發明之電子元件之排列方式中每一個電子元件的示意圖。如第2圖所示，於本實施例中係舉N=7為例子，亦即具有7個電子元件211~217。該7個電子元件211~217係包含一第一組電子元件10以及一第二組電子元件20，該第一組電子元件10係依據一第一預定方式進行排列，而其第二組電子元件20則依據一第二預定方式進行排列，其中第一組電子元件10係包含有7個電子元件211~217中之奇數電子元件(211、213、215、217)，而第二組電子元件20係包含有7個電子元件211~217中之偶數電子元件(212、214、216)，該第二組電子元件20係相鄰於該第一組電子元件10。第一預定方式係將第一組電子元件10自第1個電子元件211依奇數順序由小至大排列至第7個電子元件217，而第二預定方式係將第二組元件20自第2個電子元件212依偶數順序由小至大排列至第6個電子元件216。

7個電子元件211~217中每一個電子元件皆具有一輸入端(2111、2121、、2171)與一輸出端(2112、2122、、2172)，分別耦接於7個電子元件211~217中的另兩個電子元件，該7個電子元件211~217中之一第n個電子元件之輸入端係耦接於一第n-1個電子元件所產生之輸出端，其中 $1 \leq n \leq N$ ，n為一正整數，而第1個電子元件211之輸入端2111係耦接於第N個電子元件217之輸

出端 2172。本發明之電子元件 211~217 的排列方式係適用於一種體電路佈局中。

7 個電子元件 211~217 中之一第  $n$  個電子元件所接收之該控制訊號係為該第  $n-1$  個電子元件所產生之該輸出訊號，其中  $1 \leq n \leq 7$ ， $n$  為一正整數，而該第 1 個電子元件 211 所接收之該控制訊號係為該第  $N$  個電子元件之該輸出訊號，舉  $n=7$  為例，第 7 個電子元件 211~217 中之第 1 個電子元件 211 所接收之該控制訊號係為該第 7 個電子元件 217 所產生之該輸出訊號。

如第 3 圖所示， $N$  個電子元件中每一個電子元件 30 包含有一電壓源  $V_{dd}$ 、一第一電晶體 32、一第二電晶體 34 以及一開關元件 36。於本實施例中，第一電晶體 32 為一 PMOS 電晶體，而第二電晶體 34 為一 NMOS 電晶體。第一電晶體 32 其源極耦接於該電壓源  $V_{dd}$ ，其閘極用以接收一第一參考電壓  $V_1$ 。第二電晶體 34 其汲極耦接於該開關元件 36，其閘極用以接收一第二參考電壓  $V_2$ ，其源極耦接於一接地端 38。

開關元件 36 耦接於該第一電晶體 32 之汲極以及該第二電晶體 34 之汲極間，用以接收一控制訊號  $S_1$  並根據該第一參考電壓  $V_1$ 、第二參考電壓  $V_2$  以及該控制訊號  $S_1$ ，產生一輸出訊號  $S_2$ 。其中該開關單元 36 包含一 PMOS 開關 362、一 NMOS 開關 364、一輸入端 366 以及一輸出端 368。PMOS 開關 362 耦接至該第一電晶體

32 之汲極。NMOS 開關 364 耦接至該 PMOS 開關 362 及該第二電晶體 34 之汲極之間。輸入端 366 耦接於該 PMOS 開關 362 之閘極以及該 NMOS 開關 364 之閘極之間，用以接收該控制訊號。輸出端 368 耦接於 PMOS 開關 362 之汲極以及該 NMOS 開關 364 之汲極之間，用以根據該第一參考電壓  $V_1$ 、第二參考電壓  $V_2$  以及該控制訊號  $S_1$  產生該輸出訊號  $S_2$ 。

於一實施例中，每一個電子元件係為一延遲(delay)元件。於另一實施例中，每一個電子元件係為一反相器。

請參閱第 2 圖及第 4 圖，第 4 圖為應用本發明之電子元件排列方式之電壓控制振盪器之示意圖。如第 4 圖所示，本發明另提供一種包含有  $N$  個電子元件 44 的電壓控制振盪器。 $N$  個電子元件 44， $N$  為一奇數，該  $N$  個電子元件耦接於一電壓源  $V_{dd}$ ，該  $N$  個電子元件係用以根據該第一參考電壓  $V_1$ 、該第二參考電壓  $V_2$  以及一控制訊號  $S_1$  產生一輸出訊號  $S_2$ ，其中該  $N$  個電子元件係包含一第一組電子元件 10 以及一第二組電子元件 20，該第一組電子元件 10 係依據一第一預定方式進行排列，而其第二組電子元件 20 係依據一第二預定方式進行排列，其中該第二組電子元件 20 係相鄰於該第一組電子元件 10。其中每一個電子元件 44 因為接線效應會產生寄生電阻  $R_1 \sim R_N$  及寄生電容  $C_1 \sim C_N$ ，而  $N$  個電子元件 44 之排列方式(如第 2 圖所示)可以使每一個寄生電阻  $R_1 \sim R_N$  的阻值趨近於相等。

如前所述，本發明之電子元件之排列方式以及應用其之電壓控制振盪器，利用特定的排列順序進行積體電路佈局中電子元件之間的排列，可以使寄生電阻及寄生電容的電阻值趨近於相等，藉此可以有效減少以往依據順序排列的電子元件產生之特性偏移的問題，改善多級電子元件接線時電阻及電容特性的匹配，使應用的電路更為準確，此外，本發明之電子元件的排列方式應用在電壓控制振盪器之多級反相器之排列，可以使每一級反相器之寄生電阻之阻值趨近於相等，使每一級反相器的訊號延遲(delay)相等，而不會發生訊號間相位差不同之問題，藉此可以使電壓控制振盪器準確控制輸出相位差，達成整個電壓控制振盪器級與級之間的均勻相位偏移。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

#### 【圖式簡單說明】

第1圖為習知電壓控制振盪器內多級反相器之積體電路佈局示意圖。

第2圖為本發明之電子元件之排列方式之示意圖。

第3圖為本發明之電子元件之排列方式中每一個電子元件的示意圖。

第4圖為應用本發明之電子元件排列方式之電壓控制振盪器之

示意圖。

## 【主要元件符號說明】

|                  |         |
|------------------|---------|
| 121~127          | 反相器     |
| 10               | 第一組電子元件 |
| 20               | 第二組電子元件 |
| 30、44、211~127    | 電子元件    |
| 32               | 第一電晶體   |
| 34               | 第二電晶體   |
| 362              | PMOS 開關 |
| 364              | NMOS 開關 |
| 366              | 輸入端     |
| 368              | 輸出端     |
| $S_1$            | 控制訊號    |
| $S_2$            | 輸出訊號    |
| $V_1$            | 第一參考電壓  |
| $V_2$            | 第二參考電壓  |
| $R_1 \sim R_N$   | 寄生電阻    |
| $C_1 \sim C_N$   | 寄生電容    |
| GND              | 接地端     |
| 1211、1221、、、1271 |         |
| 2111、2121、、、2171 | 輸入端     |
| 1212、1222、、、1272 |         |
| 2112、2122、、、2172 | 輸出端     |

**五、中文發明摘要：**

本發明揭露一種電子元件之排列方式，其係適用於  $N$  個電子元件的排列， $N$  為奇數，該  $N$  個電子元件係包含有一第一組電子元件以及一第二組電子元件，該第一組電子元件係依據一第一預定方式進行排列，而其第二組電子元件係依據一第二預定方式進行排列，其中該第二組電子元件係相鄰於該第一組電子元件。

**六、英文發明摘要：**

The invention discloses an electronic element arrangement method suits to  $N$  electronic elements,  $N$  is an odd number. The  $N$  electronic elements comprise a first set electronic element and a second set electronic element. The electronic elements of the first set electronic element are arranged according a first predetermined method and the electronic elements of the second set electronic element are arranged according to a second predetermined method. Wherein the second set electronic element is adjacent to the first set electronic element.

## 十、申請專利範圍：

1. 一種電子元件之排列方式，其係適用於 N 個電子元件的排列，N 為奇數，其中該 N 個電子元件係包含一第一組電子元件以及一第二組電子元件，該第一組電子元件係依據一第一預定方式進行排列，而其第二組電子元件係依據一第二預定方式進行排列，其中該第二組電子元件係相鄰於該第一組電子元件。
2. 如申請專利範圍第 1 項所述之排列方式，其中該第一組電子元件係包含該第 N 個電子元件中之奇數電子元件，而該第二組電子元件係包含該第 N 個電子元件中之偶數電子元件。
3. 如申請專利範圍第 2 項所述之排列方式，其中該第一預定方式係將該第一組電子元件自第 1 個電子元件依奇數順序由小至大排列至第 N 個電子元件，而該第二預定方式係將該第二組元件自該第 2 個電子元件依偶數順序由小至大排列至第 N-1 個電子元件。
4. 如申請專利範圍第 1 項所述之排列方式，其中該 N 個電子元件中每一個電子元件皆包含一輸入端及一輸出端，該 N 個電子元件中之一第 n 個電子元件之輸入端係耦接於一第 n-1 個電子元件所產生之輸出端，其中  $1 \leq n \leq N$ ，n 為一正整數，而該第 1 個電子元件之輸入端係耦接於第 N 個電子元件之輸出端。
5. 如申請專利範圍第 1 項所述之排列方式，其中該 N 個電子元件中每一個電子元件包含有：

一第一電晶體，其源極耦接於一電壓源，其閘極用以接收一第一參考電壓；

一第二電晶體，其汲極耦接於該第一電晶體之汲極，其閘極用以接收一第二參考電壓，其源極耦接於一接地端；以及

一開關元件，耦接於該第一電晶體之汲極以及該第二電晶體之汲極間，用以接收一控制訊號並根據該第一參考電壓、第二參考電壓以及該控制訊號，產生一輸出訊號。

6. 如申請專利範圍第 5 項所述之排列方式，該 N 個電子元件中之一第 n 個電子元件所接收之該控制訊號係為該第 n-1 個電子元件所產生之該輸出訊號， $1 \leq n \leq N$ ，n 為一正整數，而該第 1 個電子元件所接收之該控制訊號係為該第 N 個電子元件所產生之該輸出訊號。
7. 如申請專利範圍第 5 項所述之排列方式，其中該第一電晶體為一 PMOS 電晶體，而該第二電晶體為一 NMOS 電晶體。
8. 如申請專利範圍第 7 項所述之排列方式，其中該開關單元包含：
  - 一 PMOS 開關，耦接至該第一電晶體之汲極；
  - 一 NMOS 開關，耦接至該 PMOS 開關及該第二電晶體之汲極之間；
  - 一輸入端，耦接於該 PMOS 開關之閘極以及該 NMOS 開關之閘極之間，用以接收該控制訊號；以及
  - 一輸出端，耦接於該 PMOS 開關之汲極以及該 NMOS

開關之汲極之間，用以根據該第一參考電壓、第二參考電壓以及該控制訊號產生該輸出訊號。

9. 如申請專利範圍第 1 項所述之排列方式，其中該  $N$  個電子元件中每一個電子元件係為一延遲(delay)元件。
10. 如申請專利範圍第 1 項所述之電子元件，其中該  $N$  個電子元件中每一個電子元件係為一反相器。
11. 如申請專利範圍第 1 項所述之排列方式，其中該電子元件之排列方式係適用於一積體電路佈局。
12. 一種電壓控制振盪器，其包含  $N$  個電子元件， $N$  為一奇數，該  $N$  個電子元件耦接於一電壓源，用以根據一第一參考電壓、一第二參考電壓以及一控制訊號產生一輸出訊號；其中該  $N$  個電子元件係包含一第一組電子元件以及一第二組電子元件，該第一組電子元件係依據一第一預定方式進行排列，而其第二組電子元件係依據一第二預定方式進行排列，其中該第二組電子元件係相鄰於該第一組電子元件。
13. 如申請專利範圍第 12 項所述之電壓控制振盪器，其中該第一組電子元件係包含該第  $N$  個電子元件中之奇數電子元件，而該第二組電子元件係包含該第  $N$  個電子元件中之偶數電子元件。
14. 如申請專利範圍第 13 項所述之電壓控制振盪器，其中該第一預定方式係將該第一組電子元件自第 1 個電子元件依奇數順序由小至大排列至第  $N$  個電子元件，而該第二預定方式係將該第二組元件自該第 2 個電子元件依偶數順序由小至大排列

至第 N-1 個電子元件。

15. 如申請專利範圍第 12 項所述之電壓控制振盪器，其中該 N 個電子元件中每一個電子元件皆包含一輸入端及一輸出端，該 N 個電子元件中之一第 n 個電子元件之輸入端係耦接於一第 n-1 個電子元件所產生之輸出端，其中  $1 \leq n \leq N$ ，n 為一正整數，而該第 1 個電子元件之輸入端係耦接於第 N 個電子元件之輸出端。
16. 如申請專利範圍第 12 項所述之電壓控制振盪器，其中該 N 個電子元件中每一個電子元件包含有：
  - 一第一電晶體，其源極耦接於該電壓源，其閘極用以接收一第一參考電壓；
  - 一第二電晶體，其汲極耦接於該第一電晶體之汲極，其閘極用以接收一第二參考電壓，其源極耦接於一接地端；以及
  - 一開關元件，耦接於該第一電晶體之汲極以及該第二電晶體之汲極間，用以接收該控制訊號並根據該第一參考電壓、第二參考電壓以及該控制訊號，產生一輸出訊號。
17. 如申請專利範圍第 16 項所述之電壓控制振盪器，該 N 個電子元件中之一第 n 個電子元件所接收之該控制訊號係為該第 n-1 個電子元件所產生之該輸出訊號， $1 \leq n \leq N$ ，n 為一正整數，而該第 1 個電子元件所接收之該控制訊號係為該第 N 個電子元件所產生之該輸出訊號。
18. 如申請專利範圍第 12 項所述之電壓控制振盪器，其中該第一

電晶體為一 PMOS 電晶體，而該第二電晶體為一 NMOS 電晶體。

19. 如申請專利範圍第 18 項所述之電壓控制振盪器，其中該開關單元包含：

一 PMOS 開關，耦接至該第一電晶體之汲極；

一 NMOS 開關，耦接至該 PMOS 開關及該第二電晶體之汲極之間；

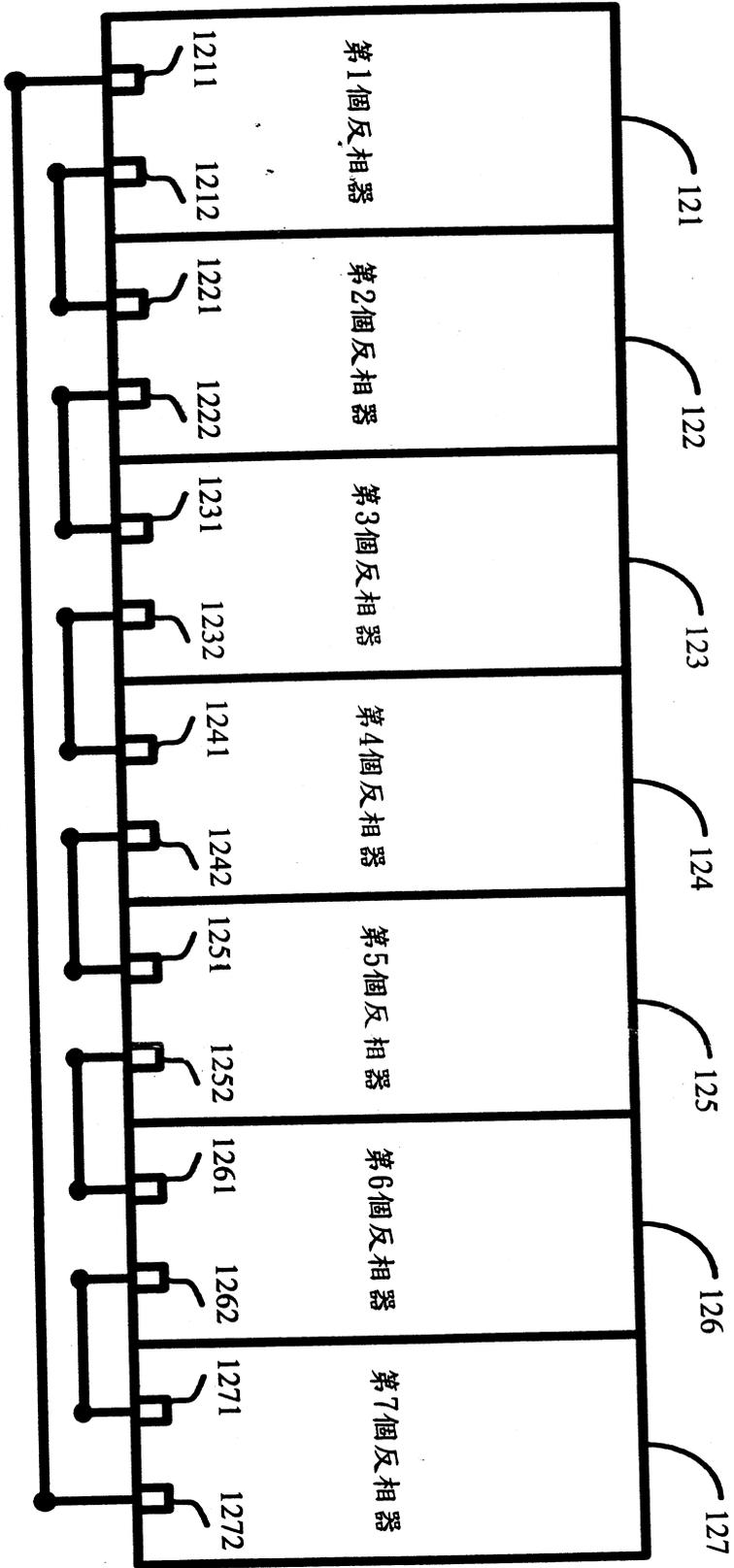
一輸入端，耦接於該 PMOS 開關之閘極以及該 NMOS 開關之閘極之間，用以接收該控制訊號；以及

一輸出端，耦接於該 PMOS 開關之汲極以及該 NMOS 開關之汲極之間，用以根據該第一參考電壓、第二參考電壓以及該控制訊號產生該輸出訊號。

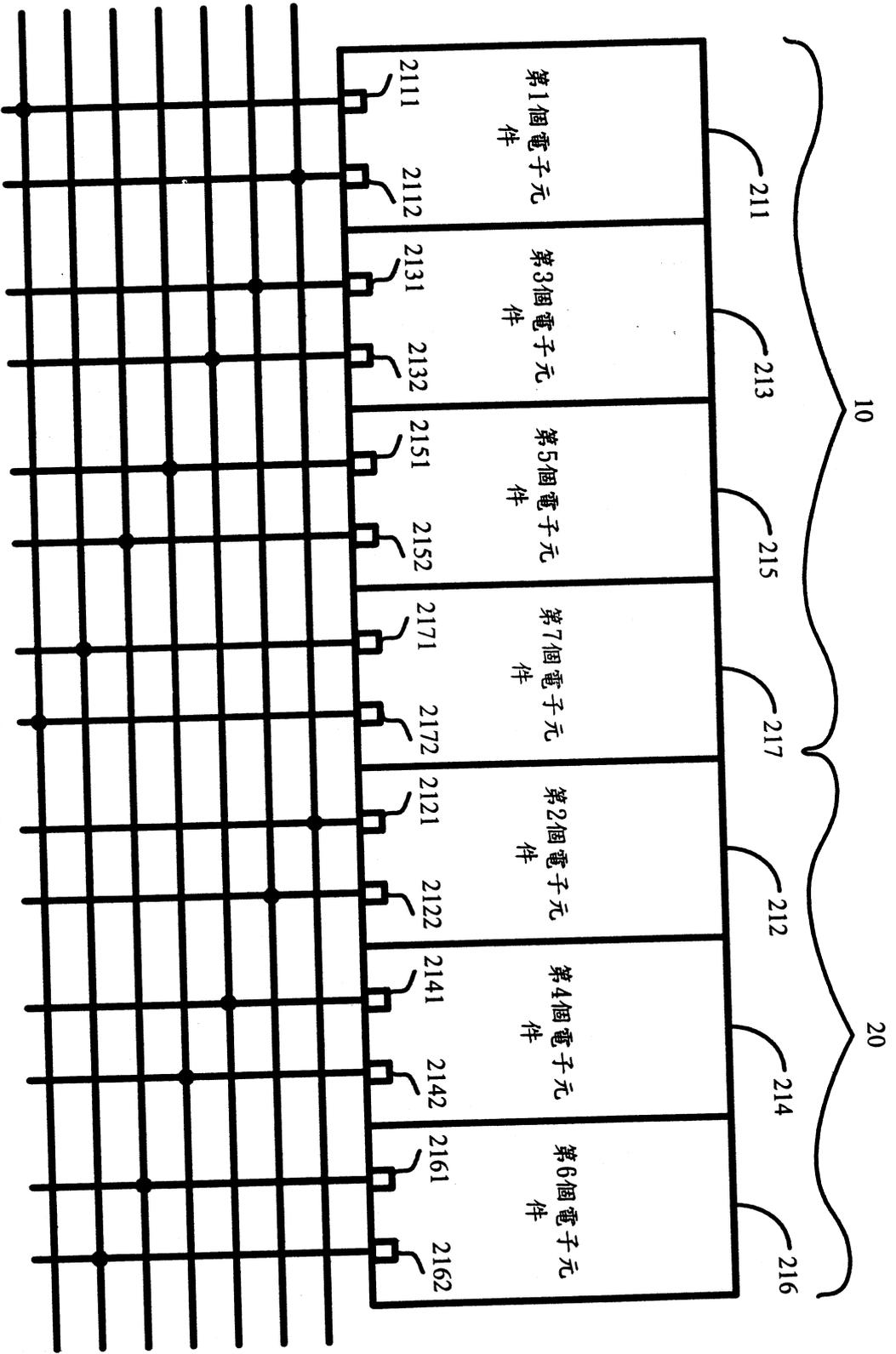
20. 如申請專利範圍第 12 項所述之電壓控制振盪器，其中該 N 個電子元件中每一個電子元件係為一延遲(delay)元件。

21. 如申請專利範圍第 12 項所述之電壓控制振盪器，其中該 N 個電子元件中每一個電子元件係為一反相器。

十一、圖式：

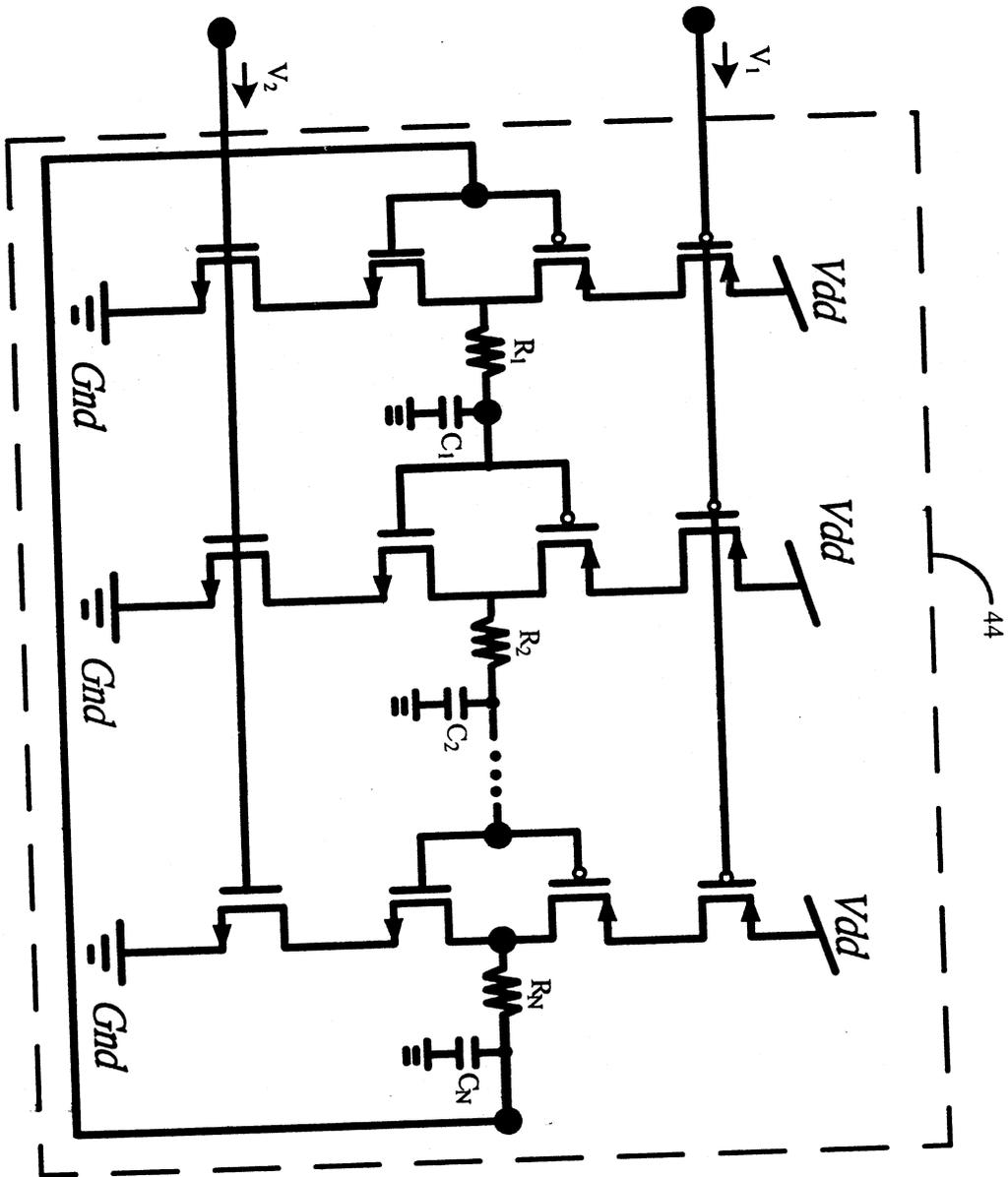


第1圖



第2圖





第4圖

七、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件符號簡單說明：

|                  |         |
|------------------|---------|
| 10               | 第一組電子元件 |
| 20               | 第二組電子元件 |
| 211~127          | 電子元件    |
| 2111、2121、、、2171 | 輸入端     |
| 2112、2122、、、2172 | 輸出端     |

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無