

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-10802

(P2008-10802A)

(43) 公開日 平成20年1月17日(2008.1.17)

|                                 |                       |             |
|---------------------------------|-----------------------|-------------|
| (51) Int. Cl.                   | F I                   | テーマコード (参考) |
| <b>H O 1 L 21/336 (2006.01)</b> | H O 1 L 29/78 6 1 6 A | 4 M 1 0 4   |
| <b>H O 1 L 29/786 (2006.01)</b> | H O 1 L 29/78 6 1 6 V | 5 F 1 1 0   |
| <b>H O 1 L 21/28 (2006.01)</b>  | H O 1 L 21/28 3 0 1 R |             |

審査請求 有 請求項の数 26 O L (全 16 頁)

|              |                              |          |                             |
|--------------|------------------------------|----------|-----------------------------|
| (21) 出願番号    | 特願2006-236148 (P2006-236148) | (71) 出願人 | 396008783<br>大同股▲ふん▼有限公司    |
| (22) 出願日     | 平成18年8月31日 (2006. 8. 31)     |          | 台湾台北市中山区中山北路三段二十二号          |
| (31) 優先権主張番号 | 095122927                    | (74) 代理人 | 100082304<br>弁理士 竹本 松司      |
| (32) 優先日     | 平成18年6月26日 (2006. 6. 26)     | (74) 代理人 | 100088351<br>弁理士 杉山 秀雄      |
| (33) 優先権主張国  | 台湾 (TW)                      | (74) 代理人 | 100093425<br>弁理士 湯田 浩一      |
|              |                              | (74) 代理人 | 100102495<br>弁理士 魚住 高博      |
|              |                              | (74) 代理人 | 100112302<br>弁理士 手島 直彦      |
|              |                              | (72) 発明者 | 林 炯▲い▼<br>台湾台北市中山区中山北路3段22号 |
|              |                              |          | 最終頁に続く                      |

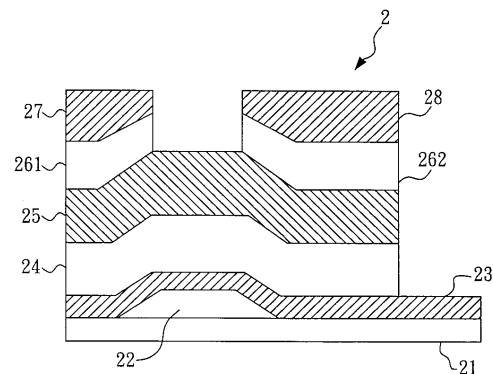
(54) 【発明の名称】 低ホットキャリア効果を具えた半導体構造

(57) 【要約】

【課題】半導体のトランジスタ構造の操作時に「ホットキャリア効果」の程度を低減し、該トランジスタを具えたOLED駆動ICの使用寿命を延長可能な低ホットキャリア効果を具えた半導体構造の提供。

【解決手段】基板、金属層、絶縁層、第一半導体層、第二半導体層を含む。該第一半導体層は第一電気抵抗値を具え、少なくとも該絶縁層の部分表面を覆い、該第二半導体層は第二電気抵抗値を具え、少なくとも該絶縁層の部分表面を覆蓋する。該第二半導体層の第二電気抵抗値は該第一半導体層の第一電気抵抗値より大きい。

【選択図】 図3



## 【特許請求の範囲】

## 【請求項 1】

基板、金属層、絶縁層、第一半導体層及び第二半導体層を含み、  
該金属層は少なくとも該基板の部分表面に形成し、  
該絶縁層は少なくとも該基板の部分表面に形成し、且つ該金属層の表面を覆い、  
該第一半導体層は第一電気抵抗値を具え、少なくとも該絶縁層の部分表面を覆い、  
該第二半導体層は第二電気抵抗値を具え、少なくとも該絶縁層の部分表面を覆い、  
該第二半導体層の第二電気抵抗値は該第一半導体層の第一電気抵抗値より大きいことを特徴とする低ホットキャリア効果を具えた半導体構造。

## 【請求項 2】

10

請求項 1 記載の低ホットキャリア効果を具えた半導体構造において、前記金属層はアルミニウムであることを特徴とする低ホットキャリア効果を具えた半導体構造。

## 【請求項 3】

請求項 1 記載の低ホットキャリア効果を具えた半導体構造において、前記第一半導体層は PECVD 方式により形成することを特徴とする低ホットキャリア効果を具えた半導体構造。

## 【請求項 4】

請求項 1 記載の低ホットキャリア効果を具えた半導体構造において、前記第二半導体層は PECVD 方式により形成することを特徴とする低ホットキャリア効果を具えた半導体構造。

20

## 【請求項 5】

請求項 1 記載の低ホットキャリア効果を具えた半導体構造において、前記半導体構造は OLED の駆動 IC 中に位置することを特徴とする低ホットキャリア効果を具えた半導体構造。

## 【請求項 6】

請求項 1 記載の低ホットキャリア効果を具えた半導体構造において、前記第二電気抵抗値は該第一電気抵抗値の  $10^2 \sim 10^9$  倍であることを特徴とする低ホットキャリア効果を具えた半導体構造。

## 【請求項 7】

請求項 1 記載の低ホットキャリア効果を具えた半導体構造において、前記第二半導体層は該第一半導体層の上表面を覆うことを特徴とする低ホットキャリア効果を具えた半導体構造。

30

## 【請求項 8】

基板、ゲート金属層、絶縁層、第一半導体層、第二半導体層、HDD 半導体層、ソース金属層及びドレーン金属層を含み、

該ゲート金属層は少なくとも該基板の部分表面に形成し、  
該絶縁層は少なくとも該基板の部分表面に形成し、且つ該ゲート金属層の表面を覆い、  
該第一半導体層は第一電気抵抗値を具え、少なくとも該絶縁層の部分表面を覆い、  
該第二半導体層は第二電気抵抗値を具え、少なくとも該絶縁層の部分表面を覆い、  
該 HDD 半導体層は該第二半導体層の部分表面を覆い、且つ第一上表面と第二上表面を具え、

40

該ソース金属層は該 HDD 半導体層の第一上表面に形成し、  
該ドレーン金属層は該 HDD 半導体層の第二上表面に形成し、  
該第二半導体層の第二電気抵抗値は該第一半導体層の第一電気抵抗値より大きいことを特徴とする低ホットキャリア効果を具えた半導体構造。

## 【請求項 9】

請求項 8 記載の低ホットキャリア効果を具えた半導体構造において、前記ゲート金属層の材質はアルミニウムであることを特徴とする低ホットキャリア効果を具えた半導体構造。

## 【請求項 10】

請求項 8 記載の低ホットキャリア効果を具えた半導体構造において、前記ソース金属層

50

の材質はアルミニウムであることを特徴とする低ホットキャリア効果を具えた半導体構造。

【請求項 1 1】

請求項 8 記載の低ホットキャリア効果を具えた半導体構造において、前記ドレーン金属層の材質はアルミニウムであることを特徴とする低ホットキャリア効果を具えた半導体構造。

【請求項 1 2】

請求項 8 記載の低ホットキャリア効果を具えた半導体構造において、前記ゲート金属層の材質は銅であることを特徴とする低ホットキャリア効果を具えた半導体構造。

【請求項 1 3】

請求項 8 記載の低ホットキャリア効果を具えた半導体構造において、前記ソース金属層の材質は銅であることを特徴とする低ホットキャリア効果を具えた半導体構造。

【請求項 1 4】

請求項 8 記載の低ホットキャリア効果を具えた半導体構造において、前記ドレーン金属層の材質は銅であることを特徴とする低ホットキャリア効果を具えた半導体構造。

【請求項 1 5】

請求項 8 記載の低ホットキャリア効果を具えた半導体構造において、前記ゲート金属層の材質はモリブデンとタングステンの合金であることを特徴とする低ホットキャリア効果を具えた半導体構造。

【請求項 1 6】

請求項 8 記載の低ホットキャリア効果を具えた半導体構造において、前記ソース金属層の材質はモリブデンとタングステンの合金であることを特徴とする低ホットキャリア効果を具えた半導体構造。

【請求項 1 7】

請求項 8 記載の低ホットキャリア効果を具えた半導体構造において、前記ドレーン金属層の材質はモリブデンとタングステンの合金であることを特徴とする低ホットキャリア効果を具えた半導体構造。

【請求項 1 8】

請求項 8 記載の低ホットキャリア効果を具えた半導体構造において、前記第一半導体層は PECVD 方式により形成することを特徴とする低ホットキャリア効果を具えた半導体構造。

【請求項 1 9】

請求項 8 記載の低ホットキャリア効果を具えた半導体構造において、前記第一半導体層は通路層であることを特徴とする低ホットキャリア効果を具えた半導体構造。

【請求項 2 0】

請求項 8 記載の低ホットキャリア効果を具えた半導体構造において、前記第二半導体層は PECVD 方式により形成することを特徴とする低ホットキャリア効果を具えた半導体構造。

【請求項 2 1】

請求項 8 記載の低ホットキャリア効果を具えた半導体構造において、前記第二半導体層は高抵抗値補償層であることを特徴とする低ホットキャリア効果を具えた半導体構造。

【請求項 2 2】

請求項 8 記載の低ホットキャリア効果を具えた半導体構造において、前記トランジスタは OLED の駆動 IC 中に位置することを特徴とする低ホットキャリア効果を具えた半導体構造。

【請求項 2 3】

請求項 8 記載の低ホットキャリア効果を具えた半導体構造において、前記 HDD 半導体層のキャリア濃度は  $10^{14}$  atom/cm<sup>3</sup> から  $10^{19}$  atom/cm<sup>3</sup> であることを特徴とする低ホットキャリア効果を具えた半導体構造。

【請求項 2 4】

10

20

30

40

50

請求項 8 記載の低ホットキャリア効果を具えた半導体構造において、前記HDD半導体層の材質はアモルファスであることを特徴とする低ホットキャリア効果を具えた半導体構造。

【請求項 2 5】

請求項 8 記載の低ホットキャリア効果を具えた半導体構造において、前記第二電気抵抗値は該第一電気抵抗値の $10^2 \sim 10^9$ 倍であることを特徴とする低ホットキャリア効果を具えた半導体構造。

【請求項 2 6】

請求項 8 記載の低ホットキャリア効果を具えた半導体構造において、前記第二半導体層は該第一半導体層の上表面を覆うことを特徴とする低ホットキャリア効果を具えた半導体構造。 10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は一種の低ホットキャリア効果を具えた半導体構造に関する。特に一種のこの種の半導体のトランジスタ構造が長時間、高通路電場環境下で操作されることにより発生するホットキャリア効果の程度を低減し、該トランジスタを具えたOLED駆動ICの使用寿命を延長可能な低ホットキャリア効果を具えた半導体構造に係る。

【背景技術】

【0002】

半導体構造の小型化は著しく、「ホットキャリア効果(hot carrier effect)」発生の割合も高くなっている。「ホットキャリア効果」とはトランジスタの通路層両端間に存在する電位差が大き過ぎるため、該通路層中において移動する帯電粒子が過大なエネルギーを得て、トランジスタのゲート絶縁層或いは/及びゲート絶縁層と通路の境界に注入し、トランジスタ性能を減退させる現象をいう。一般には「ホットキャリア効果」は通常は通路層が0.5ミクロンレベルの小さなトランジスタ中において発生する。しかし、あるトランジスタが一定程度の作業電流の提供を必要とするなら(あるOLEDの駆動回路内のトランジスタは、OLEDを駆動するため、比較的大きな作業電流が必要)、より大きなトランジスタ内でも起こり得る。 20

【0003】

このトランジスタの性能に大きな影響を及ぼす「ホットキャリア効果」を克服するため、現在業界では一般に「LDD構造(lightly doped drain)」を使用し、帯電粒子がトランジスタの通路層を移動する時に獲得するエネルギーを抑制している。 30

【0004】

LDD構造を具えたトランジスタ 1 は図 1 に示すように、ガラス基板 1 1、ゲート絶縁層 1 3、通路 1 4、LDD区域 1 5、HDD(Heavily doped drain)区域 1 6、ゲート電極層 1 7、ソース金属層(図示なし)を含む。

【0005】

該公知のLDD構造のトランジスタは該トランジスタ区域 1 5 を該通路層 1 4 と該HDD区域 1 6 間に設置する方式により、より高い電気抵抗値を具えたLDD区域 1 5 に該通路層 1 4 全体のドレーン区域に近い電位差(すなわち該通路層 1 4 間に存在する電位差)を分担させるものである。こうして、元々はHDD区域 1 6 と該ゲート電極層(図示なし)間に存在していた電位差は低減され、且つ帯電粒子は過大なエネルギーを得ることがないため、ホットキャリア効果も発生しない。 40

【0006】

しかし、該LDD区域 1 5 の混雑濃度は該HDD区域 1 6 の混雑濃度より低い、その混雑濃度は事実上、該通路層 1 4 の不純物濃度との差が非常に大きい。よって、該通路層 1 4 とHDD区域 1 6 との間に存在する電位差(すなわち該LDD区域 1 5 両端間に存在する電位差)により減少する「水平方向通路電場」値にはかなりの限界がある。よって、公知のLDD構造を具えたトランジスタは「ホットキャリア効果」の発生を徹底的に排除することはできな 50

い。

【0007】

さらに、比較参考文献(Tomohisa Mizuno, Shizuo Sawada, Yoshikazu Saitoh, and Takeshi Tanaka, IEEE TRANSACTION ON ELECTRON DEVICES, VOL.38,NO.3,MARCH 1991 操作状況は $V_{gs}=3V$ ,  $V_{ds}=6V$ )に示すように、公知のLDD構造を具えたトランジスタの起動電流( $I_{on-current}$ )は操作時間2000秒以降、初期値の98%以下に低下する(図2参照)。この現象は公知のLDD構造を具えたトランジスタの性能が「ホットキャリア効果」の発生により影響を受けていることを示している。

【0008】

また、該LDD区域15とHDD区域16は水平方向に排列するため(図1参照)、公知のLDDを具えたトランジスタ構造は比較的大きな面積の平面(基板)を必要とする。該製造工程は多くのフォトリソと高価なイオン扶植行程を使用するため、公知のLDDを具えたトランジスタ構造の製造コストは低下が不可能で、製造工程の歩留の向上も難しい。

【0009】

よって業界では、製造工程が簡単で、「ホットキャリア効果」のトランジスタ性能に対する影響を徹底的に排除可能で、且つ高電流環境に応用可能な半導体構造を開発し、OLED駆動回路等への応用が求められている。

【発明の開示】

【発明が解決しようとする課題】

【0010】

本発明は下記の低ホットキャリア効果を具えた半導体構造を提供する。

それは基板、金属層、絶縁層、第一半導体層、第二半導体層を含み、

該金属層は少なくとも該基板の部分表面に形成し、

該絶縁層は少なくとも該基板の部分表面に形成し、且つ該金属層の表面を覆い、

該第一半導体層は第一電気抵抗値を具え、少なくとも該絶縁層の部分表面を覆い、

該第二半導体層は第二電気抵抗値を具え、少なくとも該絶縁層の部分表面を覆い、

該第二半導体層の第二電気抵抗値は該第一半導体層の第一電気抵抗値より大きくなる。

【0011】

またそれは基板、ゲート金属層、絶縁層、第一半導体層、第二半導体層、HDD半導体層、ソース金属層、ドレーン金属層を含み、

該ゲート金属層は少なくとも該基板の部分表面に形成し、

該絶縁層は少なくとも該基板の部分表面に形成し、且つ該ゲート金属層の表面を覆い、

該第一半導体層は第一電気抵抗値を具え、少なくとも該絶縁層の部分表面を覆い、

該第二半導体層は第二電気抵抗値を具え、少なくとも該絶縁層の部分表面を覆い、

該HDD半導体層は該第二半導体層の部分表面を覆い、且つ第一上表面と第二上表面を具え、

該ソース金属層は該HDD半導体層の第一上表面に形成し、

該ドレーン金属層は該HDD半導体層の第二上表面に形成し、

該第二半導体層の第二電気抵抗値は該第一半導体層の第一電気抵抗値より大きくなる。

【0012】

すなわちそれは、高電気抵抗値を具えた第二半導体層(或いは、高抵抗値補償層)をより低い電気抵抗値を具えた第一半導体層(或いは、通路層)の上表面に形成する方式により、本発明の低ホットキャリア効果を具えた半導体構造のトランジスタを操作する時、その大部分の「ドレーン/ソース電位差(すなわち、ドレーンとソース間に存在する電位差)」は、より高い電気抵抗値を具えた第二半導体層(高抵抗値補償層)内に分配されるため、このトランジスタの第一半導体層(通路層)が分配された「ドレーン/ソース電位差」の割合は少なくなり、よって、本発明の低ホットキャリア効果を具えた半導体構造のトランジスタは長時間「高電流」の操作環境(OLEDの駆動IC内など)中に置かれても、その第一半導体(通路層)内において移動する帯電粒子が獲得するエネルギーはやはり非常に限定され、こうして、本発明の低ホットキャリア効果を具えた半導体構造のトランジスタは、その帯電

10

20

30

40

50

粒子が高エネルギーを獲得するために発生する「ホットキャリア効果」の程度を大幅に低減可能で、且つこの電子部品(トランジスタ)の使用寿命をより一層延長することができる。

#### 【0013】

さらに本発明の低ホットキャリア効果を具えた半導体構造はアルミニウム、アルミ合金、モリブデン、モリブデンとタングステンの合金、クロム、銅、ニッケル、金、銀、或いはチタンなどのあらゆる材質の金属層を具え、本発明の低ホットキャリア効果を具えた半導体構造の第一半導体層はあらゆる方式で形成されるが、PECVD方式或いはCVD方式により形成することが望ましく、本発明の低ホットキャリア効果を具えた半導体構造の第二半導体層はあらゆる方式で形成されるが、PECVD方式或いはCVD方式により形成することが望ましく、本発明の低ホットキャリア効果を具えた半導体構造の第二半導体層はあらゆる数値の第二電気抵抗値を具え、この第二電気抵抗値は該第一半導体層の第一電気抵抗値の $10^2 \sim 10^9$ 倍で、該第二電気抵抗値の好ましいな数値は該第一半導体層の第一電気抵抗値の $10^5$ で、本発明の低ホットキャリア効果を具えた半導体構造はあらゆる種類のIC中に利用可能で、OLEDの駆動IC中に利用することが望ましくなる。

10

#### 【0014】

また本発明の低ホットキャリア効果を具えたトランジスタはアルミニウム、アルミ合金、モリブデン、モリブデンとタングステンの合金、クロム、銅、ニッケル、金、銀、或いはチタンなどのあらゆる材質のゲート金属層を具え、本発明の低ホットキャリア効果を具えたトランジスタはアルミニウム、アルミ合金、モリブデン、モリブデンとタングステンの合金、クロム、銅、ニッケル、金、銀、或いはチタンなどのあらゆる材質のソース金属層を具え、本発明の低ホットキャリア効果を具えたトランジスタはアルミニウム、アルミ合金、モリブデン、モリブデンとタングステンの合金、クロム、銅、ニッケル、金、銀、或いはチタンなどのあらゆる材質のドレーン金属層を具え、本発明の低ホットキャリア効果を具えたトランジスタの第一半導体層はあらゆる方式で形成されるが、PECVD方式或いはCVD方式により形成することが望ましく、本発明の低ホットキャリア効果を具えたトランジスタはあらゆる種類のIC中に利用可能で、OLEDの駆動IC中に利用することが望ましく、本発明の低ホットキャリア効果を具えたトランジスタの第二半導体層はあらゆる方式で形成されるが、PECVD方式或いはCVD方式により形成することが望ましく、本発明の低ホットキャリア効果を具えたトランジスタはアモルファス、単結晶シリコン、多結晶シリコンなどのあらゆる材質のHDD半導体層を具え、本発明の低ホットキャリア効果を具えたトランジスタの第二半導体層はあらゆる数値の第二電気抵抗値を具え、この第二電気抵抗値は該第一半導体層の第一電気抵抗値の $10^2 \sim 10^9$ 倍で、該第二電気抵抗値の好ましいな数値は該第一半導体層の第一電気抵抗値の $10^5$ であることが望ましいことを特徴とする低ホットキャリア効果を具えた半導体構造である。

20

30

#### 【課題を解決するための手段】

#### 【0015】

請求項1の発明は、基板、金属層、絶縁層、第一半導体層、第二半導体層を含み、該金属層は少なくとも該基板の部分表面に形成し、該絶縁層は少なくとも該基板の部分表面に形成し、且つ該金属層の表面を覆い、該第一半導体層は第一電気抵抗値を具え、少なくとも該絶縁層の部分表面を覆い、該第二半導体層は第二電気抵抗値を具え、少なくとも該絶縁層の部分表面を覆い、該第二半導体層の第二電気抵抗値は該第一半導体層の第一電気抵抗値より大きいことを特徴とする低ホットキャリア効果を具えた半導体構造としている。

40

請求項2の発明は、請求項1記載の低ホットキャリア効果を具えた半導体構造において、前記金属層はアルミニウムであることを特徴とする低ホットキャリア効果を具えた半導体構造としている。

請求項3の発明は、請求項1記載の低ホットキャリア効果を具えた半導体構造において、前記第一半導体層はPECVD方式により形成することを特徴とする低ホットキャリア効果を具えた半導体構造としている。

50

請求項４の発明は、請求項１記載の低ホットキャリア効果をもった半導体構造において、前記第二半導体層はPECVD方式により形成することを特徴とする低ホットキャリア効果をもった半導体構造としている。

請求項５の発明は、請求項１記載の低ホットキャリア効果をもった半導体構造において、前記半導体構造はOLEDの駆動IC中に位置することを特徴とする低ホットキャリア効果をもった半導体構造としている。

請求項６の発明は、請求項１記載の低ホットキャリア効果をもった半導体構造において、前記第二電気抵抗値は該第一電気抵抗値の $10^2 \sim 10^9$ 倍であることを特徴とする低ホットキャリア効果をもった半導体構造としている。

請求項７の発明は、請求項１記載の低ホットキャリア効果をもった半導体構造において、前記第二半導体層は該第一半導体層の上表面を覆うことを特徴とする低ホットキャリア効果をもった半導体構造としている。 10

#### 【００１６】

請求項８の発明は、基板、ゲート金属層、絶縁層、第一半導体層、第二半導体層、HDD半導体層、ソース金属層、ドレーン金属層を含み、  
該ゲート金属層は少なくとも該基板の部分表面に形成し、  
該絶縁層は少なくとも該基板の部分表面に形成し、且つ該ゲート金属層の表面を覆い、  
該第一半導体層は第一電気抵抗値をもち、少なくとも該絶縁層の部分表面を覆い、  
該第二半導体層は第二電気抵抗値をもち、少なくとも該絶縁層の部分表面を覆い、  
該HDD半導体層は該第二半導体層の部分表面を覆い、且つ第一上表面と第二上表面をもち、 20

該ソース金属層は該HDD半導体層の第一上表面に形成し、  
該ドレーン金属層は該HDD半導体層の第二上表面に形成し、  
該第二半導体層の第二電気抵抗値は該第一半導体層の第一電気抵抗値より大きいことを特徴とする低ホットキャリア効果をもった半導体構造としている。

請求項９の発明は、請求項８記載の低ホットキャリア効果をもった半導体構造において、前記ゲート金属層の材質はアルミニウムであることを特徴とする低ホットキャリア効果をもった半導体構造としている。

請求項１０の発明は、請求項８記載の低ホットキャリア効果をもった半導体構造において、前記ソース金属層の材質はアルミニウムであることを特徴とする低ホットキャリア効果をもった半導体構造としている。 30

請求項１１の発明は、請求項８記載の低ホットキャリア効果をもった半導体構造において、前記ドレーン金属層の材質はアルミニウムであることを特徴とする低ホットキャリア効果をもった半導体構造としている。

請求項１２の発明は、請求項８記載の低ホットキャリア効果をもった半導体構造において、前記ゲート金属層の材質は銅であることを特徴とする低ホットキャリア効果をもった半導体構造としている。

請求項１３の発明は、請求項８記載の低ホットキャリア効果をもった半導体構造において、前記ソース金属層の材質は銅であることを特徴とする低ホットキャリア効果をもった半導体構造としている。 40

請求項１４の発明は、請求項８記載の低ホットキャリア効果をもった半導体構造において、前記ドレーン金属層の材質は銅であることを特徴とする低ホットキャリア効果をもった半導体構造としている。

請求項１５の発明は、請求項８記載の低ホットキャリア効果をもった半導体構造において、前記ゲート金属層の材質はモリブデンとタングステンの合金であることを特徴とする低ホットキャリア効果をもった半導体構造としている。

請求項１６の発明は、請求項８記載の低ホットキャリア効果をもった半導体構造において、前記ソース金属層の材質はモリブデンとタングステンの合金であることを特徴とする低ホットキャリア効果をもった半導体構造としている。

請求項１７の発明は、請求項８記載の低ホットキャリア効果をもった半導体構造におい 50

て、前記ドレーン金属層の材質はモリブデンとタングステンの合金であることを特徴とする低ホットキャリア効果を具えた半導体構造としている。

請求項 18 の発明は、請求項 8 記載の低ホットキャリア効果を具えた半導体構造において、前記第一半導体層は PECVD 方式により形成することを特徴とする低ホットキャリア効果を具えた半導体構造としている。

請求項 19 の発明は、請求項 8 記載の低ホットキャリア効果を具えた半導体構造において、前記第一半導体層は通路層であることを特徴とする低ホットキャリア効果を具えた半導体構造としている。

#### 【0017】

請求項 20 の発明は、請求項 8 記載の低ホットキャリア効果を具えた半導体構造において、前記第二半導体層は PECVD 方式により形成することを特徴とする低ホットキャリア効果を具えた半導体構造としている。

請求項 21 の発明は、請求項 8 記載の低ホットキャリア効果を具えた半導体構造において、前記第二半導体層は高抵抗値補償層であることを特徴とする低ホットキャリア効果を具えた半導体構造としている。

請求項 22 の発明は、請求項 8 記載の低ホットキャリア効果を具えた半導体構造において、前記トランジスタは OLED の駆動 IC 中に位置することを特徴とする低ホットキャリア効果を具えた半導体構造としている。

請求項 23 の発明は、請求項 8 記載の低ホットキャリア効果を具えた半導体構造において、前記 HDD 半導体層のキャリア濃度は  $10^{14}$  atom/cm<sup>3</sup> から  $10^{19}$  atom/cm<sup>3</sup> であることを特徴とする低ホットキャリア効果を具えた半導体構造としている。

請求項 24 の発明は、請求項 8 記載の低ホットキャリア効果を具えた半導体構造において、前記 HDD 半導体層の材質はアモルファスであることを特徴とする低ホットキャリア効果を具えた半導体構造としている。

請求項 25 の発明は、請求項 8 記載の低ホットキャリア効果を具えた半導体構造において、前記第二電気抵抗値は該第一電気抵抗値の  $10^2 \sim 10^9$  倍であることを特徴とする低ホットキャリア効果を具えた半導体構造としている。

請求項 26 の発明は、請求項 8 記載の低ホットキャリア効果を具えた半導体構造において、前記第二半導体層は該第一半導体層の上表面を覆うことを特徴とする低ホットキャリア効果を具えた半導体構造としている。

#### 【発明の効果】

#### 【0018】

本発明は高電気抵抗値を具えた第二半導体層(或いは、高抵抗値補償層)をより低い電気抵抗値を具えた第一半導体層(或いは、通路層)の上表面に形成する方式により、本発明の低ホットキャリア効果を具えた半導体構造のトランジスタを操作する時、その大部分の「ドレーン/ソース電位差(すなわち、ドレーンとソース間に存在する電位差)」は、より高い電気抵抗値を具えた第二半導体層(高抵抗値補償層)内に分配されるため、このトランジスタの第一半導体層(通路層)が分配された「ドレーン/ソース電位差」の割合は少なくなる。よって、本発明の低ホットキャリア効果を具えた半導体構造のトランジスタは長時間「高電流」の操作環境(OLEDの駆動IC内など)中に置かれても、その第一半導体(通路層)内において移動する帯電粒子が獲得するエネルギーはやはり非常に限定される。こうして、本発明の低ホットキャリア効果を具えた半導体構造のトランジスタは、その帯電粒子が高エネルギーを獲得するために発生する「ホットキャリア効果」の程度を大幅に低減可能で、且つこの電子部品(トランジスタ)の使用寿命をより一層延長することができる。

#### 【発明を実施するための最良の形態】

#### 【0019】

図 3 に示すように、本発明第一好ましい実施例のトランジスタ 2 はガラス基板 21、ゲート電極層 22、ゲート絶縁層 23、通路層 24、高抵抗値補償層 25、第一 HD 半導体層 261、第二 HD 半導体層 262、ソース金属層 27、ドレーン金属層 28 を含む。

該ゲート電極層 22、該ソース金属層 27、該ドレーン金属層 28 の材質はアルミニウム

で、かつ該通路層 2 4 とその上表面の該高抵抗値補償層 2 5 は PECVD 方式により形成する。

この他、異なる濃度の不純物 (impurity) を混雑する方法により、該高抵抗値補償層 2 5 の電気抵抗値は該通路層 2 4 の電気抵抗値より高い。一般には該高抵抗値補償層 2 5 の電気抵抗値は該通路層 2 4 の電気抵抗値の  $10^2 \sim 10^9$  倍であるが、該高抵抗値補償層 2 5 の電気抵抗値は該通路層 2 4 の電気抵抗値の  $10^5$  倍であることが望ましい。

#### 【0020】

該低ホットキャリア効果を具えたトランジスタ 2 は操作状態にある時、大部分は該ドレーン金属層 2 8 と該ソース金属層 2 7 間の電位差 (すなわち、ドレーン/ソース電位差) は、より高い電気抵抗値を具える高抵抗値補償層 2 5 内に分配される。つまり、該高抵抗値補償層 2 5 下方に位置する通路層 2 4 が分配可能な「ドレーン/ソース電位差」の比率は減少する。よって、該低ホットキャリア効果を具えたトランジスタ 2 が「高電流」の操作環境にある時 (OLED の駆動 IC 内にある時など) には、該通路層 2 4 内で移動する帯電粒子が得られるエネルギーは非常に限定される (なぜなら、帯電粒子が得られるエネルギーは該通路層 2 4 両端間の電位差と正比例する)。こうして、該低ホットキャリア効果を具えたトランジスタ 2 が「高電流」或いは「高電圧」の操作環境内にある時、その帯電粒子が高いエネルギーを得る確率は極めて低いため、該低ホットキャリア効果を具えたトランジスタ 2 はトランジスタの性能を減退させる「ホットキャリア効果」を発生する確率も大幅に減少する。且つ、該低ホットキャリア効果を具えたトランジスタ 2 がなお「ホットキャリア効果」を発生するとしても、それが該低ホットキャリア効果を具えたトランジスタ 2 の性能に及ぼす影響は非常に限定される。こうして、該低ホットキャリア効果を具えたトランジスタ 2 の「高電流」或いは「高電圧」の操作環境内での使用寿命を一般のトランジスタより長くすることができる。

#### 【0021】

さらに、公知の LDD 構造を具えたトランジスタに比較し、本発明第一好ましい実施例の低ホットキャリア効果を具えたトランジスタ 2 はよって、該高抵抗値補償層 2 5 が別に基板面積を占拠することはない。こうして、本発明第一好ましい実施例の低ホットキャリア効果を具えたトランジスタ 2 は公知の LDD 構造を具えたトランジスタに比較し、それが必要とする基板面積が小さいため、トランジスタの排列密度をさらに上げることができる。さらに製造工程において、本発明第一好ましい実施例の低ホットキャリア効果を具えたトランジスタ 2 は「イオン扶植」と「高温混雑活性化」等の高価な製造工程を使用せず、且つ使用の必要があるフォトリソグラフィ技術も少なく済むため、本発明第一好ましい実施例の低ホットキャリア効果を具えたトランジスタ 2 は製造コストを低減可能で、歩留を向上させることができる。

#### 【0022】

次に図 4、5 に示すように、低ホットキャリア効果を具えたトランジスタ 2 の製造工程は以下のステップを含む。

ステップ (a) : ガラス基板 2 1 を提供する。

ステップ (b) : スパッタリング或いは蒸着の方式により一層のアルミニウムを該ガラス基板 2 1 の表面に積層させ、且つフォトリソグラフィ (photolithography) 技術を利用し、該ゲート電極層 2 2 の範囲を定義する。さらにエッチング技術を利用し、該ゲート電極層 2 2 のパターン (pattern) をエッチングする。

ステップ (c) : PECVD の方式を利用し、ゲート絶縁層 2 3 をゲート電極層 2 2 とガラス基板 2 1 の表面に積層させる。さらに PECVD の方式を利用し、通路層 2 4 をゲート絶縁層 2 3 の表面に積層させる。続いて別の製造工程パラメーターの PECVD の方式を使用し、高抵抗値補償層 2 5 を通路層 2 4 の表面に積層させ、該高抵抗値補償層 2 5 の電気抵抗値を該通路層 2 4 の電気抵抗値より大きくする。続いて、PECVD の方式を利用し、HD 半導体層 2 6 を該高抵抗値補償層 2 5 の表面に積層させる。

ステップ (d) : スパッタリング或いは蒸着の方式により一層のアルミニウムを HD 半導体層 2 6 の表面に積層させ、さらにフォトリソグラフィ技術を利用し、ソース金属層 2 7

とドレイン金属層 28 の範囲を定義する。且つエッチング技術を利用し、該ソース金属層 27 と該ドレイン金属層 28 のパターンをエッチングする。

ステップ(e)：フォトリソグラフィ技術を利用し、トランジスタの作用面積の範囲を定義し、且つエッチング技術を利用し作用面積のパターンを定義する。

ステップ(f)：エッチング技術を利用し該ソース金属層 27 と該ドレイン金属層 28 間のHD半導体層 26 を除去し、第一HD半導体層 261 と第二HD半導体層 262 を形成する。

ステップ(g)：ヒーターチューブを利用し焼結プロセス(sintering)を行い、該ソース金属層 27 及び該ドレイン金属層 28 とHD半導体層 26 (すなわち、該第一HD半導体層 261 と該第二HD半導体層 262)間のオーム接触(ohmic contact)を強化する。

#### 【0023】

次に図 6 に示す、本発明第一好ましい実施例の低ホットキャリア効果を具えたトランジスタ 2 の操作状態の「ゲートソース電位差」は 20 ボルト ( $V_{gs}=20V$ ) で、「ドレインソース電位差」は 80 ボルト ( $V_{ds}=80V$ ) である。

図 4 に示すように、長時間上記の操作状態 ( $V_{gs}=20V$ 、 $V_{ds}=80V$ ) にあっても、本発明第一好ましい実施例の低ホットキャリア効果を具えたトランジスタ 2 の起動電流は起動電流の初期値の 98% 以上を維持することができる。特に操作時間が 2000 秒以上となった後、本発明第一好ましい実施例の低ホットキャリア効果を具えたトランジスタ 2 の起動電流は、安定した数値 (初期値の 98% 以上に安定) を測定完了 (10000 秒) まで保持した。すなわち、本発明第一好ましい実施例の低ホットキャリア効果を具えたトランジスタ 2 は過酷な操作環境にあっても、その性能は明確な変化を来すことはない。こうして本発明第一好ましい実施例の低ホットキャリア効果を具えたトランジスタ 2 は「ホットキャリア効果」がその性能に与える影響を低減する面で、公知の LDD 構造を具えたトランジスタに比べ明らかに進歩している。

#### 【0024】

続いて図 7 に示す、本発明第一好ましい実施例の低ホットキャリア効果を具えたトランジスタ 2 の操作環境のゲートソース電位差は 20 ボルト ( $V_{gs}=20V$ ) で、「ドレインソース電位差」は 80 ボルト ( $V_{ds}=80V$ ) である。該操作状態において、該ゲート電圧 (gate voltage) とドレイン電流 (drain current) 間に存在する関係を測定する時使用するゲートソース電位差は 5.1 ボルト ( $V_{gs}=5.1V$ ) である。図 7 に示すように、本発明第一好ましい実施例の低ホットキャリア効果を具えたトランジスタ 2 の操作時間はどんな時 (初期或いは操作 10000 秒後) でも、該ゲート電圧と該ドレイン電流間に存在する関係はおおよそ同様である。この現象も、本発明第一好ましい実施例の低ホットキャリア効果を具えたトランジスタ 2 が長時間の操作を経た後でも、その作動性能は「ホットキャリア効果」の影響を受けないことを証明している。

#### 【0025】

さらに図 8 は、本発明第一好ましい実施例の低ホットキャリア効果を具えたトランジスタ 2 の臨界電圧 (threshold voltage,  $V_{th}$ ) が操作時間の増加に従い、激烈に増加することはないことを示している。一般には、「ホットキャリア効果」は通路層中において移動する帯電粒子がゲート絶縁層或いは/及びゲート絶縁層と通路の境界に注入するため、トランジスタの臨界電圧 ( $V_{th}$ ) は徐々に増加し、トランジスタの性能を低下させる。よって図 8 は、長時間 (10000 秒) を経た過酷な操作環境 ( $V_{gs}=20V$ 、 $V_{ds}=80V$ ) にあっても、本発明第一好ましい実施例の低ホットキャリア効果を具えたトランジスタ 2 は「ホットキャリア効果」を克服可能なことを示している。その性能に対する不良な影響があっても、その臨界電圧はなお初期値と近い数値を維持し、OLED が必要とする大電流操作を駆動するなど正常な操作を持続することができる。

#### 【0026】

次に図 3 に示すように、本発明第二好ましい実施例の低ホットキャリア効果を具えたトランジスタ 2 の構造は、本発明第一好ましい実施例の低ホットキャリア効果を具えたトランジスタ 2 構造とほぼ同一である。両者の差異はゲート電極層 22、ソース金属層 27、ドレイン金属層 28 の材質の差異にある。本好ましい実施例では、ゲート電極層 22、ソ

10

20

30

40

50

ース金属層 27、ドレーン金属層 28 の材質は銅である。

【0027】

本発明第二好ましい実施例の低ホットキャリア効果を具えたトランジスタ 2 の構造は、本発明第一好ましい実施例の低ホットキャリア効果を具えたトランジスタ 2 構造とほぼ同一であるため、「高電流」或いは「高電圧」の操作環境内でも、同様に本発明第二好ましい実施例の低ホットキャリア効果を具えたトランジスタ 2 はトランジスタ性能を減退させる「ホットキャリア効果」発生の確率を大幅に減少させることができる。且つ、本発明第二好ましい実施例の低ホットキャリア効果を具えたトランジスタ 2 では「ホットキャリア効果」が発生しても、そのトランジスタ性能に対する影響は非常に限定されている。よって、本発明第二好ましい実施例の低ホットキャリア効果を具えたトランジスタ 2 は「高電流」或いは「高電圧」の操作環境内での使用寿命を、一般のトランジスタより延長することができる。

【0028】

同様に公知の LDD 構造を具えたトランジスタと比較し、本発明第二好ましい実施例の低ホットキャリア効果を具えたトランジスタは大部分の「ドレーン/ソース電位差」の高抵抗値補償層 25 の分担において、該通路層 24 の上表面に位置し、且つ、該通路層 24 とセルフ調整 (self-alignment) を達成する。よって該高抵抗値補償層 25 は別に基板の面積を占拠することはない。こうして本発明第二好ましい実施例の低ホットキャリア効果を具えたトランジスタ 2 は、公知の LDD 構造を具えたトランジスタと比較し、それが必要とする基板面積は小さいため、トランジスタ排列の密度をより高めることができる。さらに、製造工程において、本発明第二好ましい実施例の低ホットキャリア効果を具えたトランジスタ 2 は「イオン扶植」と「高温混雑活性化」等の高価な製造工程を使用せず、且つ使用の必要があるフォトマスクも少なく済むため、本発明第二好ましい実施例の低ホットキャリア効果を具えたトランジスタ 2 は製造コストを低減可能で、歩留を向上させることができる。

【0029】

次に図 4、5 に示すように、本発明第二好ましい実施例の低ホットキャリア効果を具えたトランジスタ 2 の製造工程は以下のステップを含む。

ステップ(a)：ガラス基板 21 を提供する。

ステップ(b)：スパッタリング或いは蒸着の方式により一層のアルミニウムを該ガラス基板 21 の表面に積層させ、且つフォトリソグラフィ技術を利用し、該ゲート電極層 22 の範囲を定義する。さらにエッチング技術を利用し、該ゲート電極層 22 のパターンをエッチングする。

ステップ(c)：PECVD の方式を利用し、ゲート絶縁層 23 をゲート電極層 22 とガラス基板 21 の表面に積層させる。さらに PECVD の方式を利用し、通路層 24 をゲート絶縁層 23 の表面に積層させる。続いて別の製造工程パラメーターの PECVD 方式を使用し、高抵抗値補償層 25 を通路層 24 の表面に積層させ、該高抵抗値補償層 25 の電気抵抗値を該通路層 24 の電気抵抗値より大きくする。続いて、PECVD の方式を利用し、HD 半導体層 26 を該高抵抗値補償層 25 の表面に積層させる。

ステップ(d)：スパッタリング或いは蒸着の方式により一層の銅を該 HD 半導体層 26 の表面に積層させ、さらにフォトリソグラフィ技術を利用し、ソース金属層 27 とドレーン金属層 28 の範囲を定義する。且つエッチング技術を利用し、該ソース金属層 27 と該ドレーン金属層 28 のパターンをエッチングする。

ステップ(e)：フォトリソグラフィ技術を利用し、トランジスタの作用面積の範囲を定義し、且つエッチング技術を利用し作用面積のパターンを定義する。

ステップ(f)：エッチング技術を利用し該ソース金属層 27 と該ドレーン金属層 28 間の HD 半導体層 26 を除去し、第一 HD 半導体層 261 と第二 HD 半導体層 262 を形成する。

ステップ(g)：ヒーターチューブを利用し焼結プロセスを行い、該ソース金属層 27 及び該ドレーン金属層 28 と HD 半導体層 26 (すなわち、該第一 HD 半導体層 261 と該第二 HD 半導体層 262) 間のオーム接触を強化する。

## 【0030】

さらに図3に示すように、本発明第三好ましい実施例の低ホットキャリア効果を具えたトランジスタ2の構造は、本発明第一好ましい実施例の低ホットキャリア効果を具えたトランジスタ2構造とほぼ同一である。両者の差異はゲート電極層22、ソース金属層27、ドレイン金属層28の材質の差異にある。本好ましい実施例では、ゲート電極層22、ソース金属層27、ドレイン金属層28の材質はモリブデンとタングステンの合金である。

## 【0031】

本発明第三好ましい実施例の低ホットキャリア効果を具えたトランジスタ2の構造は、本発明第一好ましい実施例の低ホットキャリア効果を具えたトランジスタ2構造とほぼ同一であるため、「高電流」或いは「高電圧」の操作環境内でも、同様に本発明第三好ましい実施例の低ホットキャリア効果を具えたトランジスタ2はトランジスタ性能を減退させる「ホットキャリア効果」発生の確率を大幅に減少させることができる。且つ、本発明第三好ましい実施例の低ホットキャリア効果を具えたトランジスタ2では「ホットキャリア効果」が発生しても、そのトランジスタ性能に対する影響は非常に限定されている。よって、本発明第三好ましい実施例の低ホットキャリア効果を具えたトランジスタ2は「高電流」或いは「高電圧」の操作環境内での使用寿命を、一般のトランジスタより延長することができる。

## 【0032】

同様に公知のLDD構造を具えたトランジスタと比較し、本発明第三好ましい実施例の低ホットキャリア効果を具えたトランジスタは大部分の「ドレイン/ソース電位差」の高抵抗値補償層25の分担において、該通路層24の上表面に位置し、且つ、該通路層24とセルフ調整を達成する。よって該高抵抗値補償層25は別に基板の面積を占拠することはない。こうして本発明第三好ましい実施例の低ホットキャリア効果を具えたトランジスタ2は、公知のLDD構造を具えたトランジスタと比較し、それが必要とする基板面積は小さいため、トランジスタ排列の密度をより高めることができる。さらに、製造工程において、本発明第三好ましい実施例の低ホットキャリア効果を具えたトランジスタ2は「イオン注入」と「高温ドーピング活性化」等の高価な製造工程を使用せず、且つ使用の必要があるフォトリソグラフィ技術も少なく済むため、本発明第三好ましい実施例の低ホットキャリア効果を具えたトランジスタ2は製造コストを低減可能で、歩留を向上させることができる。

## 【0033】

次に図4、5に示すように、本発明第三好ましい実施例の低ホットキャリア効果を具えたトランジスタ2の製造工程は以下のステップを含む。

ステップ(a)：ガラス基板21を提供する。

ステップ(b)：スパッタリング或いは蒸着方式により一層のアルミニウムを該ガラス基板21の表面に積層させ、且つフォトリソグラフィ技術を利用し、該ゲート電極層22の範囲を定義する。さらにエッチング技術を利用し、該ゲート電極層22のパターンをエッチングする。

ステップ(c)：PECVDの方式を利用し、ゲート絶縁層23をゲート電極層22とガラス基板21の表面に積層させる。さらにPECVDの方式を利用し、通路層24をゲート絶縁層23の表面に積層させる。続いて別の製造工程パラメータのPECVD方式を使用し、高抵抗値補償層25を通路層24の表面に積層させ、該高抵抗値補償層25の電気抵抗値を該通路層24の電気抵抗値より大きくする。続いて、PECVDの方式を利用し、HD半導体層26を該高抵抗値補償層25の表面に積層させる。

ステップ(d)：スパッタリング或いは蒸着の方式により一層のモリブデンとタングステンの合金を該HD半導体層26の表面に積層させ、さらにフォトリソグラフィ技術を利用し、ソース金属層27とドレイン金属層28の範囲を定義する。且つエッチング技術を利用し、該ソース金属層27と該ドレイン金属層28のパターンをエッチングする。

ステップ(e)：フォトリソグラフィ技術を利用し、トランジスタの作用面積の範囲を定

義し、且つエッチング技術を利用し作用面積のパターンを定義する。

ステップ(f)：エッチング技術を利用し該ソース金属層27と該ドレーン金属層28間のHD半導体層26を除去し、第一HD半導体層261と第二HD半導体層262を形成する。

ステップ(g)：ヒーターチューブを利用し焼結プロセスを行い、該ソース金属層27及び該ドレーン金属層28とHD半導体層26(すなわち、該第一HD半導体層261と該第二HD半導体層262)間のオーム接触を強化する。

【図面の簡単な説明】

【0034】

【図1】公知のLDD構造を具えたトランジスタの表示図である。

【図2】公知のLDD構造を具えたトランジスタの起動電流が操作時間に従い変化する様子  
の表示図である。 10

【図3】本発明第一好ましい実施例のトランジスタの表示図である。

【図4】本発明第一好ましい実施例の低ホットキャリア効果を具えたトランジスタの製造  
工程の表示図である。

【図5】本発明第一好ましい実施例の低ホットキャリア効果を具えたトランジスタの製造  
工程の表示図である。

【図6】本発明第一好ましい実施例の低ホットキャリア効果を具えたトランジスタの起動  
電流が操作時間に従い変化する様子の表示図である。

【図7】本発明第一好ましい実施例の低ホットキャリア効果を具えたトランジスタのゲー  
ト電圧とドレーン電流の異なる操作時間における関係の表示図である。 20

【図8】図7のゲート電圧が2～10ボルト間における拡大表示図である。

【符号の説明】

【0035】

1 トランジスタ

11 ガラス基板

13 ゲート絶縁層

14 通路層

15 LDD区域

16 HDD区域

17 ゲート電極層 30

2 トランジスタ

21 ガラス基板

22 ゲート電極層

23 ゲート絶縁層

24 通路層

25 高抵抗値補償層

26 HD半導体層

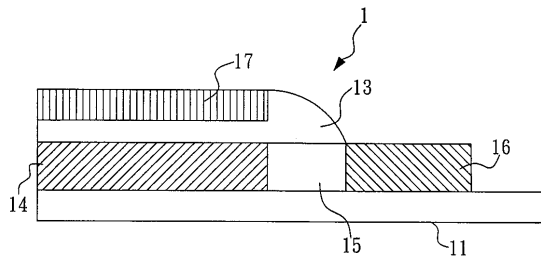
27 ソース金属層

261 第一HD半導体層

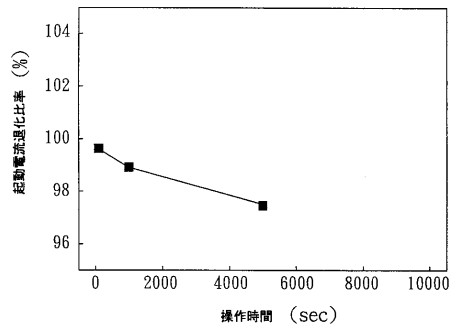
262 第二HD半導体層 40

28 ドレーン金属層

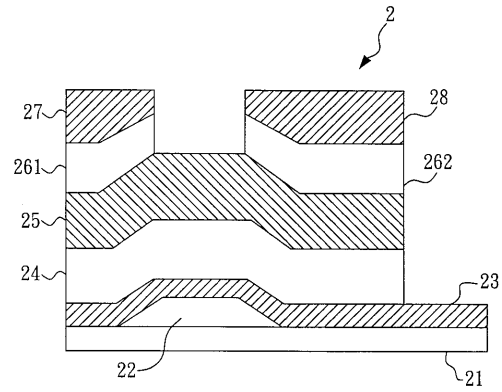
【図 1】



【図 2】

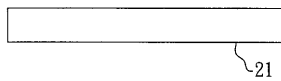


【図 3】

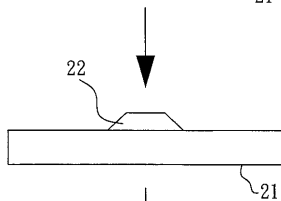


【図 4】

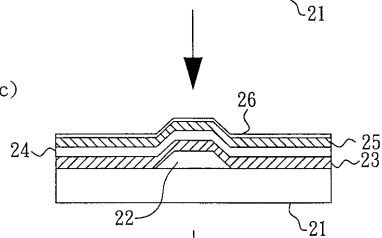
(a)



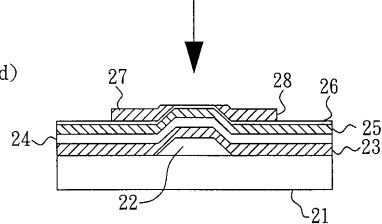
(b)



(c)

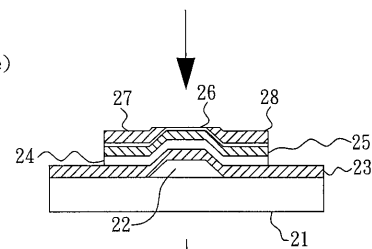


(d)

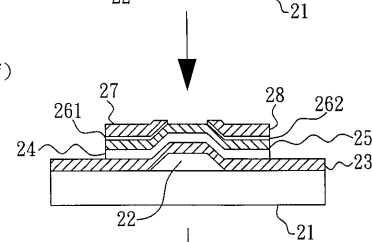


【図 5】

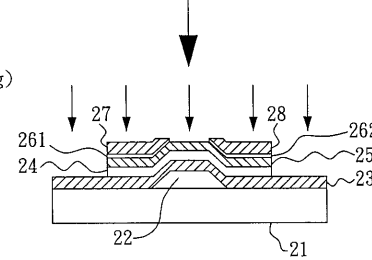
(e)



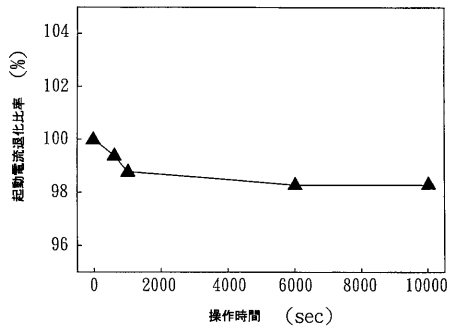
(f)



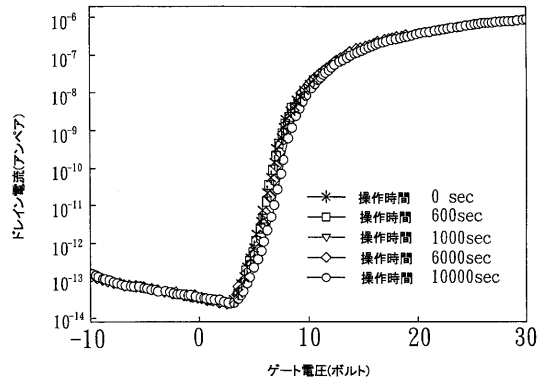
(g)



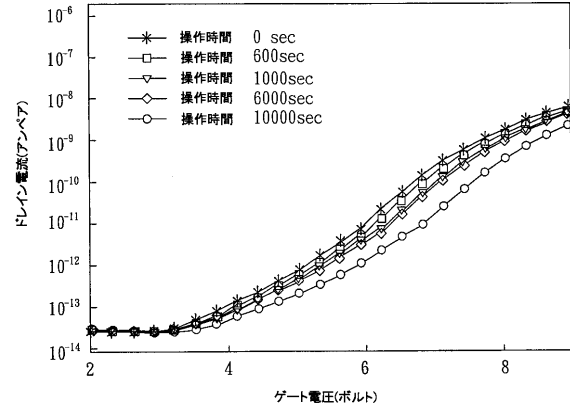
【図 6】



【図 7】



【図 8】



---

フロントページの続き

(72)発明者 李 建鋒

台湾台北市中山區中山北路3段22號

(72)発明者 陳 易良

台湾台北市中山區中山北路3段22號

Fターム(参考) 4M104 AA09 AA10 BB02 BB04 BB05 BB08 BB09 BB13 BB14 BB16  
BB18 CC01 CC05 DD78 GG09 HH20  
5F110 AA14 BB01 CC07 DD02 EE02 EE03 EE04 EE43 EE44 FF30  
GG45 HK02 HK03 HK04 HK22 HK32 HK33 HK35 HK42 HM15