

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 29 年 4 月 13 日 (2017.4.13)

【公表番号】特表 2016-519420 (P2016-519420A)

【公表日】平成 28 年 6 月 30 日 (2016.6.30)

【年通号数】公開・登録公報 2016-039

【出願番号】特願 2016-500941 (P2016-500941)

【国際特許分類】

H 0 1 L 21/60 (2006.01)

H 0 1 L 23/12 (2006.01)

H 0 5 K 3/34 (2006.01)

【F I】

H 0 1 L 21/60 3 1 1 S

H 0 1 L 23/12 5 0 1 B

H 0 1 L 23/12 Q

H 0 5 K 3/34 5 0 1 E

H 0 5 K 3/34 5 0 1 F

【手続補正書】

【提出日】平成 29 年 3 月 7 日 (2017.3.7)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

電子的アッセンブリであって、
銅ピラー取り付け基板を含み、
前記銅ピラー取り付け基板が、
誘電体層と、

前記誘電体層に重なるソルダレジスト層であって、中に複数の開口を有し、且つ、ソルダレジスト層厚みを有する、前記ソルダレジスト層と、

前記誘電体層上に形成される複数の平行のトレースと、
を含み、

各トレースが第 1 端部と第 2 端部と中間部とを有し、前記第 1 及び第 2 端部が前記ソルダレジスト層により覆われ、前記中間部が前記ソルダレジスト層の前記開口内に配置され、前記中間部の各々が、その上に少なくとも 1 つの導電性被覆層を有し、且つ、前記誘電体層から、少なくとも前記ソルダレジスト層厚み程度に大きい前記少なくとも 1 つの導電性被覆層の最頂のものまで測定された高さを有する、アッセンブリ。

【請求項 2】

請求項 1 に記載のアッセンブリであって、

前記少なくとも 1 つの導電性被覆層が、第 1 の導電性被覆層と第 2 の導電性被覆層とを含む、アッセンブリ。

【請求項 3】

請求項 2 に記載のアッセンブリであって、

前記第 1 の導電性被覆層が銅を含む、アッセンブリ。

【請求項 4】

請求項 2 に記載のアッセンブリであって、

前記第 2 の導電性被覆層が錫を含む、アッセンブリ。

【請求項 5】

請求項 1 に記載のアッセンブリであって、
前記トレースが銅を含む、アッセンブリ。

【請求項 6】

請求項 1 に記載のアッセンブリであって、
前記ソルダレジスト層における前記開口が互い違いにされる、アッセンブリ。

【請求項 7】

請求項 1 に記載のアッセンブリであって、
複数の銅ピラーを有するダイを更に含み、

記銅ピラーの各々が、前記複数のトレースの関連する 1 つのトレースの前記中間部に接続されるティップ部を有し、前記銅ピラーの各々が、前記平行のトレースに垂直に測定された前記ソルダレジスト開口の関連する 1 つのソルダレジスト開口の寸法より大きい、前記平行のトレースに垂直に測定された断面寸法を有し、

前記複数の平行のトレースの隣接するトレースがトレース間隔距離により隔てられ、前記ソルダレジスト層開口が互い違いにされる、アッセンブリ。

【請求項 8】

請求項 7 に記載のアッセンブリであって、

前記銅ピラーの各々の前記ティップ部が、前記複数のトレースの関連する 1 つのトレースの前記中間部上の前記少なくとも 1 つの被覆層にボンディングされる、アッセンブリ。

【請求項 9】

請求項 8 に記載のアッセンブリであって、

前記複数のトレースの各々の前記中間部上の前記少なくとも 1 つの導電性被覆層が、第 1 の被覆層と、前記第 1 の被覆層の上の第 2 の被覆層とを含み、前記銅ピラーの前記はんだティップ部が前記第 2 の被覆層にボンディングされる、アッセンブリ。

【請求項 10】

請求項 9 に記載のアッセンブリであって、

前記第 1 の被覆層が前記第 2 の被覆層より厚い、アッセンブリ。

【請求項 11】

請求項 7 に記載のアッセンブリであって、

前記はんだティップ部の各々が円形の断面を有する、アッセンブリ。

【請求項 12】

請求項 1 に記載のアッセンブリであって、

前記複数の平行のトレースが、前記トレースに垂直であり且つ前記トレースの第 1 端部のうちの最外の第 1 端部に交差する第 1 の線と、前記トレースに垂直であり且つ前記トレースの第 2 端部のうちの最外の第 2 端部に交差する第 2 の線とにより画定されるエリア内に配置され、前記複数のトレースが各々、前記第 1 の線と前記第 2 の線との間の距離より短い長さを有する、アッセンブリ。

【請求項 13】

請求項 12 に記載のアッセンブリであって、

前記複数のトレースが各々、前記第 1 の線と前記第 2 の線との間の前記距離の 2 分の 1 より短い長さを有する、アッセンブリ。

【請求項 14】

請求項 12 に記載のアッセンブリであって、

前記ソルダレジスト層が、少なくとも、前記第 1 の線まで、及び前記複数の平行のトレースの少なくとも最初のトレースから前記複数の平行のトレースの少なくとも最後のトレースまで延在する領域において前記第 2 の線まで延在する、アッセンブリ。

【請求項 15】

電子的アッセンブリであって、

銅ピラー取り付け基板を含み、

前記銅ピラー取り付け基板が、
誘電体層と、

前記誘電体層に重なるソルダレジスト層であって、中に複数の開口を有し、且つ、ソルダレジスト層厚みを有する、前記ソルダレジスト層と、

前記誘電体層上に形成される複数の平行のトレースと、
を含み、

各トレースが第１端部と第２端部と中間部とを有し、前記第１及び第２端部が前記ソルダレジスト層により覆われ、前記中間部が、前記ソルダレジスト層における前記開口内に配置され、前記複数の平行のトレースが、前記トレースに垂直であり且つ前記トレースの第１端部のうちの最外の第１端部に交差する第１の線と、前記トレースに垂直であり且つ前記トレースの第２端部のうちの最外の第２端部に交差する第２の線とにより画定されるエリア内に配置され、前記複数のトレースが各々、前記第１の線と前記第２の線との間の距離より短い長さを有する、アッセンブリ。

【請求項１６】

請求項１５に記載のアッセンブリであって、

前記複数のトレースが各々、前記第１の線と前記第２の線との間の前記距離の２分の１より短い長さを有する、アッセンブリ。

【請求項１７】

請求項１５に記載のアッセンブリであって、

前記ソルダレジスト層が、少なくとも前記第１の線まで、及び前記複数の平行のトレースの少なくとも最初のトレースから前記複数の平行のトレースの少なくとも最後のトレースまで延在する領域において前記第２の線まで延在する、アッセンブリ。

【請求項１８】

銅ピラー取り付け基板を形成する方法であって、

誘電体層を備えた基板を提供することと、

前記誘電体層上に複数の平行のトレースを形成することと、

前記複数の平行のトレースの上にソルダレジスト層を付けることと、

各トレースの中間部分を露出させる前記ソルダレジスト層における開口を形成することと、

前記トレースの各々の前記露出された中間部を、前記ソルダレジスト層の前記高さより高い高さまで延在する導電性材料で被覆することと、

を含む、方法。

【請求項１９】

請求項１８に記載の方法であって、

前記誘電体層上に前記複数の平行のトレースを形成することが、隣接するトレースの長さが重ならないように、平行のトレースの開始点及び終点を互い違いにすることを含む、方法。

【請求項２０】

請求項１８に記載の方法であって、

各トレースの中間部分を露出させる前記ソルダレジスト層において前記開口を形成することが、互い違いの開口を形成することを含む、方法。