

發明專利說明書²⁰⁰⁵³⁰⁶⁶⁴

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：93136951

※申請日期：93.11.30

※IPC 分類：

G02F 1/13

一、發明名稱：(中文/英文)

H01L29/186

半導體元件、半導體元件陣列基板及其製造方法

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日商東芝松下顯示技術股份有限公司

TOSHIBA MATSUSHITA DISPLAY TECHNOLOGY CO., LTD.

代表人：(中文/英文)

米澤 敏夫

YONEZAWA, TOSHIO

住居所或營業所地址：(中文/英文)

日本國東京都港區港南4丁目1番8號

1-8, KONAN 4-CHOME, MINATO-KU, TOKYO 108-0075, JAPAN

國 籍：(中文/英文)

日本 JAPAN

三、發明人：(共 1 人)

姓 名：(中文/英文)

川村 哲也

KAWAMURA, TETSUYA

國 籍：(中文/英文)

日本 JAPAN

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 日本；2003年12月15日；特願2003-416676

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種與半導體層間隔設置佈線層之半導體元件、具備該半導體元件之半導體元件陣列基板及該半導體元件陣列基板之製造方法。

【先前技術】

近年來，作為平面顯示裝置的液晶顯示裝置多數具備作為薄膜電晶體基板的半導體元件陣列基板。該半導體元件陣列基板具備絕緣性基板，在該基板上，按矩陣狀形成多個像素。該等多個像素具備1組色彩單位，例如紅(Red: R)、綠(Green: G)、藍(Blue: B)3個顯示點，在該等各個顯示點中，分別配置像素電極、蓄積電容及薄膜電晶體。

而且，在半導體元件陣列基板之基板上，例如疊層多晶矽膜成島狀。在包含該多晶矽膜的基板上，疊層閘極絕緣膜。另外，在介以該多晶矽膜的閘極絕緣膜上，疊層作為閘極電極佈線的掃描線。並且，在與該掃描線間隔的閘極絕緣膜上，疊層作為共用電容佈線的輔助電容線。

另外，在包含該等掃描線及輔助電容線的閘極絕緣膜上，疊層層間絕緣膜。在該層間絕緣膜上，疊層介以接觸孔而電性連接多晶矽膜、作為圖像信號佈線的信號線。

並且，在該半導體元件陣列基板的信號線側，相向配設對向基板，其具備設置於絕緣基板上、作為色層的彩色濾光片。另外，在該等半導體元件陣列基板和對向基板之間介置液晶後密封而成之液晶顯示裝置乃習知之構造(例如

參照專利文獻1)。

[專利文獻1]

日本專利特開2000-187248號公報(第4-6頁、圖1-圖3)

但是，在上述液晶顯示裝置中，為顯示大量資料，必須具備非常多的像素。尤其是在將該液晶顯示裝置用作為於個人電腦的代表畫面，且分別由3個顯示點構成RGB三色之情形時，必須在半導體元件陣列基板的基板上形成具備該等顯示點的數百萬個像素。

近年來，對液晶顯示裝置的顯示要求逐年提高，要求盡可能減少、甚至消除該液晶顯示裝置的像素不良所導致的點缺陷。可是，在製造現場中要製作良率高且完全沒有點缺陷的液晶裝置非常困難，故提供點缺陷少的構造或製造方法非常重要。

而產生液晶顯示裝置的像素的點缺陷的一大原因在於製作該液晶顯示裝置的半導體元件陣列基板時的靜電破壞。換言之，在半導體元件陣列基板的基板上，分別形成圖案化為薄膜電晶體的多晶矽膜、閘極絕緣膜、掃描線、輔助電容線及層間絕緣膜，在該層間絕緣膜及閘極絕緣膜上形成接觸孔的階段，即在層間絕緣膜上形成圖像信號佈線之前的狀態下，若洗淨該半導體元件陣列基板，則具有因靜電破壞而導致薄膜電晶體之特性異常的問題。

本發明鑒於上述問題作出，其目的在於提供一種可抑制靜電破壞、可提高良率的半導體元件、半導體元件陣列基板及半導體元件陣列基板的製造方法。

【發明內容】

本發明具有：半導體層；與該半導體層間隔設置的佈線層；及層間絕緣層，其係相對於該佈線層的前述半導體層之相反側，具有連通前述半導體層且開口的第1開口部及連通前述佈線層且開口的第2開口部。

而且，在與半導體層間隔設置的佈線層之相對於半導體層的相反側設置層間絕緣層，層間絕緣層具有連通半導體層且開口的第1開口部和連通佈線層且開口的第2開口部。結果，由於利用在設置該層間絕緣膜之後的工序中可能產生之靜電，使與介以第1開口部而蓄積於半導體層的電荷相同的電荷介以第2開口部蓄積到佈線層。因此抑制施加在該等半導體層和佈線層之間的電壓，因而抑制該半導體層的靜電破壞，所以良率提高。

[發明效果]

根據本發明，由於利用在設置層間絕緣層之後的工序中可能產生的靜電，使與介以第1開口部而蓄積於半導體層的電荷相同之電荷介以第2開口部亦蓄積到佈線層，所以可抑制施加在該等半導體層和佈線層之間的電壓，而可抑制該半導體層的靜電破壞，因而提高良率。

【實施方式】

下面，參照圖1至圖5來說明本發明之液晶顯示裝置的第1實施形態之構造。

在圖1至圖5中，1係作為平面顯示裝置的液晶顯示裝置1，該液晶顯示裝置1係頂閘極型的薄膜電晶體(Thin Film

Transistor：TFT)方式。而如圖5所示，該液晶顯示裝置1具備作為薄膜電晶體基板的大致矩形平板狀之半導體元件陣列基板2。該半導體元件陣列基板2具有玻璃基板3，其係略透明之矩形平板狀、作為絕緣性基板的透光性基板。另外，作為該玻璃基板3，例如使用#1737玻璃基板(康寧Corning公司製)等。

再者，如圖4所示，在作為該玻璃基板3之一主面即表面上之中央部，形成作為圖像顯示區域之畫面部4。而且，在該玻璃基板3上之畫面部4中，按矩陣狀設置多個像素5。該等像素5具備至少2色以上之1組色彩單位，例如紅(Red：R)、綠(Green：G)及藍(Blue：B)3個顯示點5a、5b、5c。各像素5係重複配置該等顯示點5a、5b、5c而構成。另外，在該等各顯示點5a、5b、5c中，分別配置各一個像素電極6、蓄積電容7及作為半導體元件之薄膜電晶體8。

再者，在玻璃基板3之表面上，沿該玻璃板3之寬度方向配設作為佈線層之掃描佈線即多條閘極電極佈線11。該等多條閘極電極佈線11由鉬(Mo)合金構成，朝向玻璃基板3之橫方向以相等間隔平行離間。再者，該等多條閘極電極佈線11電性連接於薄膜電晶體8。

另外，在各個該等多條閘極電極佈線11之間，沿玻璃基板3之橫方向配設作為輔助電容線之多條共用電容佈線12。該等多條共用電容佈線12朝向玻璃基板3之橫方向以相等間隔平行離間。再者，該等多條共用電容佈線12電性連接於蓄積電容7。另外，該等多條共用電容佈線12電性連接

於薄膜電晶體8。

再者，在玻璃基板3之表面上，沿該玻璃基板3之縱方向，配設作為信號佈線層之信號線即多條圖像信號佈線13。該等多條圖像信號佈線13由鋁(Al)和高熔點金屬之疊層膜構成，且朝向玻璃基板3之縱方向以相等間隔離間。

另外，在該玻璃基板3之周緣配設閘極驅動電路14，其係設置在沿該玻璃基板3的橫方向之一側緣、作為周邊驅動電路的細長矩形平板狀之Y驅動電路。該閘極驅動電路14沿玻璃基板3之縱方向設置，電性連接於該玻璃基板3上之各閘極電極佈線11之一端部。

另外，在沿該玻璃基板3的縱方向之一端部配設圖像信號電路15，其係作為周邊驅動電路之細長矩形平板狀的X驅動電路。該圖像信號電路15沿玻璃基板3之橫方向設置，電性連接於該玻璃基板3上之各圖像信號佈線13之一端部。再者，將前述之共用電容佈線12各自電性連接於統一作為周邊驅動電路之驅動電路16。

另外，如圖5所示，在該玻璃基板3之表面，疊層形成由氮化矽膜或氧化矽膜等構成之未圖示之底層。在該底層上，作為1像素之構成要素，配設薄膜電晶體8作為開關裝置元件之像素電晶體。而該等薄膜電晶體8具備多晶矽半導體層21，其係作為形成於底層上之半導體層的多晶半導體層。

該多晶矽半導體層21係透過作為準分子雷射結晶化之退火將作為非晶質半導體之非晶矽(a-Si)製成多晶矽(p-Si)薄

膜。另外，該多晶矽半導體層21係薄膜電晶體8用之半導體層圖案，具有作為設置在該多晶矽半導體層21中央部之活性層之溝道區域22。在該溝道區域22之兩側，分別設置源極區域23及汲極區域24。

而且，在包含各薄膜電晶體8之各溝道區域22、源極區域23及汲極區域24之底層上，疊層形成閘極絕緣膜31，作為具有絕緣性之佈線絕緣層之氧化矽膜。該閘極絕緣膜31由透過電漿化學氣相沉積(Chemical Vapor Deposition: CVD)法形成之、膜厚150 nm之氧化矽膜構成。另外，該閘極絕緣膜31配置在多晶矽半導體層21上。

再者，在與各薄膜電晶體8之溝道區域22相向之閘極絕緣膜31上，疊層形成一對細長矩形狀之閘極電極32。閘極電極32係朝向溝道區域22之長度方向間隔配設。另外，該等閘極電極32分別介以閘極絕緣膜31與各薄膜電晶體8之溝道區域22相向。而且，如圖1所示，該等閘極電極32係一體連接於閘極電極佈線11之一側緣，構成該閘極電極佈線11之一部分。換言之，該等閘極電極32係形成為從各閘極電極佈線11之一側緣垂直突出之細長矩形平板狀。

此處，該等各閘極電極佈線11分別介以閘極絕緣膜31，即夾持該閘極絕緣膜31而重疊在多晶矽半導體層21上。再者，該等各閘極電極佈線11係設在閘極絕緣膜31上。換言之，該等各閘極電極佈線11係介以閘極絕緣膜31，與各薄膜電晶體8之多晶矽半導體層21間隔設置。

如圖5所示，在閘極絕緣膜31上形成共用電容佈線12，汲

極電極39具有介以層間絕緣膜33與共用電容佈線12相向之延伸部。由此，用共用電容佈線12及汲極電極39之延伸部夾持層間絕緣膜33形成蓄積電容7。該共用電容佈線12對薄膜電晶體8之閘極電極32電性絕緣。此處，該等共用電容佈線12與閘極電極佈線11在同一之工序中使用同一材料形成。

而且，在分別包含該共用電容佈線12、閘極電極32及閘極電極佈線11之閘極絕緣膜31上，疊層形成作為層間絕緣層之層間絕緣膜33。該層間絕緣膜33由利用電漿CVD法成膜之、膜厚350 nm之氮化矽和膜厚450 nm之氧化矽之疊層膜構成。此處，該層間絕緣膜33係設在相對於閘極電極佈線11之多晶矽半導體層21之相反側。再者，該層間絕緣膜33設置在閘極電極佈線11之一主面上。

另外，如圖1、圖3及圖5所示，在該等層間絕緣膜33及閘極絕緣膜31上，開口設置多個接觸孔34、35，作為分別貫通該等層間絕緣膜33及閘極絕緣膜31之第1開口部的導通部。此處，該等接觸孔34、35設置在位於薄膜電晶體8之閘極電極32兩側的、該薄膜電晶體8之源極區域23及汲極區域24上。再者，接觸孔34連通薄膜電晶體8之源極區域23且開口。另外，接觸孔35連通薄膜電晶體8之汲極區域24且開口。

再者，如圖1及圖2所示，在層間絕緣膜33上形成多個虛設孔36，作為連通閘極電極佈線11且開口之第2開口部之接觸孔。該等虛設孔36分別設置於半導體元件陣列基板2之玻璃基板3上的畫面部4之每個顯示點5a、5b、5c中。換言之，

在1個顯示點5a、5b、5c中各設置1個該等虛設孔36。並且，該等虛設孔36由在層間絕緣膜33上形成之開口圖案構成。

換言之，該虛設孔36係介以層間絕緣膜33使閘極電極佈線11之一部分露出，放出蓄積在該閘極電極佈線11中之電荷，使蓄積在薄膜電晶體8之多晶矽半導體層21中之電荷流向閘極電極佈線11，以抑制施加於位於該等多晶矽半導體層21和閘極電極佈線11之間的閘極絕緣膜31之電壓，而減少薄膜電晶體之靜電破壞。

並且，在分別形成該等虛設孔36及接觸孔34、35而覆蓋圖像信號佈線13用的佈線材料之前的狀態下，例如在用蝕刻液或電解水等洗淨層間絕緣膜33表面側之洗淨工序之後，藉由以圖像信號佈線13用之佈線材料形成之圖案所構成的作為導電層之覆蓋層37分別覆蓋該等虛設孔36。換言之，該覆蓋層37設置於層間絕緣膜33上，填充在各虛設孔36中，而覆蓋住該等各虛設孔36中露出之閘極電極佈線11。並且，該覆蓋層37與圖像信號佈線13在同一工序中使用同一材料形成。

此處，在各閘極電極佈線11中之各虛設孔36各自連通之部分，分別設置使該閘極電極佈線11之一部分朝寬度方向拓寬為矩形狀拓寬部之拓寬佈線部38。換言之，該等拓寬佈線部38構成為在此拓寬佈線部38之中央部連通虛設孔36。並且，在各像素5之每個顯示點5a、5b、5c中設置該等拓寬佈線部38，其係設置在該各閘極電極佈線11上一體形成之閘極電極32之間。

換言之，該等拓寬佈線部38係設在設有該等拓寬佈線部38之顯示點5a、5b、5c中的薄膜電晶體8之汲極區域24、及沿設有該等拓寬佈線部38之閘極電極佈線11之長度方向鄰接之顯示點5a、5b、5c中的薄膜電晶體8之源極區域23之間的大致中間部。另外，該等拓寬佈線部38係在與各閘極電極32從各閘極電極佈線11突出之方向相反之側，即朝向沿該閘極電極佈線11之寬度方向之一側垂直突出。

並且，在包含連通薄膜電晶體8之源極區域23之接觸孔34之層間絕緣膜33上，疊層設置作為該薄膜電晶體8之源極電極發揮作用之圖像信號佈線13。該圖像信號佈線13介以接觸孔34電性連接並導通薄膜電晶體8之源極區域23。

另外，在包含連通該薄膜電晶體8之汲極區域24之接觸孔35之層間絕緣膜33上，疊層設置作為信號線之汲極電極39。該汲極電極39係與蓄積電容7之共用電容佈線12相向，在與介以層間絕緣膜33之共用電容佈線12之間蓄積輔助電容。另外，該汲極電極39介以接觸孔35而電性連接並導通薄膜電晶體8之汲極區域24。並且，該汲極電極39和圖像信號佈線13在同一工序中用同一材料形成。

此處，藉由該等圖像信號佈線13、汲極電極39、多晶矽半導體層21、閘極電極佈線11、閘極絕緣膜31及層間絕緣膜33構成各薄膜電晶體8。由此，在玻璃基板3之畫面部4上形成該等各薄膜電晶體8，作為矩形狀之半導體層圖案。

另一方面，在包含該等圖像信號佈線13及汲極電極39之層間絕緣膜33上，疊層形成作為保護膜之平坦化膜41。在

該平坦化膜41上，開口設置貫通該平坦化膜41之作為導通部之接觸孔42。該接觸孔42係連通薄膜電晶體8之汲極電極39並開口。

而在包含該接觸孔42之平坦化膜41上，疊層形成ITO薄膜之像素電極6。該像素電極6介以接觸孔42電性連接並導通汲極電極39。此處，該像素電極6由任一個薄膜電晶體8控制。再者，在包含該像素電極6之平坦化膜41上疊層形成配向膜43。

另一方面，在半導體元件陣列基板2之表面上，相向配設矩形平板狀之對向基板51。該對向基板51具備玻璃基板52，其係作為略透明之矩形平板狀絕緣基板之透光性基板。在該玻璃基板52中與半導體元件陣列基板2相向側之一主面即表面上，疊層作為色層之多個彩色濾光片53，其係重複配置至少2色以上之1組色彩單位，例如紅(Red：R)、綠(Green：G)及藍(Blue：B)3個點而構成。該等彩色濾光片53在使對向基板51與半導體元件陣列基板2相向時，係對應該半導體元件陣列基板2之各像素5之顯示點5a、5b、5c而與該半導體元件陣列基板2相向設置。

另外，在該等彩色濾光片53之表面上，疊層設置矩形平板狀之對向電極54。該對向電極54係在使對向基板51之表面與半導體元件陣列基板2之表面相向時、遍及該半導體元件陣列基板2之玻璃基板3的整個畫面部4而相向之矩形狀大電極。並且，在該對向電極54上疊層形成配向膜55。

而該對向基板51在使該對向基板51之配向膜55與半導體

元件陣列基板2之配向膜43相向之狀態下，在該對向基板51上安裝半導體元件陣列基板2。換言之，該半導體元件陣列基板2之像素電極6係與對向基板51之對向電極54相向配設。再者，在該等對向基板51之配向膜55與半導體元件陣列基板2之配向膜43之間，夾插入液晶56後密封，作為光調變層之液晶層。

下面，說明上述第1實施形態之半導體元件陣列基板之製造方法。

首先，在玻璃基板3上疊層底層之後，在該底層上透過電漿CVD法形成未圖示之非晶矽膜。

之後，對該非晶矽膜照射準分子雷射光束後進行雷射退火，使該非晶矽膜進行準分子雷射結晶化而成為多晶矽薄膜。

接著，在摻雜該多晶矽薄膜之後透過微影工序形成為島狀，而如圖1所示，形成多晶矽半導體層21圖案。

並且，透過電漿CVD法，在包含各島狀之多晶矽半導體層21圖案之底層上，成膜膜厚150 nm之氧化矽膜，形成閘極絕緣膜31。

接著，在該閘極絕緣膜31上，在形成由鉬(Mo)合金構成之未圖示之導電層之後，蝕刻該導電層，而分別形成構成各薄膜電晶體8之閘極電極32之閘極電極佈線11及共用電容佈線12。

在該狀態下，將閘極電極32作為掩膜，分別摻雜構成多晶矽半導體層21中之薄膜電晶體8之源極區域23及汲極區

域24之部分，成為P型或N型。

之後，在包含各薄膜電晶體8之閘極電極佈線11及蓄積電容7之共用電容佈線12之閘極絕緣膜31上，透過電漿CVD法形成膜厚350 nm之氮化矽和膜厚450 nm之氧化矽之疊層膜，而形成層間絕緣膜33。

接著，如圖3所示，透過微影工序，分別貫通層間絕緣膜33及閘極絕緣膜31，形成分別連通各薄膜電晶體8之源極區域23及汲極區域24之接觸孔34、35。

再者，如圖2所示，透過微影工序，貫通層間絕緣膜33，在各像素5之每個顯示點5a、5b、5c上形成分別連通於各閘極電極佈線11之各拓寬佈線部38之虛設孔36。

在該狀態下，作為洗淨工序，例如用蝕刻液或發泡二氧化碳(CO₂)之純水即電解水等流體，洗淨半導體元件陣列基板2中之層間絕緣膜33之表面側。另外，作為該洗淨工序，也可蝕刻後洗淨半導體元件陣列基板2中之層間絕緣膜33之表面側。

接著，在分別包含虛設孔36及接觸孔34、35之層間絕緣膜33上，在形成鋁(Al)和高熔點金屬之疊層膜(疊層結構未圖示)而形成導電層之後，透過微影工序蝕刻該導電層，並藉由同一工序、使用同一材料分別形成覆蓋各虛設孔36之覆蓋層37、作為各薄膜電晶體8之源極電極發揮作用之圖像信號佈線13、和汲極電極39。

再者，在包含該等圖像信號佈線13及汲極電極39之層間絕緣膜33之面上全面形成平坦化膜41。

接著，透過微影工序蝕刻該平坦化膜41，在該平坦化膜41上形成導通汲極電極39之接觸孔42。

之後，在包含該接觸孔42之平坦化膜41上濺射透明導電膜而形成像素電極6後，進行微影工序及蝕刻工序，將該像素電極6予以圖案化。

接著，在包含該各像素電極6之平坦化膜41上形成配向膜43、製造半導體元件陣列基板2之後，在該半導體元件陣列基板2之玻璃基板3上的畫面部4周緣，形成閘極驅動電路14、圖像信號電路15及驅動電路16。

之後，在使對向基板51之配向膜55與半導體元件陣列基板2的配向膜43側相向、而在對向基板51上安裝該半導體陣列基板2之後，於該等半導體元件陣列基板2和對向基板51之間介置液晶56後進行密封。

再者，在該等半導體元件陣列基板2及對向基板51中，組裝未圖示之系統電路或偏光板、背光等各種構件，而製作成液晶顯示裝置1。

如上所述，根據上述第1實施形態，係在玻璃基板3上疊層層間絕緣膜33而形成接觸孔34、35之狀態，即在該層間絕緣膜33上被覆圖像信號佈線13用之佈線材料之前的狀態下，用蝕刻液或電解水等流體洗淨該玻璃基板3之層間絕緣膜33側之情形時，即使在除電處理後使用該等流體，搭載於該等流體中之電荷或因該等流體與層間絕緣膜33等之間的摩擦接觸等而產生之電荷仍會從各接觸孔34、35蓄積到薄膜電晶體8之多晶矽半導體層21上。

而蓄積在該多晶矽半導體層21上之電荷，會使該多晶矽半導體層21與閘極電極佈線11之閘極電極32之間產生電壓差，而有可能因該電壓差導致位於多晶矽半導體層21和閘極電極32之間之閘極絕緣膜31遭靜電破壞。

因此，本發明在用蝕刻液或電解水等流體洗淨形成有層間絕緣膜33及接觸孔34、35之玻璃基板3的層間絕緣膜33側之前，係在各像素5之每個顯示點5a、5b、5c上形成貫通層間絕緣膜33而連通閘極電極佈線11之拓寬佈線部38之虛設孔36。

結果，在形成該等虛設孔36之狀態下，在用蝕刻液或電解水等流體洗淨玻璃基板3之層間絕緣膜33側時，與蓄積在各薄膜電晶體8之多晶矽半導體層21上的電荷同樣之電荷，從各虛設孔36流入而蓄積於閘極電極佈線11，使該等閘極電極佈線11與多晶矽半導體層21變成大致相等之電位。

由此，可抑制該多晶矽半導體層21和閘極電極佈線11之間之電壓差之產生，所以可抑制施加於位在該等多晶矽半導體層21和閘極電極32之間之閘極絕緣膜31之電壓。因此，由於可抑制該閘極絕緣膜31之靜電破壞，所以可防止具備該閘極絕緣膜31之各薄膜電晶體8之特性異常。

因此，在作為產品所需之半導體元件陣列基板2上之各像素5的顯示點5a、5b、5c上形成之薄膜電晶體8受虛設孔36保護之機率變高。由此，在形成層間絕緣膜33之後，可無需增加在半導體元件基板2之畫面部4之閘極電極佈線11上

之夾層絕緣膜33上形成虛擬孔36之工序而藉由簡單結構，減少覆蓋圖像信號佈線13用的佈線材料前之洗淨工序中產生之靜電導致在半導體元件陣列基板2之各像素5的顯示點5a、5b、5c中產生之點缺陷，即電晶體損壞。

因此，可大幅度地提高具備該半導體元件陣列基板2之液晶顯示裝置1之製造良率。此處，對於在各像素5之各個顯示點5a、5b、5c上形成使用多晶矽半導體層21之薄膜電晶體8之液晶顯示裝置1、及畫面尺寸大且閘極電極佈線11長之液晶顯示裝置1等尤其有效。

再者，由於是在以由圖像信號佈線13用的佈線材料構成之覆蓋層37覆蓋各虛設孔36之後，在包含該等覆蓋層37及圖像信號佈線13之層間絕緣膜33上疊層平坦化膜41，所以不會因為形成該等各虛設孔36而導致各薄膜電晶體8產生作動失靈或損傷等。

另外，在上述第1實施形態中，係在半導體元件陣列基板2之各像素5之每個顯示點5a、5b、5c中分別形成虛設孔36，但亦可如圖6所示之第2實施形態，在具備1組色彩單位即RGB各顯示點5a、5b、5c之各像素5中每個B(藍)顯示點5c之區域中，分別形成拓寬佈線部38及虛設孔36之開口圖案，而將該等各像素5作為1個單位來使用。此情形時，對1個像素5分別設置各1個該等拓寬佈線部38及虛設孔36。

另外，如圖1及圖6所示，虛設孔36係以每個RGB顯示點5a、5b、5c或每個B顯示點5c中設置1個之比例來配置，但也可不必對各顯示點5a、5b、5c各設置1個虛設孔36，所以

也可在各顯示點5a、5b、5c中配置多個該等虛設孔36。

換言之，也可在1個顯示點5a、5b、5c中形成2個以上之虛設孔36，更且，也可在1個像素5中設置2個以上之虛設孔36。

再者，在上述各實施形態中，說明了在半導體元件基板2和對向基板51之間密封液晶56作為光調變層之液晶顯示裝置1，但亦可適用於例如以光調變層代替液晶材料作為有機發光材料之電致發光(ElectroLuminescence: EL)材料之有機自發光型顯示裝置，即電致發光顯示裝置等平面顯示裝置。

另外，在上述各實施形態中係在半導體元件陣列基板2之玻璃基板3之畫面部4周緣，形成閘極驅動電路14、圖像信號電路15及驅動電路16等周邊驅動電路，但也可獨立於半導體元件陣列基板2而個別形成該等閘極驅動電路14、圖像信號電路15及驅動電路16等周邊驅動電路後，使其連接於該半導體元件陣列基板2上。

【圖式簡單說明】

圖1係表示本發明之半導體元件陣列基板的第1實施形態之說明平面圖。

圖2係在形成圖1中之層間絕緣層為止的狀態下之a-a截面圖。

圖3係在形成圖1中之層間絕緣層為止的狀態下之b-b截面圖。

圖4係表示具備同上半導體元件陣列基板之平面顯示裝置的說明電路圖。

圖5係表示同上半導體元件陣列基板之截面圖。

圖6係表示本發明之第2實施形態的半導體元件陣列基板之說明平面圖。

【主要元件符號說明】

1	液晶顯示裝置
2	半導體元件陣列基板
3	作為透光性基板的玻璃基板
4	畫面部
5	像素
6	像素電極
7	蓄積電容
5a, 5b, 5c	顯示點
8	作為半導體元件的薄膜電晶體
11	作為佈線層的閘極電極佈線
12	共用電容佈線
13	作為信號佈線層的圖像信號佈線
14	閘極驅動電路
15	圖像信號電路
16	驅動電路
21	作為半導體層的多晶矽半導體層
22	溝道區域
23	源極區域
24, 39	汲極區域
31	作為佈線絕緣層的閘極絕緣膜

32	閘極電極
33	作為層間絕緣層的層間絕緣膜
34, 35	作為第1開口部的接觸孔
36	作為第2開口部的虛設孔
37	覆蓋層
38	拓寬佈線
41	平坦化膜
42	接觸孔
43, 55	配向膜
51	對向基板
52	玻璃基板
53	彩色濾光板
54	對向電極
56	液晶

五、中文發明摘要：

本發明提供一種可抑制靜電破壞、可提高良率之半導體元件陣列基板。其解決方法係在洗淨玻璃基板3之層間絕緣膜側之前，介以層間絕緣膜，在各像素5之每個顯示點5a、5b、5c中形成連通閘極電極佈線11且開口之虛設孔36。在洗淨玻璃基板3之層間絕緣膜側時，使與蓄積在薄膜電晶體8之多晶矽半導體層21之電荷相同之電荷介以虛設孔36而蓄積於閘極電極佈線11，使閘極電極佈線11與多晶矽半導體層21成為大致相等之電位，可抑制多晶矽半導體層21與閘極電極佈線11之間的電壓差之產生。

六、英文發明摘要：

十、申請專利範圍：

1. 一種半導體元件，其特徵在於包括：

半導體層；

與該半導體層相隔設置之佈線層；及

層間絕緣層，其係設在相對於該佈線層之前述半導體層之相反側，包含連通前述半導體層且開口之第1開口部及連通前述佈線層且開口之第2開口部。

2. 一種半導體元件陣列基板，其特徵在於包括：

請求項1之半導體元件；及

在一主面上設有該半導體元件之半導體層之透光性基板；

其構成薄膜電晶體，該薄膜電晶體包含前述半導體層，及介以佈線絕緣層而設在該半導體層之一主面上之前述半導體元件之佈線層；

前述半導體元件之層間絕緣層係設在前述薄膜電晶體之佈線層之一主面上。

3. 如請求項2之半導體元件陣列基板，其中

透光性基板包含分別設有薄膜電晶體之多個顯示點；

第2開口部係設在備有前述多個顯示點之顯示部。

4. 如請求項2之半導體元件陣列基板，其中

透光性基板包含分別設有薄膜電晶體之多個顯示點；

第2開口部係就每1個前述顯示點設置。

5. 如請求項2之半導體元件陣列基板，其中

透光性基板包括多個像素，該等像素分別設有薄膜電

晶體，且包含至少2個以上的色彩單位之顯示點；

第2開口部係設在前述像素單位中。

6. 如請求項2至5中任一項之半導體元件陣列基板，其中包括覆蓋層，其係設在層間絕緣層之一主面上，覆蓋設在該層間絕緣層之第2開口部。

7. 如請求項6之半導體元件陣列基板，其中包括信號佈線層，其係設在層間絕緣層之一主面上，電性連接於各薄膜電晶體之半導體層；

覆蓋層係與前述信號佈線層以同一工序形成。

8. 一種半導體元件陣列基板之製造方法，其特徵係在透光性基板之一主面上設置半導體層，在該半導體層之一主面上介以佈線絕緣層而設置佈線層，在該佈線層之一主面上設置層間絕緣層者，

其係於該半導體元件陣列基板之前述層間絕緣層及前述佈線絕緣層上分別形成連通前述半導體層且開口之第1開口部，並在前述半導體元件陣列基板之層間絕緣層上形成連通前述佈線層且開口之第2開口部之後，洗淨前述半導體元件陣列基板之層間絕緣層側。

十一、圖式：

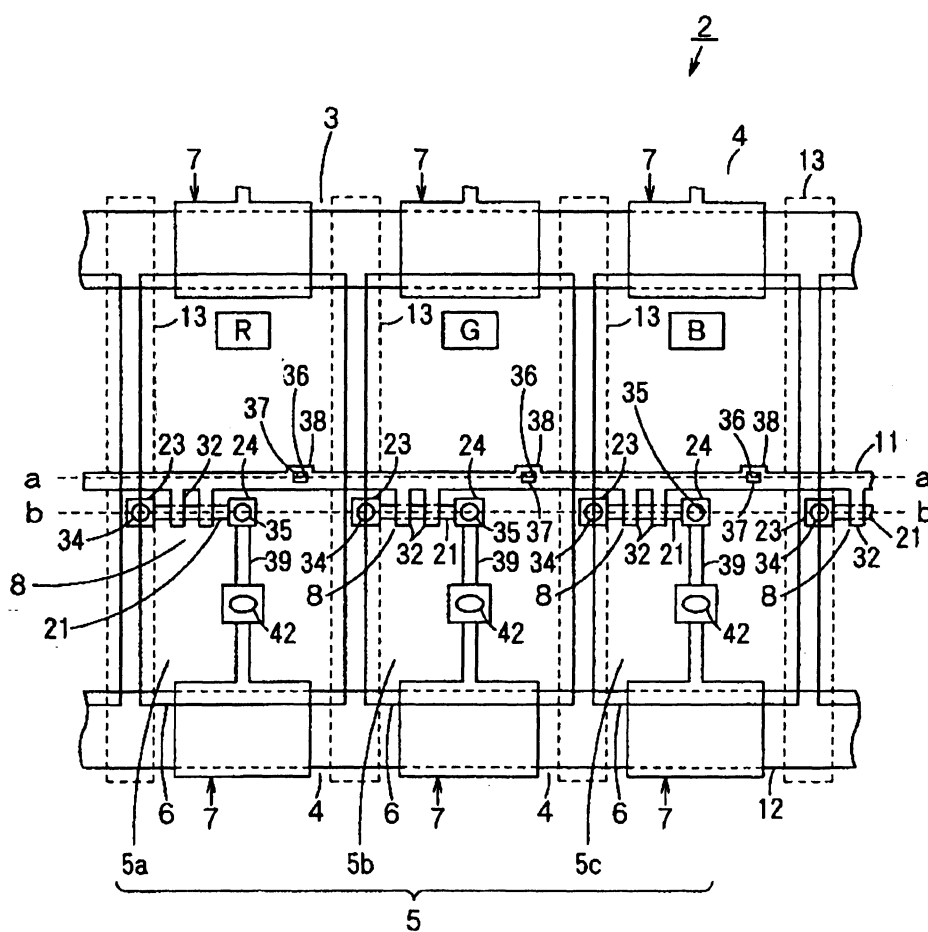


圖 1

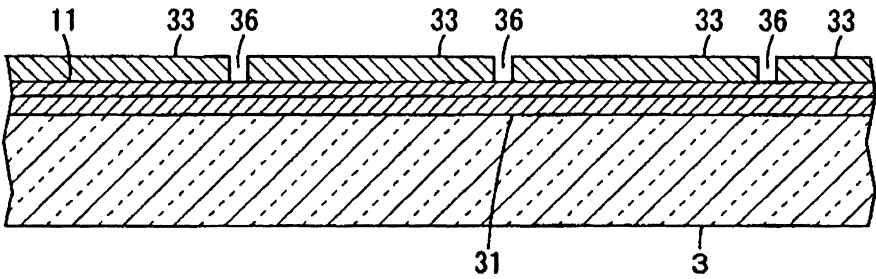


圖 2

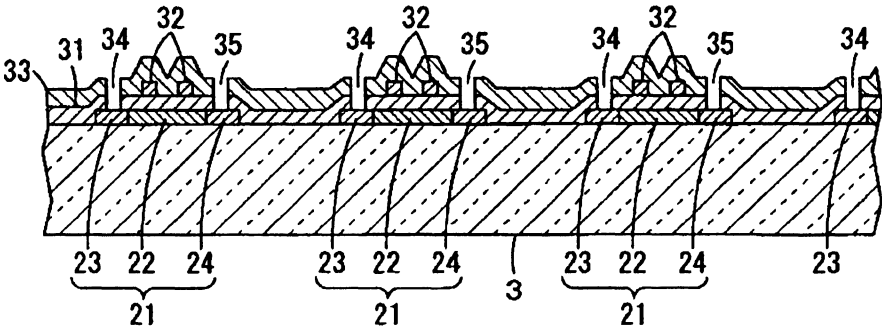


圖 3

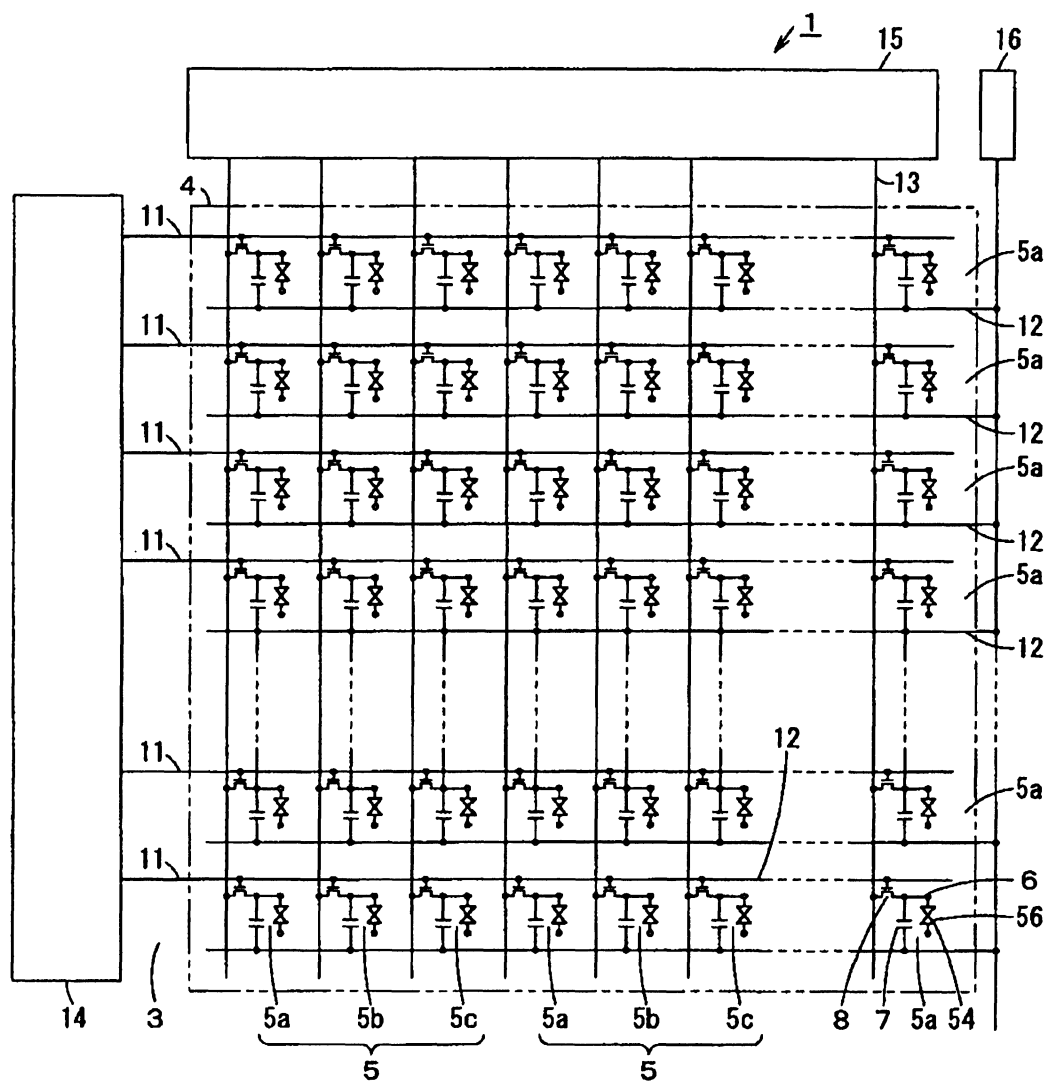


圖 4

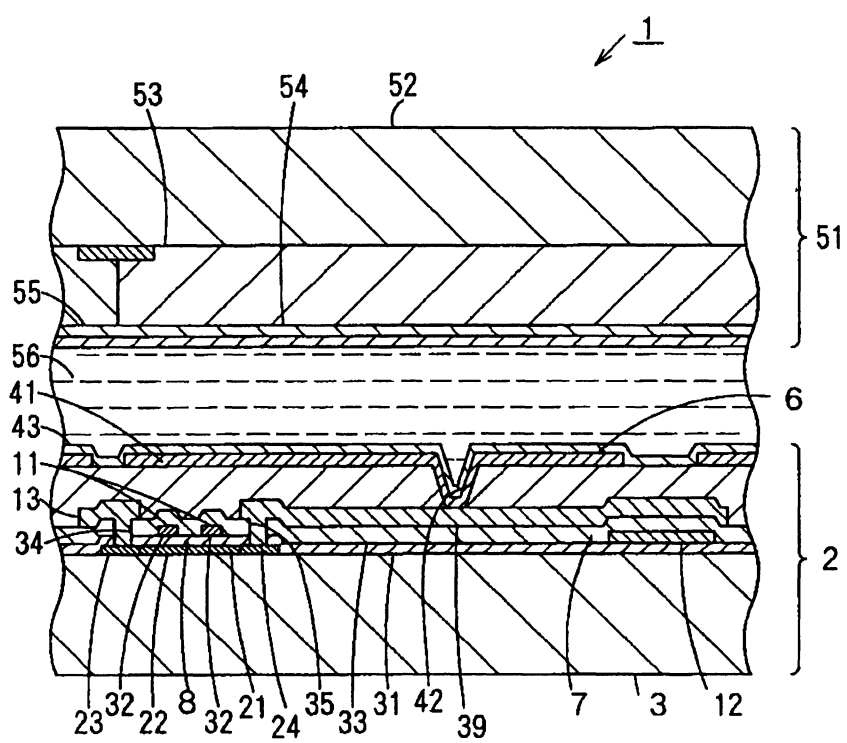


圖 5

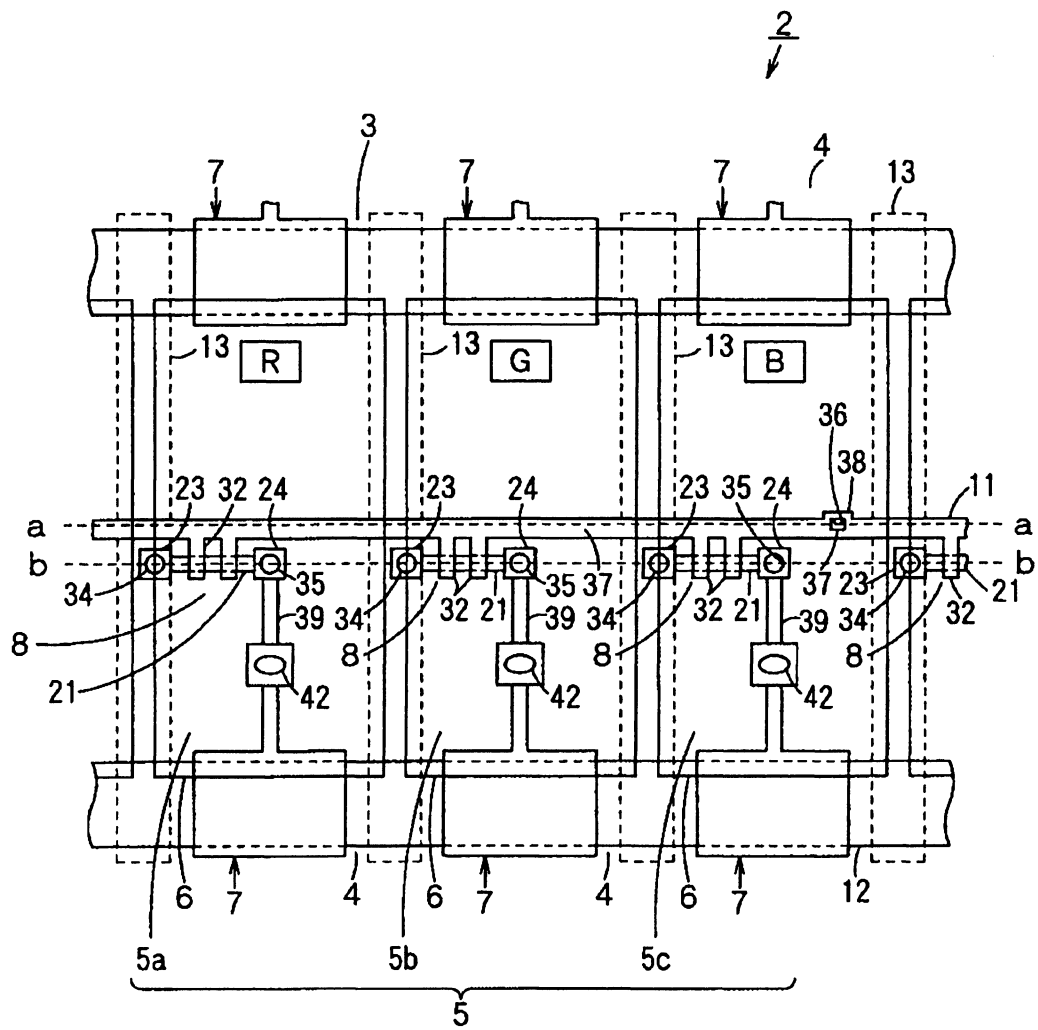


圖 6

七、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

2	陣列基板
3	透光基板
4	畫面部
5	像素
5a, 5b, 5c	顯示點
6	像素電極
7	蓄積電容
8	作為半導體元件之薄膜電晶體
11	佈線層
12	共用電容佈線
13	信號佈線層
21	作為半導體層的多晶矽半導體層
23	源極區域
24	汲極區域
32	閘極電極
34, 35	第1開口部
36	第2開口部
37	覆蓋層
38	拓寬佈線部
39	汲極區域
42	接觸孔

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)