

(21)申請案號：100129513

(22)申請日：中華民國 100 (2011) 年 08 月 18 日

(51)Int. Cl. : **H01L21/768 (2006.01)**

H01L23/52 (2006.01)

(30)優先權：2010/09/03 美國

12/875,981

(71)申請人：史達晶片有限公司 (新加坡) STATS CHIPPAC, LTD. (SG)

新加坡

(72)發明人：派蓋菴 瑞莎 A PAGAILA, REZA A. (ID) ; 鄒勝原 CHOW, SENG GUAN (MY) ;

尹勝煜 YOON, SEUNG UK (KR)

(74)代理人：閻啟泰；林景郁

申請實體審查：無 申請專利範圍項數：25 項 圖式數：13 共 58 頁

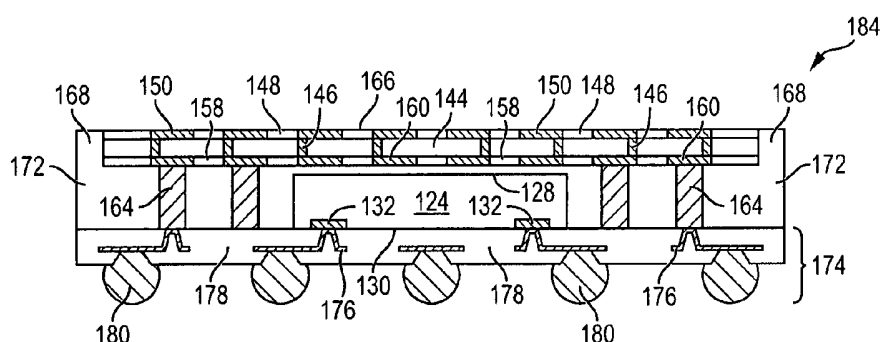
(54)名稱

半導體裝置和在半導體晶粒上形成中介物框架以提供垂直互連之方法

SEMICONDUCTOR DEVICE AND METHOD OF FORMING INTERPOSER FRAME OVER SEMICONDUCTOR DIE TO PROVIDE VERTICAL INTERCONNECT

(57)摘要

一種半導體裝置具有安裝於一載體上之第一半導體晶粒。在一中介物框架中具有一開口且複數個導電柱形成於該中介物框架上。該中介物係安裝在該載體及具有該些導電柱環繞第一晶粒放置之該晶粒上。一凹洞可被形成於該中介物框架內以容納一部分第一晶粒。一密封劑係透過該中介物框架中之開口來沉積於該載體及第一晶粒上。或者是，該密封劑被沉積於該載體及第一晶粒上，並將該中介物框架壓向該密封劑。多餘密封劑透過該中介物框架內之開口釋出。該載體被移除。一內連線結構係形成於該密封劑及第一晶粒上。一第二半導體晶粒可被安裝於該第一晶粒或該中介物框架上。



124：半導體晶粒

128：背面

130：作用表面

132：導電層

144：半導體晶圓或基板

146：z 方向垂直互連導電通孔

148：絕緣或保護層

150：導電層或重分佈層

158：絕緣或保護層

160：導電層或重分佈層

164：z 方向垂直互連
導電柱

166：預先形成中介物
框架

168：開口

172：密封劑或密封化
合物

174：增層式內連線結
構

176：導電層或重分佈
層

178：絕緣或保護層

180：圓球或凸塊

184：扇出型晶圓級晶
片尺寸封裝

(21)申請案號：100129513

(22)申請日：中華民國 100 (2011) 年 08 月 18 日

(51)Int. Cl. : **H01L21/768 (2006.01)**

H01L23/52 (2006.01)

(30)優先權：2010/09/03 美國

12/875,981

(71)申請人：史達晶片有限公司 (新加坡) STATS CHIPPAC, LTD. (SG)

新加坡

(72)發明人：派蓋菴 瑞莎 A PAGAILA, REZA A. (ID) ; 鄒勝原 CHOW, SENG GUAN (MY) ;

尹勝煜 YOON, SEUNG UK (KR)

(74)代理人：閻啟泰；林景郁

申請實體審查：無 申請專利範圍項數：25 項 圖式數：13 共 58 頁

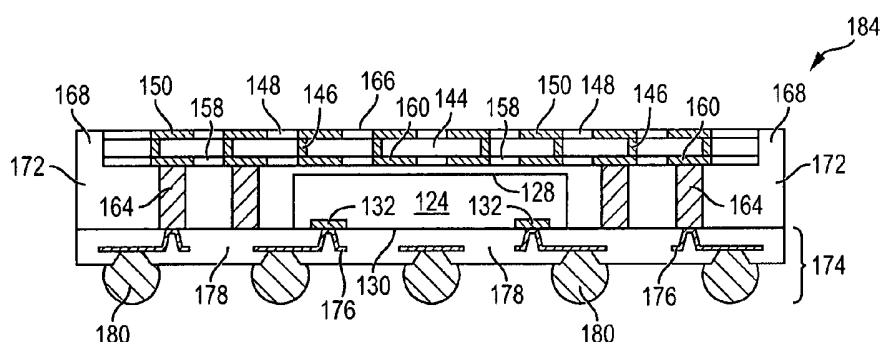
(54)名稱

半導體裝置和在半導體晶粒上形成中介物框架以提供垂直互連之方法

SEMICONDUCTOR DEVICE AND METHOD OF FORMING INTERPOSER FRAME OVER SEMICONDUCTOR DIE TO PROVIDE VERTICAL INTERCONNECT

(57)摘要

一種半導體裝置具有安裝於一載體上之第一半導體晶粒。在一中介物框架中具有一開口且複數個導電柱形成於該中介物框架上。該中介物係安裝在該載體及具有該些導電柱環繞第一晶粒放置之該晶粒上。一凹洞可被形成於該中介物框架內以容納一部分第一晶粒。一密封劑係透過該中介物框架中之開口來沉積於該載體及第一晶粒上。或者是，該密封劑被沉積於該載體及第一晶粒上，並將該中介物框架壓向該密封劑。多餘密封劑透過該中介物框架內之開口釋出。該載體被移除。一內連線結構係形成於該密封劑及第一晶粒上。一第二半導體晶粒可被安裝於該第一晶粒或該中介物框架上。



124：半導體晶粒

128：背面

130：作用表面

132：導電層

144：半導體晶圓或基板

146：z 方向垂直互連導電通孔

148：絕緣或保護層

150：導電層或重分佈層

158：絕緣或保護層

160：導電層或重分佈層

六、發明說明：

【發明所屬之技術領域】

本發明大體上關於半導體裝置，且更特別地，關於一種半導體裝置和在半導體晶粒上形成中介物框架以提供垂直互連之方法。

【先前技術】

半導體裝置通常係見於現代電子產品中。半導體裝置隨著電性元件之數量和密度而變。分立式半導體裝置大體上包含一種電性元件類型，例如，發光二極體(LED)、小訊號電晶體、電阻器、電容器、電感器或功率金屬氧化物半導體場效電晶體(MOSFET)。整合式半導體裝置典型地包含成千上萬的電性元件。整合式半導體裝置之範例包含微控制器、微處理器、電荷耦合裝置(CCD)、太陽電池和數位微型反射鏡裝置(DMD)。

半導體裝置執行例如訊號處理、高速計算、收發電磁波訊號、控制電子裝置、轉換太陽光成為電力和產生電視顯示器之視覺投影之廣大範圍功能。半導體裝置係見於娛樂、通訊、電力轉換、網路、電腦和消費性產品領域中。半導體裝置也見於軍事應用、航空、汽車、工業控制和辦公室設備中。

半導體裝置利用半導體材料的電性特性。半導體材料之原子結構允許它的導電性受到施加電場或基極電流或透過摻雜製程來操縱。摻雜製程將雜質引入該半導體材料中

以操縱並控制該半導體裝置之導電性。

一半導體裝置包含主動和被動電性結構。包含二極體和場效電晶體之主動結構控制電流之流動。藉由改變摻雜位準並施加一電場或基極電流，該電晶體不是增進就是壓制該電流流動。包含電阻器、電容器及電感器之被動結構建立執行各式各樣電性功能所需之電壓及電流間之關係。該些主動及被動結構係電性連接以形成致能該半導體裝置來執行高速計算及格其它有用功能之電路。

半導體裝置大體上係使用例如前段製程及後段製程之二複雜製程來製造，每一個製程涉及成千上萬的步驟。前段製程涉及在一半導體晶圓表面上形成複數個晶粒。每一個晶粒典型地係一模一樣且包含由電性連接主動及被動元件所形成之電路。後段製程涉及將來自已完成晶圓中之個別晶粒進行單粒化並封裝該晶粒以提供結構支撐及環境隔離。

半導體製程之一目標係製造更小的半導體裝置。較小的裝置典型地耗用較少電力，具有較高執行效率且可更有效率地被製造。此外，較小的半導體裝置具有較小佔用空間，其可期待提供更小終端產品。一較小晶粒尺寸可藉由改善該前段製程而產生具有較小且較高密度之主動和被動元件之晶粒而得。後段製程可藉由改善電性互連和封裝材料來產生具有較小佔用空間之半導體裝置封裝。

在一傳統扇出型晶圓級晶片尺寸封裝(Fo-WLCSP)中，一半導體晶粒典型地係由一密封劑所密封。一頂部和底部

增層式內連線結構係形成於該密封劑相對表面上。一重分佈層(RDL)和絕緣層係共同形成於該頂部和底部增層式內連線結構之內。此外，一導電柱典型地係透過用於該頂部和底部內連線結構間之 z 方向垂直電性互連之密封劑來形成之。已知該導電柱和重分佈層之形成係使用涉及微影成像、蝕刻和金屬沉積之複雜、昂貴且耗時製程。

【發明內容】

現存有提供用於扇出型晶圓級晶片尺寸封裝之 z 方向垂直電性互連並同時減少導電柱和重分佈層形成以具有較低製造成本之需求。據此，在一實施例中，本發明係一種半導體裝置之製造方法，包括之步驟為提供一載體、在該載體上安裝一第一半導體晶粒、提供一中介物框架，在該中介物框架中具有一開口且複數個導電柱形成於該中介物框架上、將該中介物安裝於該載體和具有環繞第一半導體晶粒放置之導電柱之第一半導體晶粒上、透過該中介物框架中之開口將一密封劑沉積於該載體和第一半導體晶粒上、移除該載體、以及在該密封劑和第一半導體晶粒上形成一內連線結構。

在另一實施例中，本發明係一種半導體裝置之製造方法，包括之步驟為提供一載體、在該載體上安裝一第一半導體晶粒、在該載體和第一半導體晶粒上沉積一密封劑、提供一中介物框架，在該中介物框架中具有一開口且複數個導電柱形成於該中介物框架上、藉由將該中介物框架壓

向該密封劑來安裝該中介物於該載體和第一半導體晶粒上、移除該載體、以及在該密封劑和第一半導體晶粒上形成一內連線結構。

在另一實施例中，本發明係一種半導體裝置之製造方法，包括之步驟為提供一第一半導體晶粒、提供一中介物框架，在該中介物框架中具有一開口且複數個導電柱形成於該中介物框架上、將該中介物安裝於具有環繞第一半導體晶粒放置之導電柱之第一半導體晶粒上、將一密封劑沉積於該第一半導體晶粒上、以及在該密封劑和第一半導體晶粒上形成一內連線結構。

在另一實施例中，本發明係一種半導體裝置，包括第一半導體晶粒和安裝於該第一半導體晶粒上之中介物框架。該中介物框架中具有一開口且複數個導電柱形成於該中介物框架上。一密封劑被沉積於該第一半導體晶粒上。一內連線結構係形成於該密封劑和第一半導體晶粒上。

【實施方式】

本發明係描述於參考該些圖形進行下列說明的一或更多實施例中，其中，類似編號代表相同或類似構件。儘管本發明已就取得本發明目的之最佳模式做說明，然而那些熟知此項技術之人士會理解到想要將包含於下列揭示和圖式所支持之所附申請專利範圍和它們等效例所定義的本發明精神和範圍內之替代例、修改例及等效例涵蓋在內。

半導體裝置大體上係使用二複合製程來製造：前段製

程和後段製程。前段製程涉及在一半導體晶圓表面上形成複數個晶粒。在該晶圓上之每一個晶粒內含主動和被動電性元件，其係電性連接以形成功能性電性電路。例如電晶體和二極體之主動電性元件具有控制電流流動的能力。例如電容器、電感器、電阻器和變壓器之被動電性元件建立用以執行電性電路功能所需電壓及電流間之關係。

被動和主動元件係由包含摻雜、沉積、微影成像、蝕刻和平坦化的一系列製程步驟來形成於該半導體晶圓之表面上。摻雜技術藉由例如離子植入或熱擴散技術將雜質引入該半導體材料中。該摻雜製程改變主動裝置內之半導體材料導電性，轉換該半導體材料成為一絕緣體、導體，或動態地改變該半導體材料導電性以回應一電場或基極電流。電晶體內含用以依據施用之電場或基極電流來致能該電晶體，以增進或限制電流流動所需而安排的不同摻雜類型及程度之區域。

主動和被動元件係由具有不同電性特性之材料層所形成。該些層可藉由依沉積材料類型所部分決定之各種沉積技術來形成。例如，薄膜沉積可涉及化學氣相沉積(CVD)、物理氣相沉積(PVD)、電解電鍍和無電鍍製程。每一層大體上被圖案化以形成主動元件、被動元件或元件間之電性連接各部分。

該些層可使用微影成像技術來進行圖案化，其涉及將例如光阻劑之感光性材料沉積於想要圖案化之層上。利用光來使一圖案自一光罩轉移至該光阻劑。使用一溶劑將受

光之光阻劑圖案部分移除，以露出想要圖案化之下層部分。將剩餘光阻劑移除，而留下一圖案化層。替代性地，一些材料類型係藉由使用例如無電鍍及電解電鍍技術將該材料直接沉積至前一沉積/蝕刻製程所形成之區域或孔隙中。

將一薄膜材料沉積於一現存圖案上可擴大下方圖案並產生不均勻平坦表面。產生較小且更高密度包裝之主動和被動元件需要一均勻平坦表面。平坦化技術可被使用以移除來自該晶圓表面之材料並產生一均勻平坦表面。平坦化技術涉及以一拋光片來拋光該晶圓表面。一研磨材料及腐蝕性化學藥品係於拋光期間添加至該晶圓表面。該化學藥品之研磨及腐蝕動作之結合式機械動作移除任何不規則拓撲，產生一均勻平坦表面。

後段製程涉及切割或單粒化該已完成晶圓成為個別晶粒，並接著封裝該晶粒以提供結構支撐和環境隔離。為了單粒化該晶粒，該晶圓係沿著所謂切割道或劃線之晶圓無功能區域來劃線並切斷。使用一雷射切割工具或鋸刀來單粒化該晶圓。在單粒化後，該個別晶粒被安裝至包含接腳或接觸墊片以與其它系統元件互相連接之封裝基板。形成於該半導體晶粒上之接觸墊片接著被連接至該封裝內之接觸墊片。可利用焊接凸塊、短柱凸塊、導電膏或接線來製造該些電性連接。一密封劑或其它密封材料係沉積於該封裝上以提供物理性支撐及電性隔離。該已完成封裝接著被插入至一電性系統中，且所產生之半導體裝置功能可由其

它系統元件利用之。

第 1 圖說明具有內含複數個半導體封裝安裝於它的表面上之晶片載體基板或印刷電路板(PCB)52 之電子裝置 50。電子裝置 50 可視應用而具有一半導體封裝類型或多種半導體封裝類型。不同半導體封裝類型係基於說明目的而示於第 1 圖。

電子裝置 50 可為使用該些半導體封裝來執行一或更多電性功能之獨立系統。替代性地，電子裝置 50 可以是一較大型系統之子元件。例如，電子裝置 50 可以是一行動電話、個人數位助理(PDA)、數位攝影機(DVC)或其它電子通訊裝置之部件。替代性地，電子裝置 50 可以是一圖形卡、網路介面卡或可插入至一電腦之其它訊號處理卡。該半導體封裝可包含微處理器、記憶體、特殊用途積體電路(ASIC)、邏輯電路、類比電路、射頻電路、分立式裝置或其它半導體晶粒或電性元件。小型化和減重對於這些產品是否被市場接受而言係重要的。半導體裝置間之距離必須下降以獲得較高密度。

在第 1 圖中，印刷電路板 52 提供一般性基板以提供安裝於該印刷電路板上之半導體封裝之結構支撐及電性連接。訊號導線 54 係使用蒸鍍、電解電鍍、無電鍍、網印或其它合適金屬沉積製程來形成於印刷電路板 52 一表面上或各層內。訊號導線 54 提供該些半導體封裝、安裝元件及其它外部系統元件中每一個之間之電性通訊。導線 54 也提供該些半導體封裝中每一個之電力及接地。

在一些實施例中，一半導體裝置具有二封裝層級。第一層級封裝係提供機械性及電性附接該半導體晶粒至一中間載體之技術。第二層級封裝涉及機械性及電性附接該中間載體至該印刷電路板上。在其它實施例中，一半導體裝置可以只具有該第一層級封裝，其中，該晶粒係機械性及電性地直接安裝至該印刷電路板上。

基於說明目的，包含打線封裝 56 和覆晶封裝 58 之一些第一層級封裝類型係示於印刷電路板 52 上。此外，包含球狀柵格陣列(BGA)60、凸塊晶片載體(BCC)62、雙列式封裝(DIP)64、平面柵格陣列(LGA)66、多晶片模組(MCM)68、四邊扁平無接腳封裝(QFN)70 和四邊扁平封裝 72 之一些第二層級封裝類型被顯示安裝於印刷電路板 52 上。依據系統需求，利用任何第一和第二層級封裝型結合所架構之任何半導體封裝結合以及其它電子元件可被連接至印刷電路板 52。在一些實施例中，電子裝置 50 包含單一附接半導體封裝，而其它實施例需要多個互相連接之封裝。藉由結合單一基板上之一或更多半導體封裝，製造商可整合預製元件至電子裝置和系統中。因為該些半導體封裝包含複雜功能，故電子裝置可使用較便宜元件及一貫化製程來製造之。產生之裝置較不會失敗且製造費用也較少，因而對於消費者而言成本也較低。

第 2a-2c 圖顯示示範性半導體封裝。第 2a 圖說明安裝於印刷電路板 52 上之雙列式封裝 64 之進一步細節。半導體晶粒 74 包含一作用區，內含類比或數位電路，配置成形

成於該晶粒內之主動裝置、被動裝置、導電層及介電層，並根據該晶粒之電性設計產生電性互連。例如，該電路可包含一或更多電晶體、二極體、電感器、電容器、電阻器及形成於該半導體晶粒 74 之作用區內之其它電路構件。接觸墊片 76 係例如鋁(Al)、銅(Cu)、錫(Sn)、鎳(Ni)、金(Au)或銀(Ag)之一或更多導電材料層，且電性連接至形成於半導體晶粒 74 內之電路構件。在雙列式封裝 64 組合期間，半導體晶粒 74 係使用一金矽共熔合金層或例如熱環氧化物或環氧樹脂之黏性材料來安裝至一中間載體 78。該封裝本體包含例如聚合物或陶瓷之絕緣封裝材料。導體接腳 80 或接線 82 提供半導體晶粒 74 及印刷電路板 52 間之電性互連。密封劑 84 係沉積覆蓋於該封裝上，藉此阻止濕氣及微粒進入該封裝並污染晶粒 74 及接線 82 以提供環境保護。

第 2b 圖說明安裝於印刷電路板 52 上之凸塊晶片載體 62 之進一步細節。半導體晶粒 88 係使用一底膠或環氧樹脂黏性材料 92 來安裝於載體 90 上。接線 94 提供接觸墊片 96 及 98 間之第一層級封裝互連。密封化合物或密封劑 100 係沉積於半導體晶粒 88 及接線 94 上，以提供該裝置物理性支撐和電性隔離。接觸墊片 102 係使用例如電解電鍍或無電鍍之合適金屬沉積製程來形成於印刷電路板一表面上以阻止氧化作用。接觸墊片 102 係電性連接至印刷電路板 52 內之一或更多訊號導線 54。凸塊 104 係形成於凸塊晶片載體 62 之接觸墊片 98 及印刷電路板 52 之接觸墊片 102 之間。

在第 2c 圖中，利用一覆晶型第一層級封裝技術將半導

體晶粒 58 面向下地安裝至中間載體 106。半導體晶粒 58 之作用區 108 包含類比或數位電路，配置成根據該晶粒之電性設計所形成之主動裝置、被動裝置、導電層及介電層。例如，該電路可包含一或更多電晶體、二極體、電感器、電容器、電阻器及在作用區 108 內之其它電路構件。半導體晶粒 58 係透過凸塊 110 來電性及機械性地連接至載體 106。

球狀柵格陣列 60 係利用使用凸塊 112 之球狀柵格陣列型第二層級封裝技術來電性及機械性地連接至印刷電路板 52。半導體晶粒 58 係透過凸塊 110、訊號線 114 和凸塊 112 來電性連接至印刷電路板 52 中之訊號導線 54。一密封化合物或密封劑 116 係沉積於半導體晶粒 58 和載體 106 上，以提供該裝置物理性支撐及電性隔離。該覆晶半導體裝置提供自半導體晶粒 58 上的主動裝置至印刷電路板 52 上的導線之短導電路徑，用以減少訊號傳送距離、降低電容並改善整體電路執行效率。在另一實施例中，可不使用中間載體 106 而使用覆晶型第一層級封裝技術將該半導體晶粒 58 直接機械性且電性地連接至印刷電路板 52。

第 3a 圖顯示具有例如矽、鍺、鎵、砷、磷化銦或碳化矽之底部基板材料 122 以提供結構支撐之半導體晶圓 120。複數個半導體晶粒或元件 124 係形成於由上述切割道 126 所分開之晶圓 120 上。

第 3b 圖顯示一部分半導體晶圓 120 之剖面圖。每一個半導體晶粒 124 具有一背面 128 及內含類比或數位電路之

作用區域 130，該些電路被配置為形成於該晶粒內並根據該晶粒之電性設計及功能進行電性互連之主動元件、被動元件、導電層和介電層。例如，該電路可包含一或更多電晶體、二極體和形成於作用區域 130 內之其它電路構件以配置例如數位訊號處理器(DSP)、特殊用途積體電路、記憶體或其它訊號處理電路之基頻類比電路或數位電路。半導體晶粒 124 也可包含用於射頻(RF)訊號處理之整合被動元件(IPD)，例如，電感器、電容器和電阻器。在一實施例中，半導體晶粒 124 係一覆晶型半導體晶粒。

一導電層 132 係使用物理氣相沉積、化學氣相沉積、電解電鍍、無電鍍製程、或其它合適金屬沉積製程來形成於作用表面 130 上。導電層 132 可為一或更多鋁、銅、錫、鎳、金、銀或其它合適導電材料層。導電層 132 充當電性連接至作用表面 130 上之電路之接觸墊片來操作之。

在第 3c 圖中，半導體晶圓 120 係使用一鋸刀或雷射切割工具 134 透過切割道 126 來單粒化成個別半導體晶粒 124。

第 4a-4f 圖顯示具有導電柱之晶圓式條狀中介物之形成。在第 4a 圖中，一基板或載體 140 內含例如矽、聚合物、氧化鈹或用於結構支撐之其它合適低成本硬式材料之暫時或犧牲性底材。一介面層或雙面膠帶 142 係形成於載體 140 上以做為一暫時性黏結薄膜或阻蝕層。一半導體晶圓或基板 144 內含例如矽、鍺、砷化鎵、磷化銦或碳化矽之底材以提供結構支撐。做為一半導體晶圓，基板 144 可內含嵌

入式半導體晶粒或被動裝置。基板 144 也可以是一多層壓板、陶瓷或引腳架。基板 144 被安裝至載體 140 上之介面層 142。

在第 4b 圖中，複數個通孔係使用雷射鑽孔、機械鑽孔或深反應式離子蝕刻(DRIE)技術透過基板 144 而形成。使用電解電鍍、無電鍍製程或其它合適金屬沉積製程將該些通孔填充著鋁、銅、錫、鎳、金、銀、鈦(Ti)、鎢(W)、多晶矽或其它合適導電材料以形成 z 方向垂直互連導電通孔 146。

一絕緣或保護層 148 係使用物理氣相沉積、化學氣相沉積、印刷、旋塗、噴佈、燒結或熱氧化技術來形成於基板 144 及導電通孔 146 之表面上。該絕緣層 148 內含一或更多二氧化矽(SiO_2)、四氮化三矽(Si_3N_4)、氮氧化矽(SiON)、五氧化二鉭(Ta_2O_5)、三氧化二鋁(Al_2O_3)或具有類似絕緣和結構特性之其它材料層。藉由一蝕刻製程移除一部分保護層 148 而露出基板 144 和導電通孔 146。

一導電層或重分佈層 150 係使用例如印刷、物理氣相沉積、化學氣相沉積、濺鍍、電解電鍍和無電鍍之圖案化及金屬沉積製程來形成於該露出基板 144 和導電通孔 146 上。導電層 150 可為一或更多鋁、銅、錫、鎳、金、銀或其它合適導電材料層。導電層 150 係電性連接至導電通孔 146。

在第 4c 圖中，一基板或載體 154 內含例如矽、聚合物、氧化鈹或用於結構支撐之其它合適低成本硬式材料之暫時

或犧牲性底材。一介面層或雙面膠帶 156 係形成於載體 154 上以做為一暫時性黏結薄膜或阻蝕層。利用絕緣層 148 和導電層 150 之引導，基板 144 被安裝至載體 154 上之介面層 156。載體 140 和介面層 142 經由化學蝕刻、機械脫落、化學機械拋光、機械研磨、熱烘烤、紫外光、雷射掃描、或濕式剝離移除以露出基板 144 和導電通孔 146 中相對於導電層 150 之表面。

一絕緣或保護層 158 係使用物理氣相沉積、化學氣相沉積、印刷、旋塗、噴佈、燒結或熱氧化技術來形成於基板 144 和導電通孔 146 上。該絕緣層 158 內含一層或更多二氧化矽、四氮化三矽、氮氧化矽、五氧化二鉍、三氧化二鋁或具有類似絕緣及結構特性之其它材料層。藉由一蝕刻製程移除一部分絕緣層 158 而露出基板 144 和導電通孔 146。

一導電層或重分佈層 160 係使用例如印刷、物理氣相沉積、化學氣相沉積、濺鍍、電解電鍍和無電鍍之圖案化及金屬沉積製程來形成於該露出基板 144 和導電通孔 146 上。導電層 160 可為一或更多鋁、銅、錫、鎳、金、銀或其它合適導電材料層。導電層 160 係電性連接至導電通孔 146。

在另一實施例中，導電通孔 146 係在形成導電層 150 及/或 160 後透過基板 144 來形成之。

在第 4d 圖中，一光阻層 162 係形成於絕緣層 158 和導電層 160 上。複數個通孔係使用圖案化及蝕刻製程透過光

阻層 162 來形成於導電層 160 上。使用電解電鍍、無電鍍製程或其它合適金屬沉積製程將該些通孔填充著鋁、銅、錫、鎳、金、銀、鈦、鎢、多晶矽或其它合適導電材料。堆疊凸塊和短柱凸塊也可形成於該些通孔內。

在第 4e 圖中，移除該光阻層 162 而保留 z 方向垂直互連導電柱 164 於導電層 160 上。載體 154 和介面層 156 經由化學蝕刻、機械脫落、化學機械拋光、機械研磨、熱烘烤、紫外光、雷射掃描、或濕式剝離移除而留下具有導電柱 164 之預先形成的中介物框架 166。導電層 150 和 160 及導電通孔 146 構成透過中介物框架 166 而形成之垂直內連線。一或更多開口 168 係透過中介物框架 166 來形成。第 4f 圖顯示具有導電柱 164 和開口 168 之中介物框架 166 之俯視圖。

第 5a-5h 圖說明與第 1 圖及第 2a-2c 圖相關之一種形成具有提供一半導體晶粒垂直互連之中介物框架和導電柱之扇出型晶圓級晶片尺寸封裝之方法。在第 5a 圖中，一基板或載體 170 內含例如矽、聚合物、氧化鋁或其它合適低成本剛性材料之暫時或犧牲性底材以提供結構支撐。一介面層或雙面膠帶 171 係形成於載體 170 上以充當一暫時性黏結薄膜或阻蝕層。

在第 5b 圖中，來自第 3a-3c 圖之半導體晶粒 124 被安裝於介面層 171 上。尤其，半導體晶粒 124 被安裝至具有往載體 170 定位之作用表面 130 之介面層 171。

在第 5c 圖中，該預先形成的中介物框架 166 係位在載

體 170 上。如第 5d 圖所示，該介面層 166 被安裝至具有環繞半導體晶粒 124 放置之導電柱 164 之介面層 171。對準標記 173 可產生於介面層 171 上以協助安裝中介物框架 166。錫膏也可被沉積於載體 170 上以協助對準和接合中介物框架 166 至該載體。導電柱 164 之高度係大於半導體晶粒 124 之厚度。據此，在半導體 124 之背面 128 及中介物框架 166 之間留有空隙。

在第 5e 圖中，使用一錫膏印刷、壓縮成型、轉注成型、液體封膠成型、真空疊合、旋轉塗佈或其它合適塗抹器將密封劑或密封化合物 172 透過環繞半導體晶粒 124 及中介物框架 166 及該晶粒間之空隙之開口 168 注入或沉積。密封劑 172 可為聚合物複合材料，例如，具有填充劑之環氧樹脂、具有填充劑之環氧丙烯酸酯或具有獨特填充劑之聚合物。密封劑 172 並無導電性且在環境上保護該半導體裝置隔離於外部構件及污染。半導體晶粒 124 可被安裝至形成於載體 170 上之可濕式接觸墊片以減少密封期間之晶粒移位。

在第 5f 圖中，載體 170 和介面層 171 經由化學蝕刻、機械脫落、化學機械拋光、機械研磨、熱烘烤、紫外光、雷射掃描、或濕式剝離移除而露出密封劑 172、半導體晶粒 124 和導電柱 164。

在第 5g 圖中，一增層式內連線結構 174 係形成於半導體晶粒 124、導電柱 164 和密封劑 172 上。該增層式內連線結構 174 包含使用例如濺鍍、電解電鍍和無電鍍之圖案化

及金屬沉積製程所形成之導電層或重分佈層 176。導電層 176 可為一或更多鋁、銅、錫、鎳、金、銀或其它合適導電材料層。一部分導電層 176 係電性連接至半導體晶粒 124 之接觸墊片 132。另一部分導電層 176 係電性連接至導電柱 164。導電層 176 之其它部分可同為導電或電性隔離，視半導體晶粒 124 之設計及功能而定。

一絕緣或保護層 178 係使用物理氣相沉積、化學氣相沉積、印刷、旋塗、噴佈、燒結或熱氧化製程來形成於導電層 176 四周以提供電性隔離。該絕緣層 178 內含一或更多二氧化矽、四氯化三矽、氮氧化矽、五氧化二鉬、三氧化二鋁或具有類似絕緣及結構特性之其它材料層。一部分絕緣層 178 可經由一蝕刻製程移除而露出導電層 176 以提供額外電性互連。

在第 3h 圖中，一導電凸塊材料係使用一蒸鍍、電解電鍍、無電鍍、植球或網印製程來沉積於增層式內連線結構 174 上並電性連接至導電層 176 的露出部分。該凸塊材料可為鋁、錫、鎳、金、銀、鉛、鈹、銅、焊錫及其各種結合，加上一選擇性助熔劑溶液。例如，該凸塊材料可為共晶錫/鉛、高鉛焊錫或無鉛焊錫。使用一合適附接或黏結製程將該凸塊材料黏接至導電層 176。在一實施例中，該凸塊材料經由將該材料加熱超過它的熔點而進行回焊以形成圓球或凸塊 180。在一些應用中，第二次回焊凸塊 180 以改進對導電層 176 之電性接觸。一凸塊下金屬化層(UBM)可被形成於凸塊 180 下方。該些凸塊也可被壓縮黏接至導電層 176。凸

塊 180 代表可形成於導電層 176 上之內連線結構類型。該內連線結構也可使用短柱凸塊、微小凸塊或其它電性內連線。

半導體晶粒 124 係使用鋸刀或雷射切割工具 182，透過中介物框架 166 進行單粒化，以形成個別扇出型晶圓級晶片尺寸封裝 184。第 6 圖顯示單粒化後之扇出型晶圓級晶片尺寸封裝 184。半導體晶粒 124 係透過接觸墊片 132 和增層式內連線結構 174 來電性連接至導電柱 164 及中介物框架 166。該預先形成的中介物框架 166 藉由消除對於在密封劑 172 之至少一表面上進行重分佈層圖案化之需求或透過該密封劑形成導電柱來簡化該組合。

第 7 圖顯示透過中介物框架 166、增層式內連線結構 174、凸塊 180 及導電通孔 164 進行電性連接之複數個堆疊式扇出型晶圓級晶片尺寸封裝 184。

第 8a-8g 圖說明與第 1 圖及第 2a-2c 圖相關之另一種形成具有提供一半導體晶粒垂直互連之中介物框架和導電柱之扇出型晶圓級晶片尺寸封裝之方法。在第 8a 圖中，一基板或載體 190 內含例如矽、聚合物、氧化鈹或其它合適低成本剛性材料之暫時或犧牲性底材以提供結構支撐。一介面層或雙面膠帶 192 係形成於載體 190 上以充當一暫時性黏結薄膜或阻蝕層。

來自第 3a-3c 圖之半導體晶粒 124 被安裝於介面層 192 上。尤其，半導體晶粒 124 被安裝至具有往載體 190 定位之作用表面 130 之介面層 192。

在第 8b 圖中，一密封劑或密封化合物 194 被沉積於載體 190 及半導體晶粒 124 上以做為一漿料。密封劑漿料 194 可為聚合物複合材料，例如，具有填充劑之環氧樹脂、具有填充劑之環氧丙烯酸酯或具有獨特填充劑之聚合物。

在第 8c 圖中，來自第 4a-4f 圖之預先形成的中介物框架 166 係位於載體 190 上。該中介物框架 166 係藉由使用力量 F 將該中介物框架壓至密封劑漿料 194 上而安裝至介面層 192。來自力量 F 之壓力使密封劑漿料 194 變平坦並完全填充環繞半導體晶粒 124 和導電柱 164 之中介物框架 166 之下方區域。多餘密封劑漿料 194 透過開口 168 釋出。

如第 8d 圖所示，在正確地安裝時，導電柱 164 係環繞半導體晶粒 124 放置並接觸到介面層 192。密封劑 194 圍繞半導體晶粒 124 和導電柱 164。導電柱 164 之高度係大於半導體晶粒 124 之厚度。據此，半導體晶粒 124 之背面 128 係由密封劑 194 所覆蓋。半導體晶粒 124 可被安裝至形成於載體 190 上之可濕式接觸墊片以減少密封期間之晶粒移位。

在第 8e 圖中，載體 190 和介面層 192 經由化學蝕刻、機械脫落、化學機械拋光、機械研磨、熱烘烤、紫外光、雷射掃描、或濕式剝離移除以露出密封劑 194、半導體晶粒 124 和導電柱 164。

在第 8f 圖中，一增層式內連線結構 196 係形成於半導體晶粒 124、導電柱 164 和密封劑 194 上。該增層式內連線結構 196 包含使用例如濺鍍、電解電鍍和無電鍍之圖案化

及金屬沉積製程所形成之導電層或重分佈層 198。導電層 198 可為一或更多鋁、銅、錫、鎳、金、銀或其它合適導電材料層。一部分導電層 198 係電性連接至半導體晶粒 124 之接觸墊片 132。另一部分導電層 198 係電性連接至導電柱 164。導電層 198 之其它部分可同為導電或電性隔離，視半導體晶粒 124 之設計及功能而定。

一絕緣或保護層 200 係使用物理氣相沉積、化學氣相沉積、印刷、旋塗、噴佈、燒結或熱氧化製程來形成於導電層 198 四周以提供電性隔離。該絕緣層 200 內含一或更多二氧化矽、四氮化三矽、氮氧化矽、五氧化二鉭、三氧化二鋁或具有類似絕緣及結構特性之其它材料層。一部分絕緣層 200 可經由一蝕刻製程移除而露出導電層 198 以提供額外電性互連。

在第 8g 圖中，一導電凸塊材料係使用一蒸鍍、電解電鍍、無電鍍、植球或網印製程來沉積於增層式內連線結構 196 上並電性連接至導電層 198 的露出部分。該凸塊材料可為鋁、錫、鎳、金、銀、鉛、鈹、銅、焊錫及其各種結合，加上一選擇性助熔劑溶液。例如，該凸塊材料可為共晶錫/鉛、高鉛焊錫或無鉛焊錫。使用一合適附接或黏結製程將該凸塊材料黏接至導電層 198。在一實施例中，該凸塊材料經由將該材料加熱超過它的熔點而進行回焊以形成圓球或凸塊 202。在一些應用中，第二次回焊凸塊 202 以改進對導電層 198 之電性接觸。一凸塊下金屬化層可被形成於凸塊 202 下方。該些凸塊也可被壓縮黏接至導電層 198。凸塊 202

代表可形成於導電層 198 上之內連線結構類型。該內連線結構也可使用短柱凸塊、微小凸塊或其它電性內連線。

半導體晶粒 124 係使用鋸刀或雷射切割工具 204，透過中介物框架 166、密封劑 194 及增層式內連線結構 196 進行單粒化，以形成個別扇出型晶圓級晶片尺寸封裝 206。第 9 圖顯示單粒化後之扇出型晶圓級晶片尺寸封裝 206。半導體晶粒 124 係透過接觸墊片 132 和增層式內連線結構 196 來電性連接至導電柱 164 及中介物框架 166。該預先形成的中介物框架 166 藉由消除對於在密封劑 172 之至少一表面上進行重分佈層圖案化之需求或透過該密封劑形成導電柱來簡化該組合。在安裝中介物框架 166 之前沉積密封劑漿料 194 並接著將該中介物框架壓在該密封劑漿料上提供該密封劑均勻覆蓋於半導體晶粒 124 和導電柱 164 四周。

第 10a-10e 圖說明與第 1 圖及第 2a-2c 圖相關之另一種形成具有提供一半導體晶粒垂直互連之中介物框架和導電柱之扇出型晶圓級晶片尺寸封裝之方法。接續第 8b 圖，一預先形成的中介物框架 210 係如第 10a 圖所示地位在載體 190 上。在本例中，中介物框架 210 具有凹洞或凹陷部形成在指定來與半導體晶粒 124 對準之區域內之基板 214 中。導電通孔及層 215 係透過基板 214 和類似於第 4a-4f 圖之絕緣層 217 來形成。一或更多開口 216 係透過中介物框架 210 而形成。該中介物框架 210 係藉由使用力量 F 將該中介物框架壓在密封劑漿料 194 上而安裝至介面層 192。來自力量 F 之壓力使密封劑漿料 194 變平坦並完全填充環繞半導體晶

粒 124 和導電柱 218 之中介物框架 210 之下方區域。多餘密封劑漿料 194 透過開口 216 釋出。

在正確地安裝時，半導體晶粒 124 係部分放置於凹洞 212 內。如第 10b 圖所示，導電柱 218 係環繞半導體晶粒 124 放置並接觸到介面層 192。密封劑 194 圍繞半導體晶粒 124 和導電柱 164。半導體晶粒 124 可被安裝至形成於載體 190 上之可濕式接觸墊片以減少密封期間之晶粒移位。

在第 10c 圖中，載體 190 和介面層 192 經由化學蝕刻、機械脫落、化學機械拋光、機械研磨、熱烘烤、紫外光、雷射掃描、或濕式剝離移除以露出密封劑 194、半導體晶粒 124 和導電柱 218。

在第 10d 圖中，一增層式內連線結構 222 係形成於半導體晶粒 124、導電柱 218 和密封劑 194 上。該增層式內連線結構 222 包含使用例如濺鍍、電解電鍍和無電鍍之圖案化及金屬沉積製程所形成之導電層或重分佈層 224。導電層 224 可為一或更多鋁、銅、錫、鎳、金、銀或其它合適導電材料層。一部分導電層 224 係電性連接至半導體晶粒 124 之接觸墊片 132。另一部分導電層 224 係電性連接至導電柱 218。導電層 224 之其它部分可同為導電或電性隔離，視半導體晶粒 124 之設計及功能而定。

一絕緣或保護層 226 係使用物理氣相沉積、化學氣相沉積、印刷、旋塗、噴佈、燒結或熱氧化製程來形成於導電層 224 四周以提供電性隔離。該絕緣層 226 內含一或更多二氧化矽、四氮化三矽、氮氧化矽、五氧化二鉭、三氧

化二鋁或具有類似絕緣及結構特性之其它材料層。一部分絕緣層 226 可經由一蝕刻製程移除而露出導電層 224 以提供額外電性互連。

在第 10e 圖中，一導電凸塊材料係使用一蒸鍍、電解電鍍、無電鍍、植球或網印製程來沉積於增層式內連線結構 222 上並電性連接至導電層 224 的露出部分。該凸塊材料可為鋁、錫、鎳、金、銀、鉛、鈹、銅、焊錫及其各種結合，加上一選擇性助熔劑溶液。例如，該凸塊材料可為共晶錫/鉛、高鉛焊錫或無鉛焊錫。使用一合適附接或黏結製程將該凸塊材料黏接至導電層 224。在一實施例中，該凸塊材料經由將該材料加熱超過它的熔點而進行回焊以形成圓球或凸塊 228。在一些應用中，第二次回焊凸塊 228 以改進對導電層 224 之電性接觸。一凸塊下金屬化層可被形成於凸塊 228 下方。該些凸塊也可被壓縮黏接至導電層 224。凸塊 228 代表可形成於導電層 224 上之內連線結構類型。該內連線結構也可使用短柱凸塊、微小凸塊或其它電性內連線。

半導體晶粒 124 係使用鋸刀或雷射切割工具 230，透過中介物框架 210、密封劑 194 及增層式內連線結構 196 進行單粒化，以形成個別扇外型晶圓級晶片尺寸封裝 232。第 11 圖顯示單粒化後之扇外型晶圓級晶片尺寸封裝 232。半導體晶粒 124 係透過接觸墊片 132 和增層式內連線結構 222 來電性連接至導電柱 218 及中介物框架 210。該預先形成的中介物框架 210 藉由消除對於在密封劑 172 之至少一表面上進行重分佈層圖案化之需求或透過該密封劑形成導電柱

來簡化該組合。在安裝中介物框架 166 之前沉積密封劑漿料 194 並接著將該中介物框架壓在該密封劑漿料上提供該密封劑均勻覆蓋於半導體晶粒 124 四周。凹洞 212 減少扇出型晶圓級晶片尺寸封裝 232 之高度。

第 12 圖顯示類似於第 6 圖之扇出型晶圓級晶片尺寸封裝 240 實施例，其中利用晶粒黏接劑 244 將半導體晶粒 242 安裝至中介物框架 166。半導體晶粒 242 具有一內含類比或數位電路之作用表面 248，該些電路被配置為形成於該晶粒內並根據該晶粒之電性設計及功能進行電性互連之主動元件、被動元件、導電層和介電層。例如，該電路可包含一或更多電晶體、二極體和形成於作用區域 248 內之其它電路構件以配置例如數位訊號處理器、特殊用途積體電路、記憶體或其它訊號處理電路之類比電路或數位電路。半導體晶粒 242 也可包含用於射頻訊號處理之整合被動元件，例如，電感器、電容器和電阻器。在一實施例中，半導體晶粒 242 係一接線晶粒。接線 250 係電性連接於作用表面 248 上之接觸墊片 252 及中介物框架 166 之導電層 150 之間。

使用一錫膏印刷、壓縮成型、轉注成型、液體封膠成型、真空疊合、旋轉塗佈或其它合適塗抹器將密封劑或密封化合物 254 沉積於半導體晶粒 242 和中介物框架 166 上。密封劑 254 可為聚合物複合材料，例如，具有填充劑之環氧樹脂、具有填充劑之環氧丙烯酸酯或具有獨特填充劑之聚合物。密封劑 254 並無導電性且在環境上保護該半導體裝置隔離於外部構件及污染。

第 13 圖顯示類似於第 6 圖之扇出型晶圓級晶片尺寸封裝 260 之實施例，其中在安裝第 5c 圖之中介物框架 166 之前先利用晶粒黏接劑 263 將內部堆疊模組 (ISM) 262 安裝至半導體晶粒 124。該內部堆疊模組 262 包含具有作用表面 268 之半導體晶粒 264，該作用表面內含類比或數位電路，該些電路配置為形成於該晶粒內並根據該晶粒之電性設計及功能進行電性互連之主動元件、被動元件、導電層和介電層。例如，該電路可包含一或更多電晶體、二極體和形成於作用區域 268 內之其它電路構件以配置例如數位訊號處理器、特殊用途積體電路、記憶體或其它訊號處理電路之類比電路或數位電路。半導體晶粒 264 也可包含用於射頻訊號處理之整合被動元件，例如，電感器、電容器和電阻器。半導體晶粒 264 係利用晶粒黏接劑 269 來安裝至中介物框架 166。接線 270 係電性連接於作用表面 268 上之接觸墊片 272 及中介物框架 166 之導電層 160 之間。

使用一錫膏印刷、壓縮成型、轉注成型、液體封膠成型、真空疊合、旋轉塗佈或其它合適塗抹器將密封劑或密封化合物 274 沉積於半導體晶粒 264 和中介物框架 166 上。密封劑 274 可為聚合物複合材料，例如，具有填充劑之環氧樹脂、具有填充劑之環氧丙烯酸酯或具有獨特填充劑之聚合物。密封劑 274 並無導電性且在環境上保護該半導體裝置隔離於外部構件及污染。

儘管已詳示本發明一或更多實施例，然而熟知此項技術之人士會理解到可對那些實施例進行修正及改寫而不偏

離下列申請專利範圍所提之本發明範圍。

【圖式簡單說明】

第 1 圖說明具有不同封裝類型安裝於它的表面上之印刷電路板。

第 2a-2c 圖說明安裝至該印刷電路板之代表性半導體封裝之進一步細部。

第 3a-3c 圖說明具有由切割道所分開之複數個半導體晶粒之半導體晶圓。

第 4a-4f 圖說明具有形成於該中介物框架上之導電柱之預先形成的中介物框架。

第 5a-5h 圖說明形成具有提供垂直互連給一半導體晶粒之中介物框架和導電柱之扇外型晶圓級晶片尺寸封裝之方法。

第 6 圖說明具有提供垂直互連給該半導體晶粒之中介物框架和導電柱之扇外型晶圓級晶片尺寸封裝。

第 7 圖說明具有複數個堆疊式扇外型晶圓級晶片尺寸封裝，每一個具有提供垂直互連給該半導體晶粒之中介物框架和導電柱。

第 8a-8g 圖說明安裝該中介物框架於一密封劑漿料上。

第 9 圖說明具有安裝於該密封劑漿料上之中介物框架之扇外型晶圓級晶片尺寸封裝。

第 10a-10e 圖說明形成具有用以部分容納該半導體晶粒之凹洞之中介物框架。

第 11 圖說明具有部分容納於該中介物框架之凹洞內的半導體晶粒之扇出型晶圓級晶片尺寸封裝。

第 12 圖說明具有安裝於該中介物框架上之接線型半導體晶粒之扇出型晶圓級晶片尺寸封裝。

第 13 圖說明具有安裝於該半導體晶粒上之內部堆疊模組之扇出型晶圓級晶片尺寸封裝。

【主要元件符號說明】

50	電子裝置
52	印刷電路板
54	導線
56	打線封裝
58	覆晶封裝
60	球狀柵格陣列
62	凸塊晶片載體
64	雙列式封裝
66	平面柵格陣列
68	多晶片模組
70	四邊扁平無接腳封裝
72	四邊扁平封裝
74	半導體晶粒
76	接觸墊片
78	中間載體
80	導體接腳

82	接線
84	密封劑
88	半導體晶粒
90	載體
92	底膠或環氧樹脂黏性材料
94	接線
96	接觸墊片
98	接觸墊片
100	密封化合物或密封劑
102	接觸墊片
104	凸塊
106	中間載體
108	作用區
110	凸塊
112	凸塊
114	訊號線
116	密封化合物或密封劑
120	半導體晶圓
122	底部基板材料
124	半導體晶粒
126	切割道
128	背面
130	作用表面
132	導電層

134	鋸刀或雷射切割工具
140	基板或載體
142	介面層或雙面膠帶
144	半導體晶圓或基板
146	z 方向垂直互連導電通孔
148	絕緣或保護層
150	導電層或重分佈層
154	基板或載體
156	介面層或雙面膠帶
158	絕緣或保護層
160	導電層或重分佈層
162	光阻層
164	z 方向垂直互連導電柱
166	預先形成中介物框架
168	開口
170	基板或載體
171	介面層或雙面膠帶
172	密封劑或密封化合物
173	對準標記
174	增層式內連線結構
176	導電層或重分佈層
178	絕緣或保護層
180	圓球或凸塊
182	鋸刀或雷射切割工具

184	扇出型晶圓級晶片尺寸封裝
190	基板或載體
192	介面層或雙面膠帶
194	密封劑或密封化合物
196	增層式內連線結構
198	導電層或重分佈層
200	絕緣或保護層
202	圓球或凸塊
204	鋸刀或雷射切割工具
206	扇出型晶圓級晶片尺寸封裝
210	預先形成的中介物框架
212	凹洞或凹陷部
214	基板
216	開口
218	導電柱
222	增層式內連線結構
224	導電層或重分佈層
226	絕緣或保護層
228	凸塊
230	鋸刀或雷射切割工具
232	扇出型晶圓級晶片尺寸封裝
240	扇出型晶圓級晶片尺寸封裝
242	半導體晶粒
244	晶粒黏接劑

248	作用表面
250	接線
252	接觸墊片
254	密封劑或密封化合物
260	扇出型晶圓級晶片尺寸封裝
262	內部堆疊模組
268	作用表面
269	晶粒黏接劑
270	接線
272	接觸墊片
274	密封劑或密封化合物
F	力量

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100129513

※申請日：100.8.18

※IPC 分類：H01L 21/168 2006.01

一、發明名稱：(中文/英文)

H01L 23/52 2006.01

半導體裝置和在半導體晶粒上形成中介物框架以提供
垂直互連之方法

SEMICONDUCTOR DEVICE AND METHOD OF
FORMING INTERPOSER FRAME OVER
SEMICONDUCTOR DIE TO PROVIDE VERTICAL
INTERCONNECT

二、中文發明摘要：

一種半導體裝置具有安裝於一載體上之第一半導體晶粒。在一中介物框架中具有一開口且複數個導電柱形成於該中介物框架上。該中介物係安裝在該載體及具有該些導電柱環繞第一晶粒放置之該晶粒上。一凹洞可被形成於該中介物框架內以容納一部分第一晶粒。一密封劑係透過該中介物框架中之開口來沉積於該載體及第一晶粒上。或者是，該密封劑被沉積於該載體及第一晶粒上，並將該中介物框架壓向該密封劑。多餘密封劑透過該中介物框架內之開口釋出。該載體被移除。一內連線結構係形成於該密封劑及第一晶粒上。一第二半導體晶粒可被安裝於該第一晶粒或該中介物框架上。

三、英文發明摘要：

A semiconductor device has a first semiconductor die mounted over a carrier. An interposer frame has an opening in the interposer frame and a plurality of conductive pillars formed over the interposer frame. The interposer is mounted over the carrier and first die with the conductive pillars disposed around the die. A cavity can be formed in the interposer frame to contain a portion of the first die. An encapsulant is deposited through the opening in the interposer frame over the carrier and first die. Alternately, the encapsulant is deposited over the carrier and first die and the interposer frame is pressed against the encapsulant. Excess encapsulant exits through the opening in the interposer frame. The carrier is removed. An interconnect structure is formed over the encapsulant and first die. A second semiconductor die can be mounted over the first die or over the interposer frame.

七、申請專利範圍：

- 1.一種半導體裝置之製造方法，包括：
提供一載體；
在該載體上安裝一第一半導體晶粒；
提供一中介物框架，在該中介物框架內具有一開口且
複數個導電柱形成於該中介物框架上；
將該中介物安裝於該載體和具有環繞第一半導體晶粒
放置之導電柱之第一半導體晶粒上；
透過該中介物框架中之開口將一密封劑沉積於該載體
和第一半導體晶粒上；
移除該載體；以及
在該密封劑和第一半導體晶粒上形成一內連線結構。
- 2.如申請專利範圍第 1 項之方法，進一步包含在該中介
物框架中形成一凹洞以容納一部分第一半導體晶粒。
- 3.如申請專利範圍第 1 項之方法，進一步包含在該載體
上形成對準標記以協助安裝該中介物框架。
- 4.如申請專利範圍第 1 項之方法，進一步包含在沉積該
密封劑之前，先將一第二半導體晶粒安裝於該第一半導體
晶粒上。
- 5.如申請專利範圍第 1 項之方法，進一步包含在該中介
物框架上安裝一第二半導體晶粒。
- 6.如申請專利範圍第 5 項之方法，進一步包含在該第二
半導體晶粒及中介物框架間形成一接線。
- 7.一種半導體裝置之製造方法，包括：

提供一載體；

在該載體上安裝一第一半導體晶粒；

在該載體和第一半導體晶粒上沉積一密封劑；

提供一中介物框架，在該中介物框架中具有一開口且複數個導電柱形成於該中介物框架上；

藉由將該中介物框架壓向該密封劑來安裝該中介物於該載體和第一半導體晶粒上；

移除該載體；以及

在該密封劑和第一半導體晶粒上形成一內連線結構。

8.如申請專利範圍第7項之方法，其中，多餘密封劑透過該中介物框架中之開口釋出。

9.如申請專利範圍第7項之方法，其中，該些導電柱係環繞該第一半導體晶粒放置。

10.如申請專利範圍第7項之方法，進一步包含在該中介物框架中形成一凹洞以容納一部分第一半導體晶粒。

11.如申請專利範圍第7項之方法，進一步包含在沉積該密封劑之前，先將一第二半導體晶粒安裝於該第一半導體晶粒上。

12.如申請專利範圍第7項之方法，進一步包含在該中介物框架上安裝一第二半導體晶粒。

13.如申請專利範圍第12項之方法，進一步包含在該第二半導體晶粒及中介物框架間形成一接線。

14.一種半導體裝置之製造方法，包括：

提供一第一半導體晶粒；

提供一中介物框架，在該中介物框架中具有一開口且複數個導電柱形成於該中介物框架上；

將該中介物安裝於具有環繞第一半導體晶粒放置之導電柱之第一半導體晶粒上；

將一密封劑沉積於該第一半導體晶粒上；以及

在該密封劑和第一半導體晶粒上形成一內連線結構。

15.如申請專利範圍第 14 項之方法，進一步包含：

在安裝該中介物框架之前，先將該密封劑沉積於該第一半導體晶粒上；及

將該中介物框架壓向該密封劑。

16.如申請專利範圍第 15 項之方法，其中，多餘密封劑透過該中介物框架中之開口釋出。

17.如申請專利範圍第 14 項之方法，進一步包含透過該中介物框架中之開口將該密封劑沉積於該第一半導體晶粒上。

18.如申請專利範圍第 14 項之方法，進一步包含在該中介物框架中形成一凹洞以容納一部分第一半導體晶粒。

19.如申請專利範圍第 14 項之方法，進一步包含在沉積該密封劑之前，先將一第二半導體晶粒安裝於該第一半導體晶粒上。

20.如申請專利範圍第 14 項之方法，進一步包含在該中介物框架上安裝一第二半導體晶粒。

21.一種半導體裝置，包括：

一第一半導體晶粒；

一中介物框架，安裝於該第一半導體晶粒上，該中介物框架中具有一開口且複數個導電柱形成該中介物框架上；

一密封劑，沉積於該第一半導體晶粒上；以及

一內連線結構，形成於該密封劑和第一半導體晶粒上。

22.如申請專利範圍第 21 項之半導體裝置，進一步包含一凹洞，其形成於該中介物框架中以容納一部分第一半導體晶粒。

23.如申請專利範圍第 21 項之半導體裝置，其中該密封劑係透過該中介物框架中之開口以沉積於該第一半導體晶粒上。

24.如申請專利範圍第 21 項之半導體裝置，進一步包含一第二半導體晶粒，其安裝於該第一半導體晶粒上。

25.如申請專利範圍第 21 項之方法，進一步包含一第二半導體晶粒，其安裝於該中介物框架上。

八、圖式：

(如次頁)

一中介物框架，安裝於該第一半導體晶粒上，該中介物框架中具有一開口且複數個導電柱形成該中介物框架上；

一密封劑，沉積於該第一半導體晶粒上；以及

一內連線結構，形成於該密封劑和第一半導體晶粒上。

22.如申請專利範圍第 21 項之半導體裝置，進一步包含一凹洞，其形成於該中介物框架中以容納一部分第一半導體晶粒。

23.如申請專利範圍第 21 項之半導體裝置，其中該密封劑係透過該中介物框架中之開口以沉積於該第一半導體晶粒上。

24.如申請專利範圍第 21 項之半導體裝置，進一步包含一第二半導體晶粒，其安裝於該第一半導體晶粒上。

25.如申請專利範圍第 21 項之方法，進一步包含一第二半導體晶粒，其安裝於該中介物框架上。

八、圖式：

(如次頁)

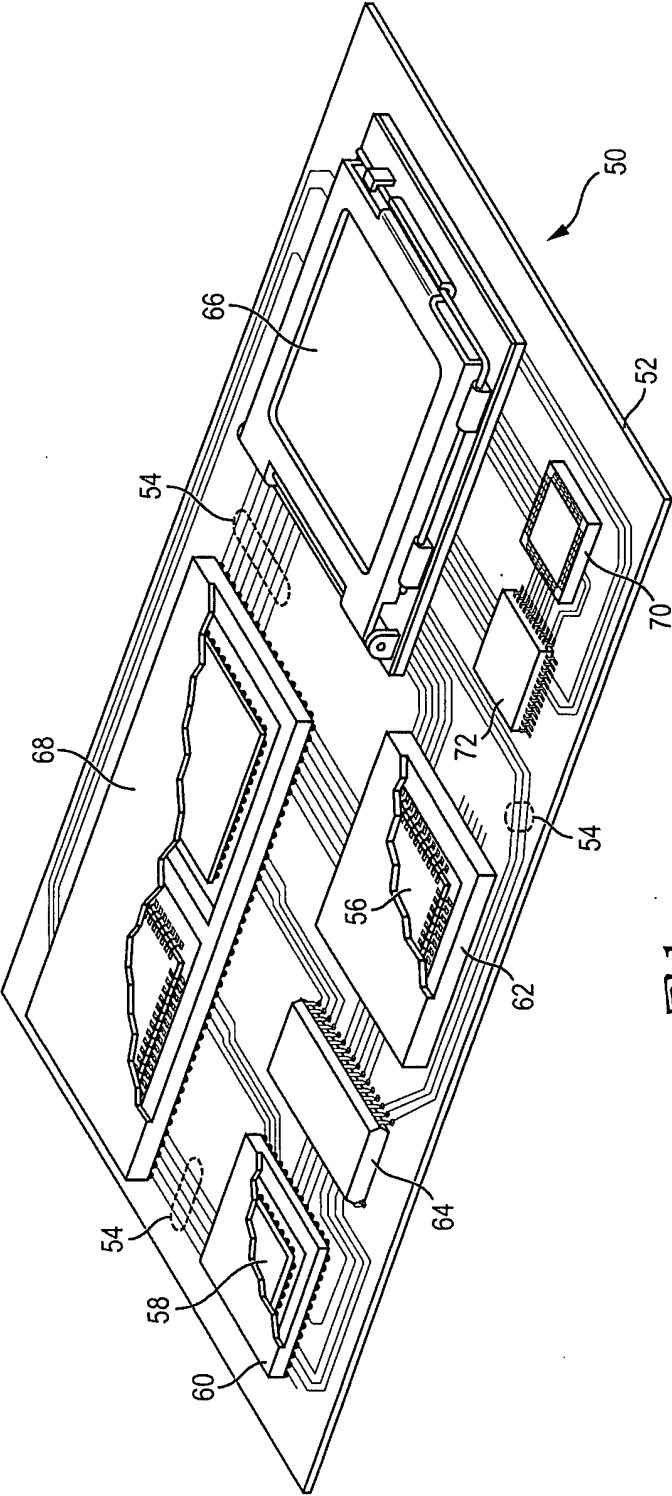


圖1

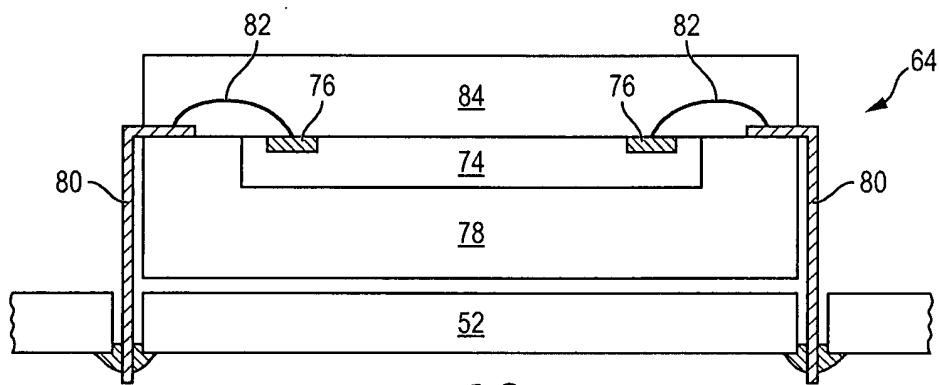


圖 2a

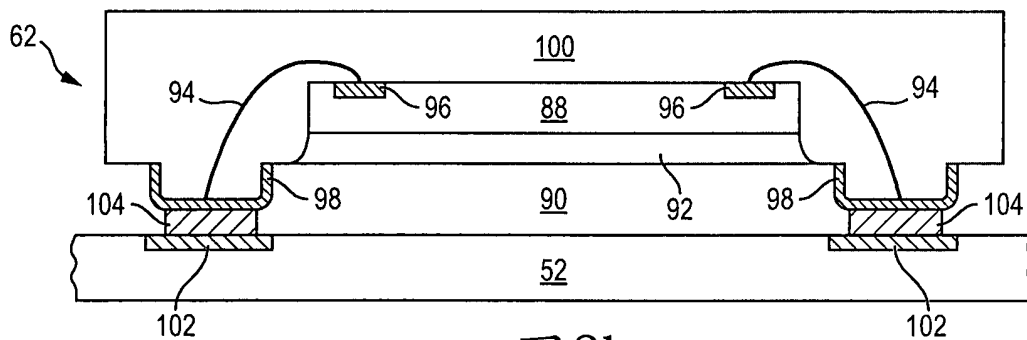


圖 2b

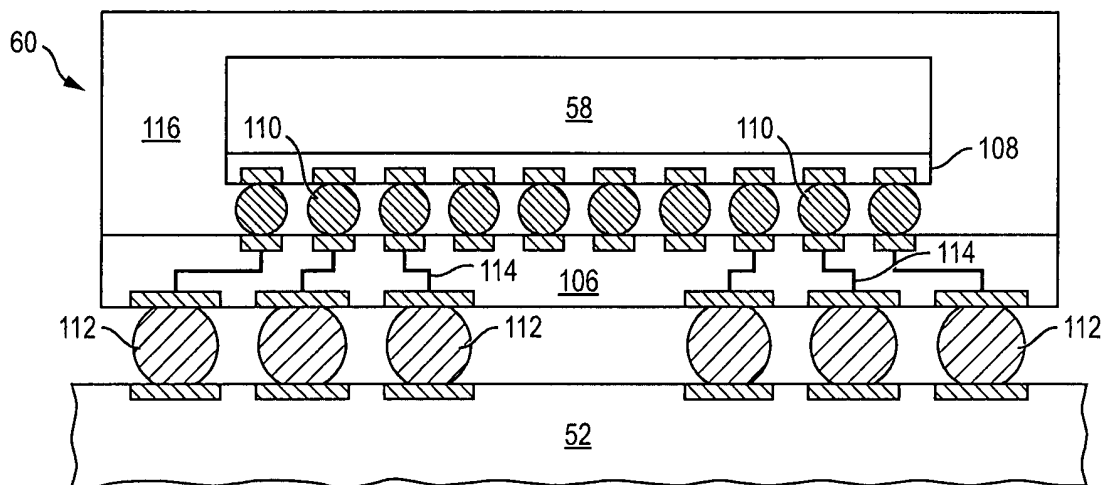


圖 2c

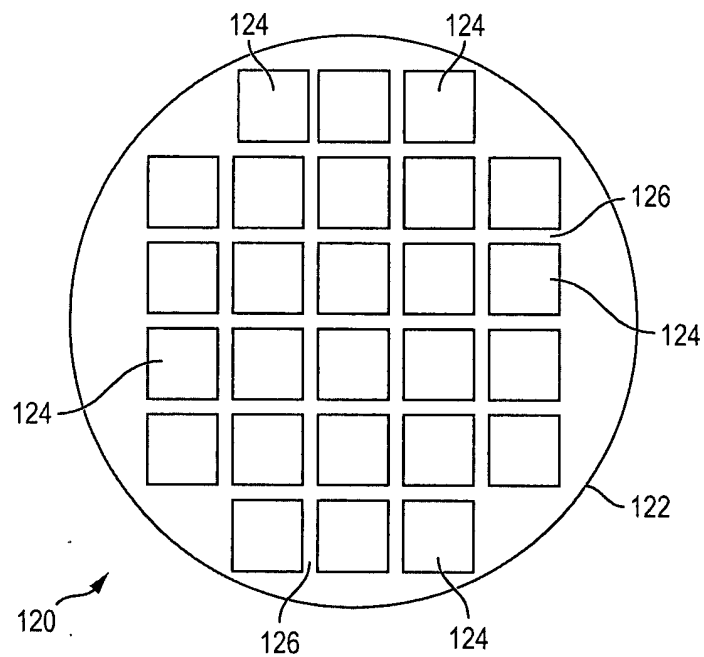


圖 3a

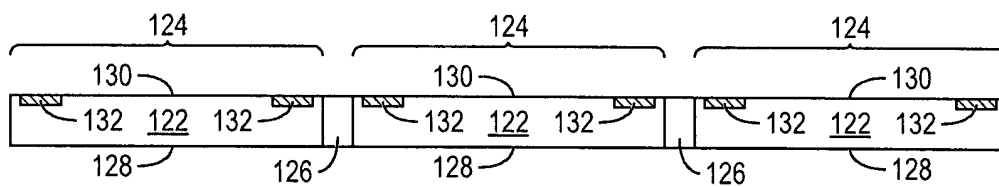


圖 3b

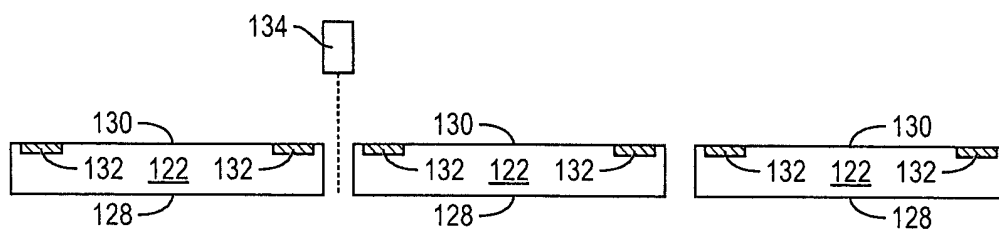


圖 3c

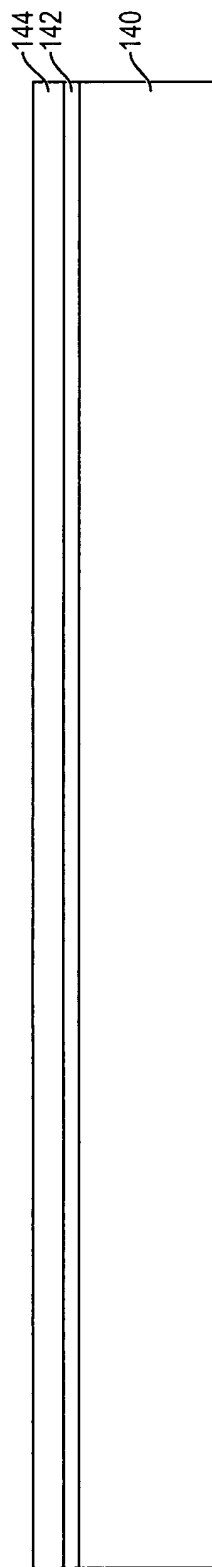


圖 4a

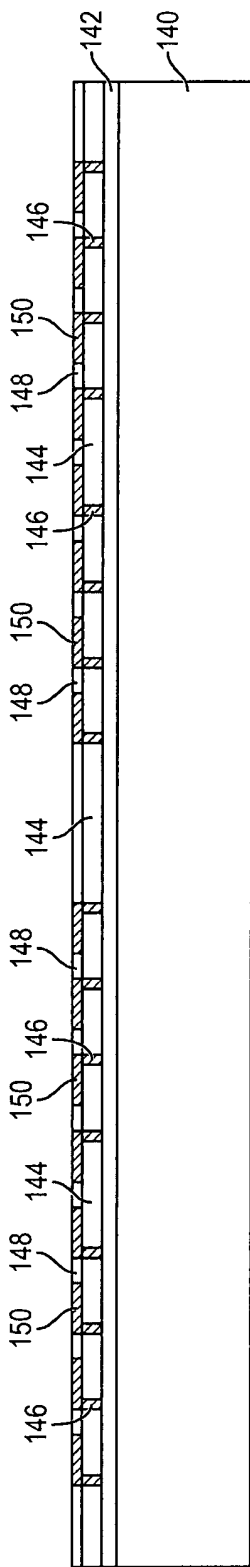


圖 4b

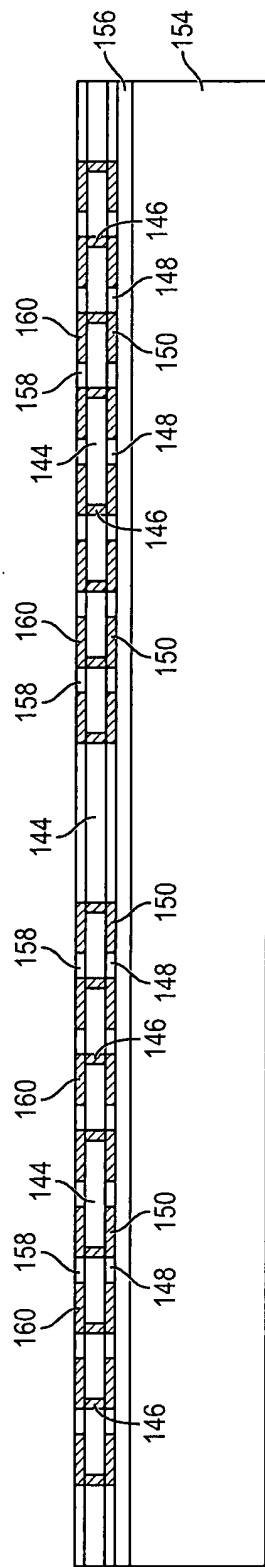


圖 4c

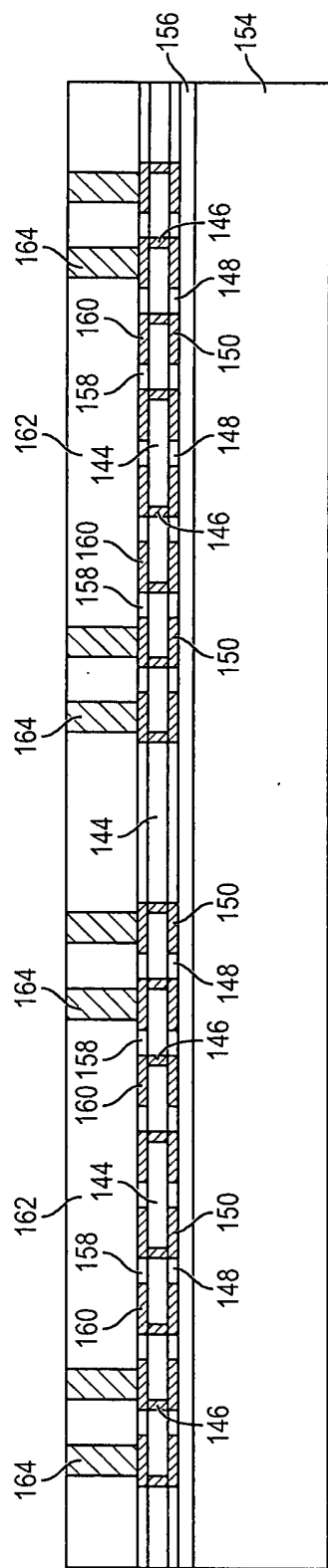


圖4d

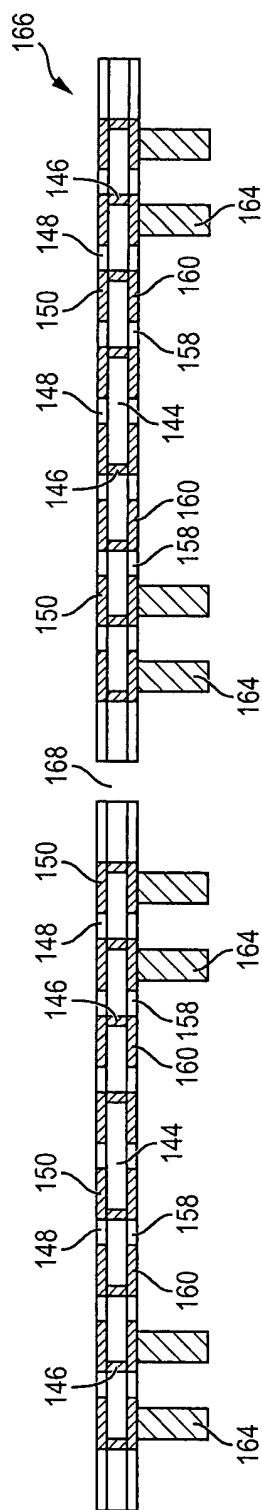


圖4e

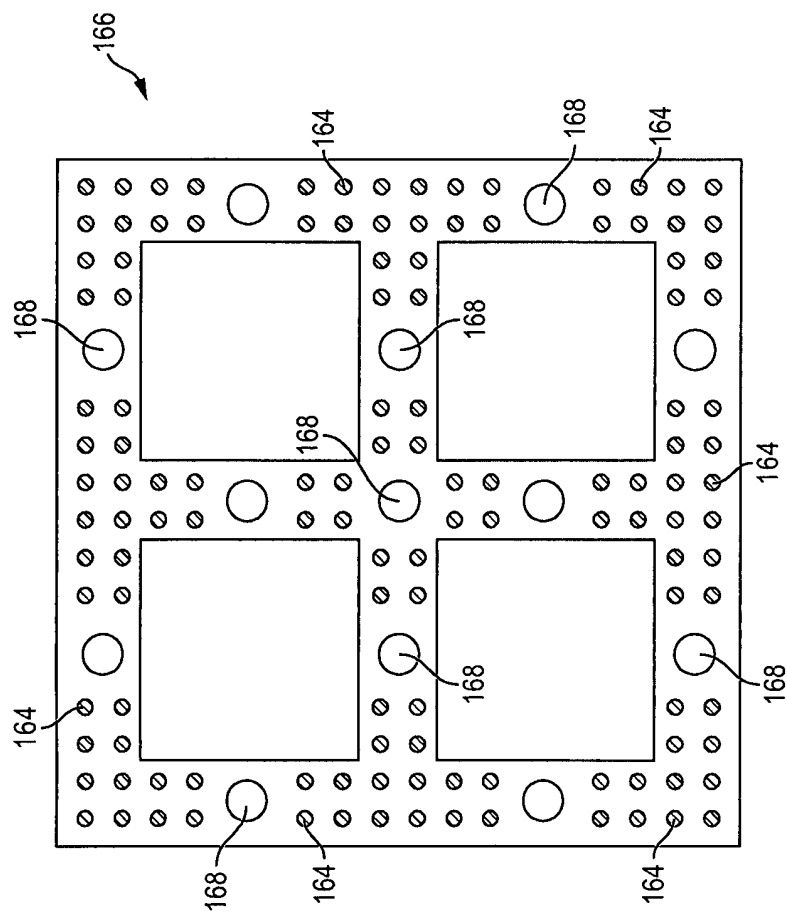


圖 4f

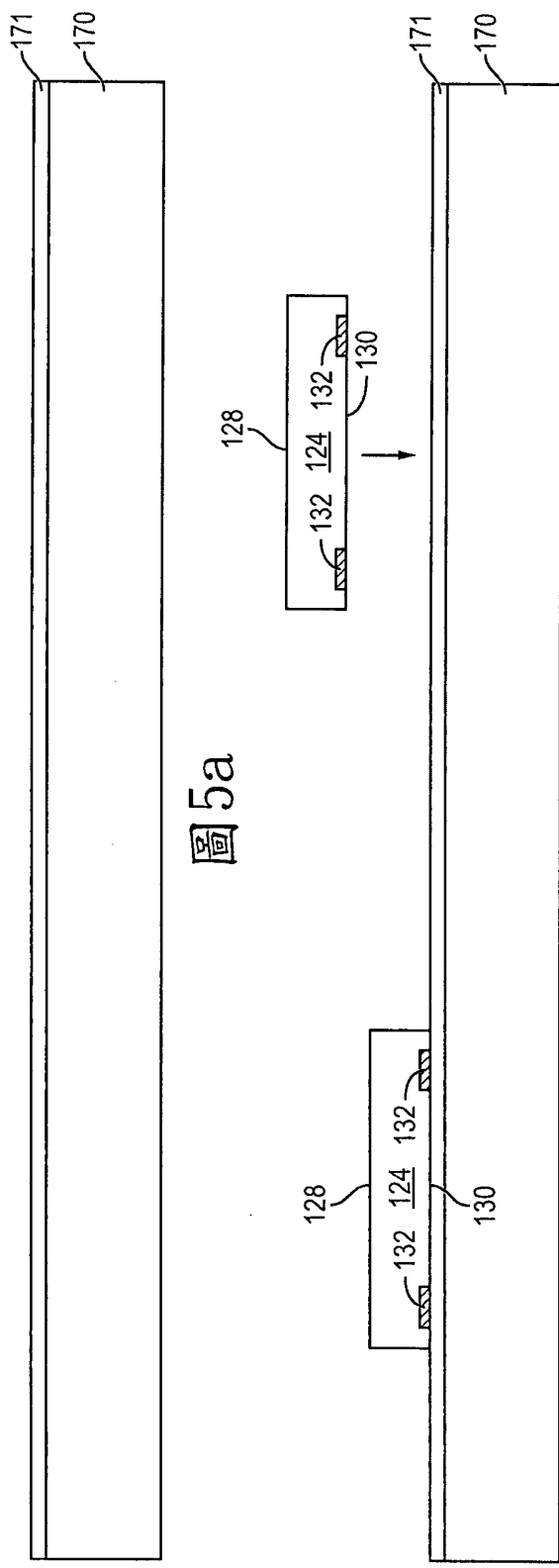


圖5a

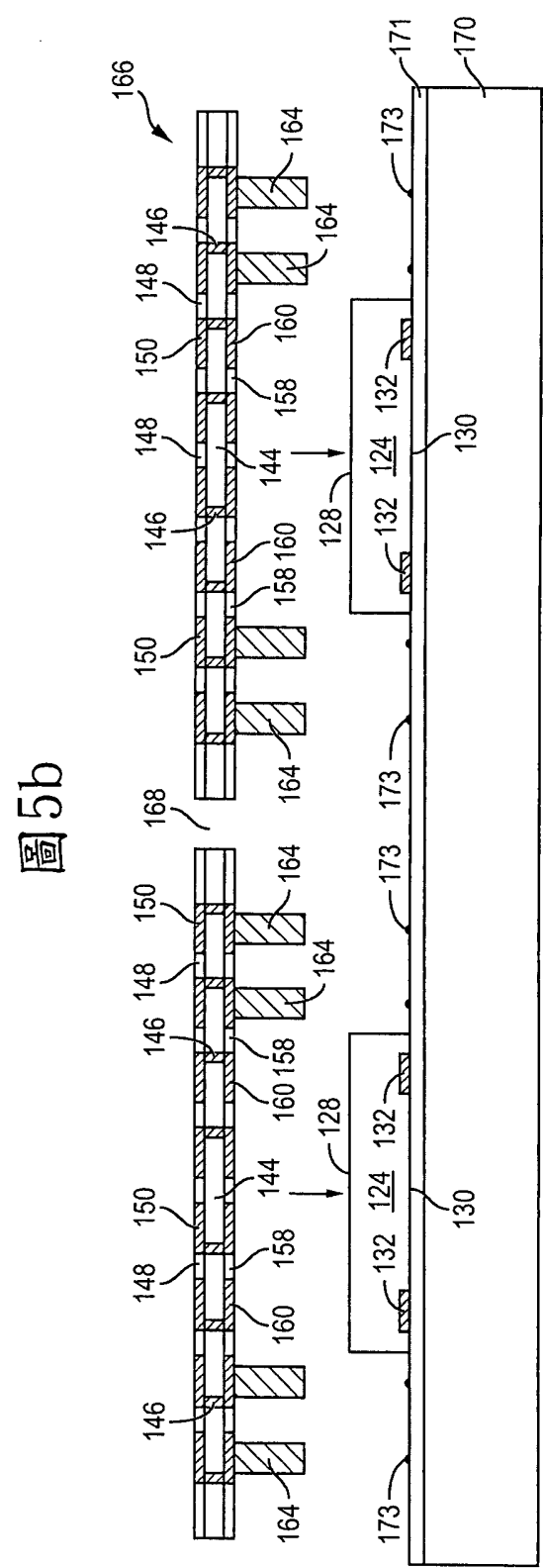


圖5b

圖5c

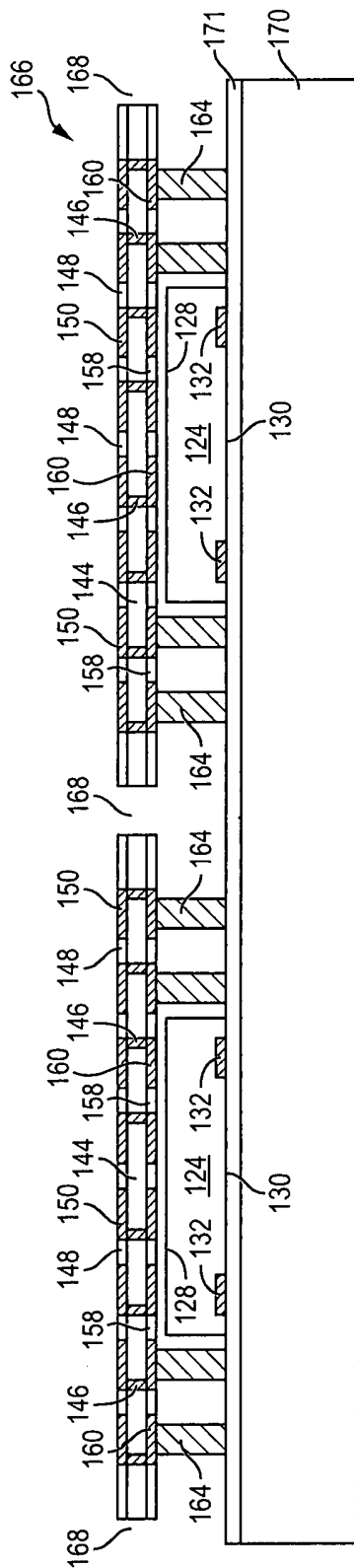


圖5d

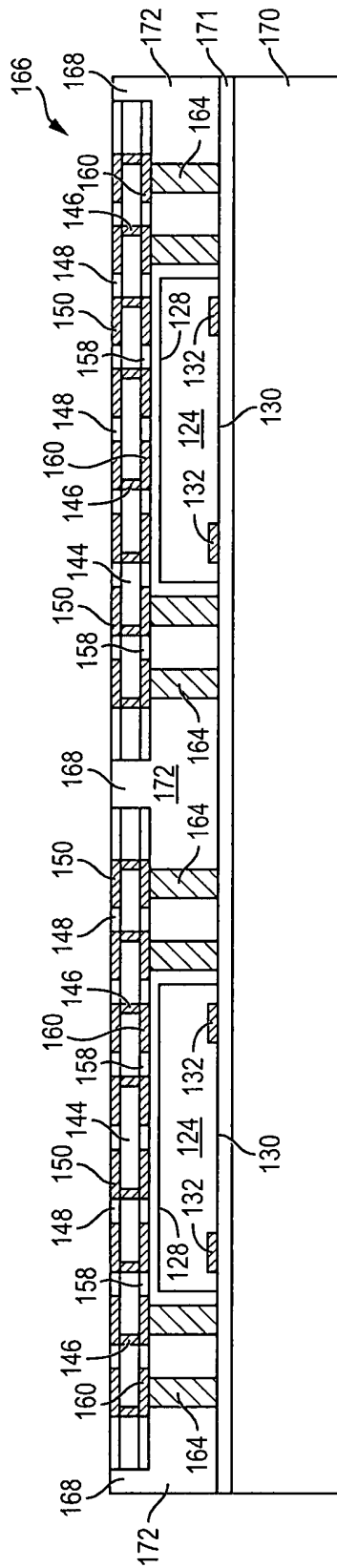


圖5e

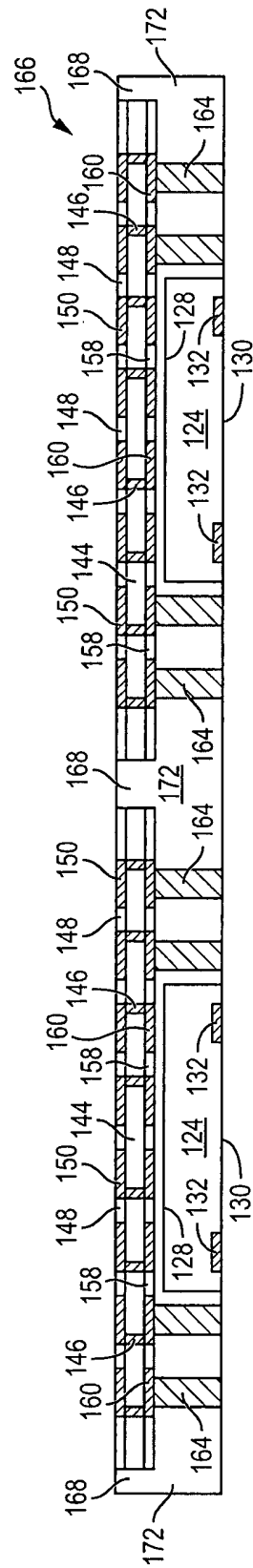


圖5f

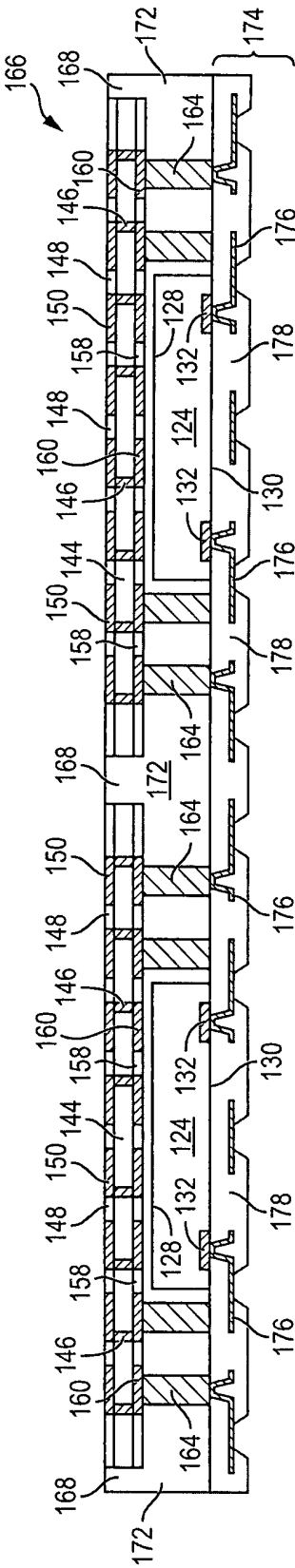


圖 5g

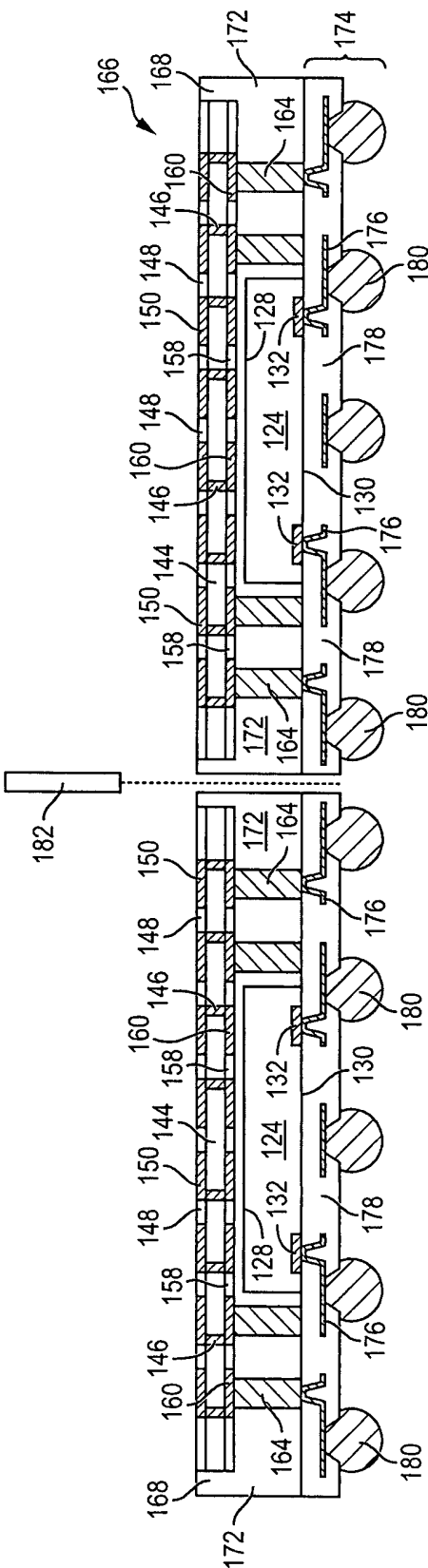


圖 5h

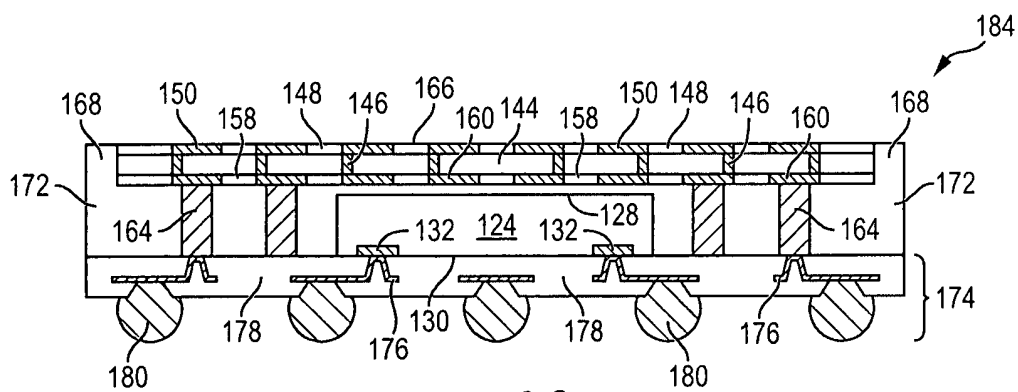


圖 6

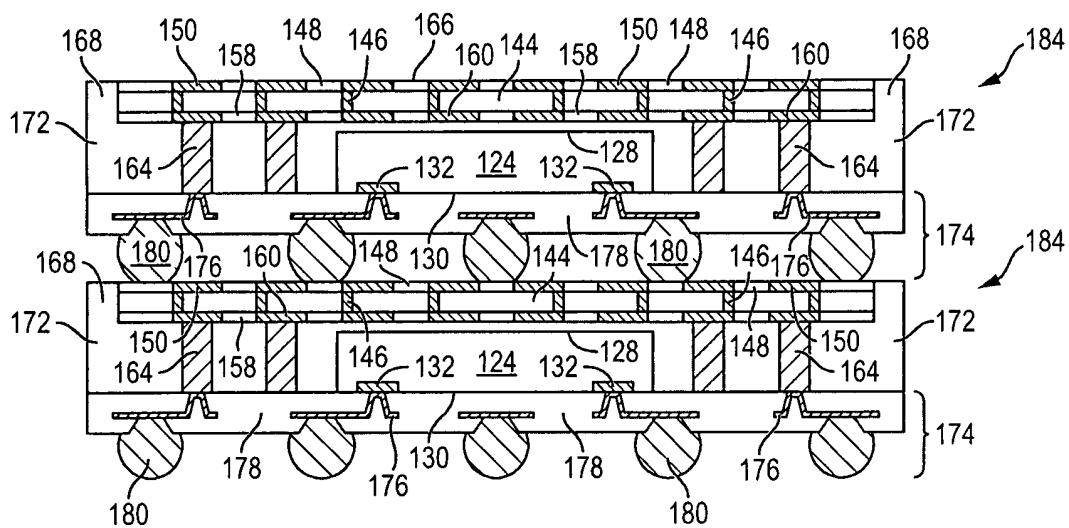


圖 7

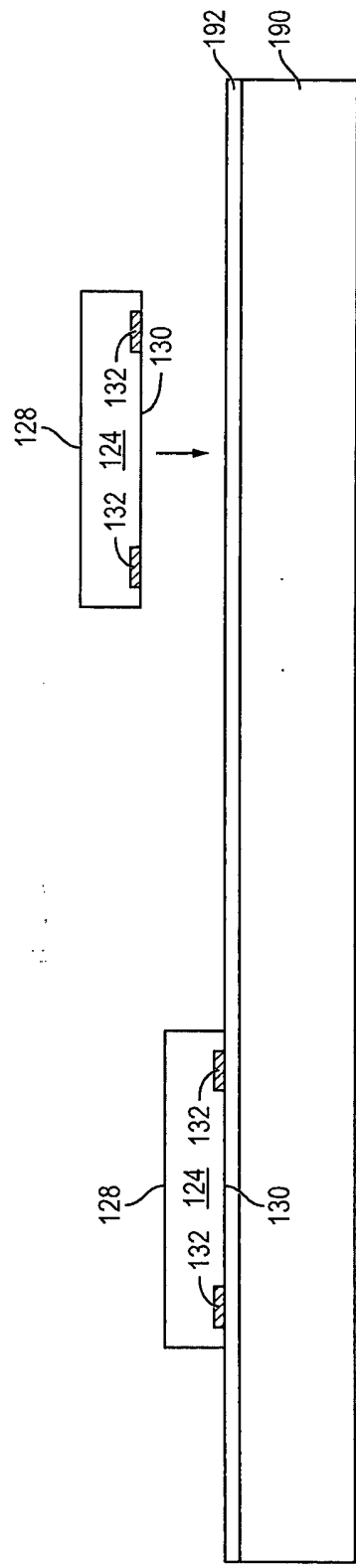


圖 8a

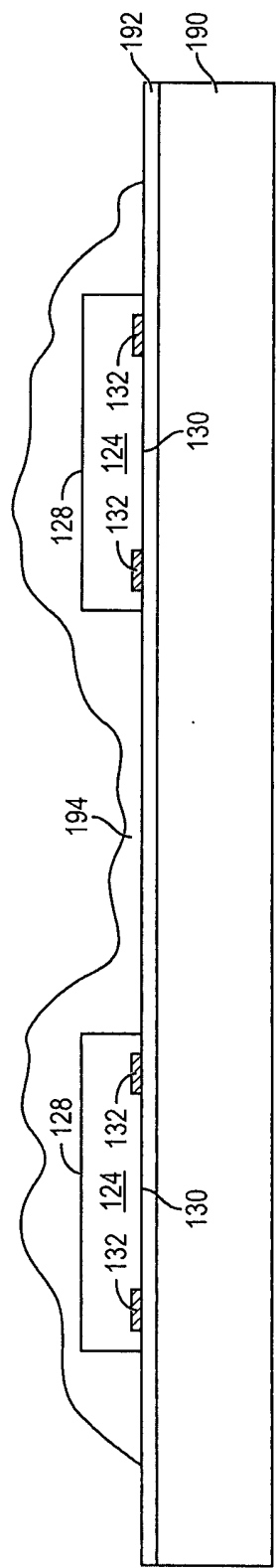


圖 8b

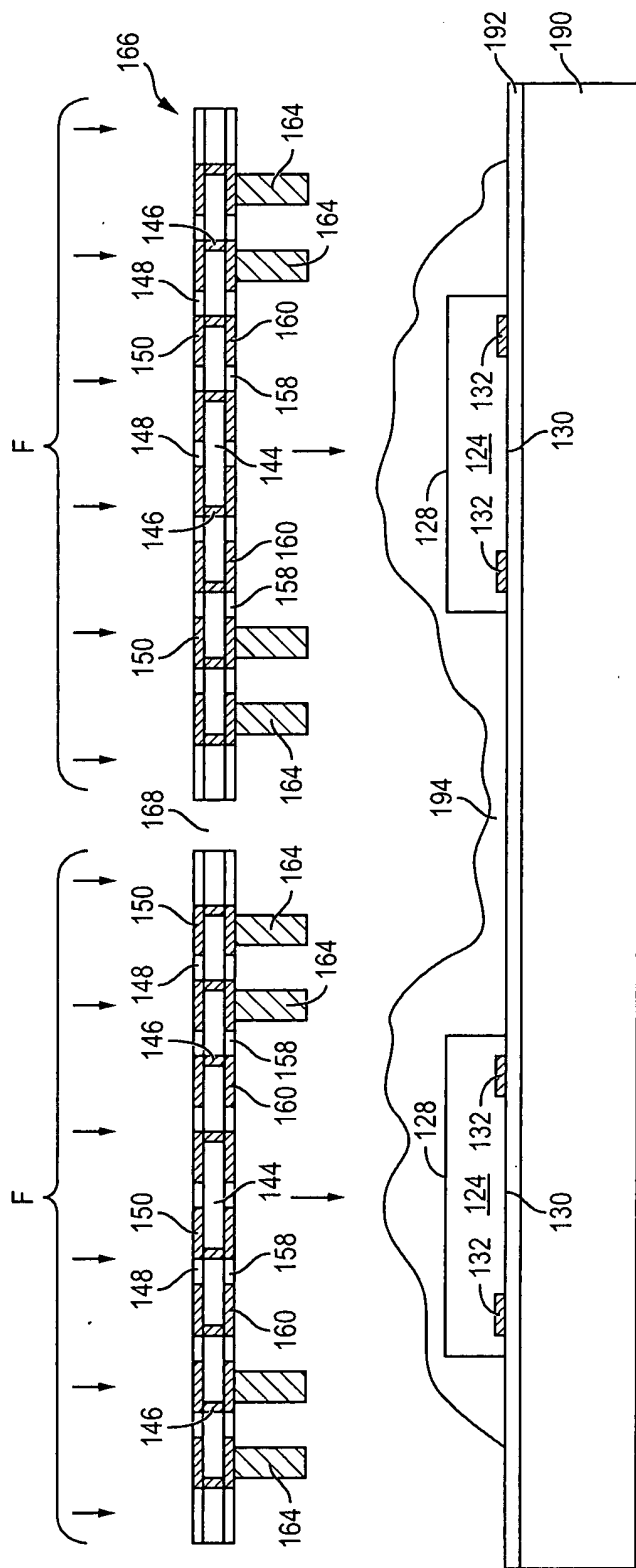


圖8C

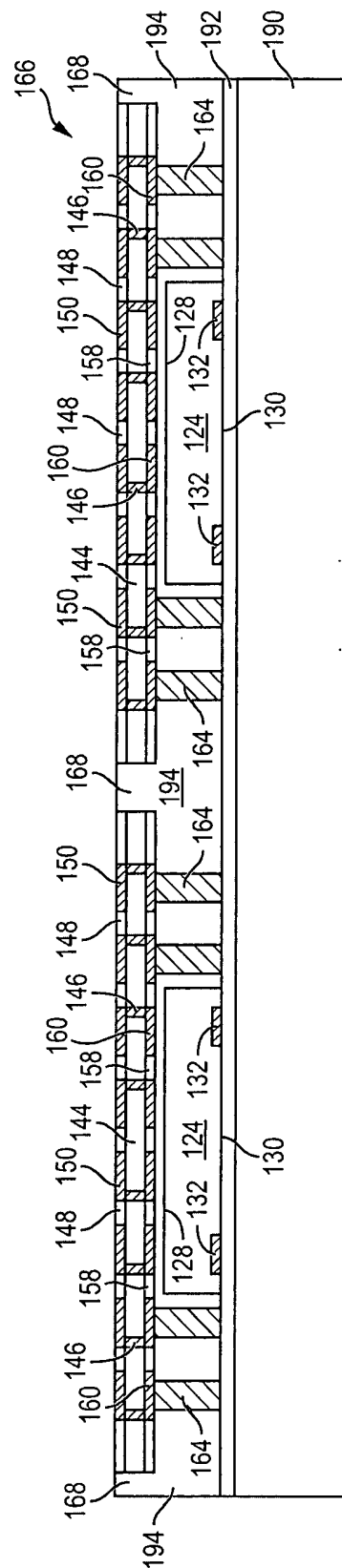


圖8d

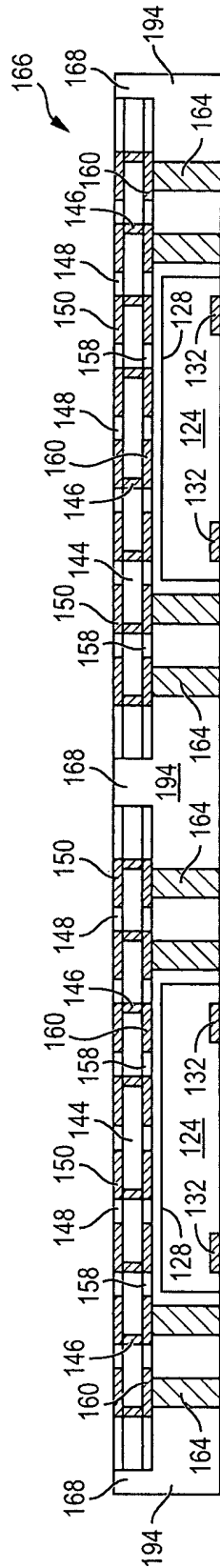


圖 8e

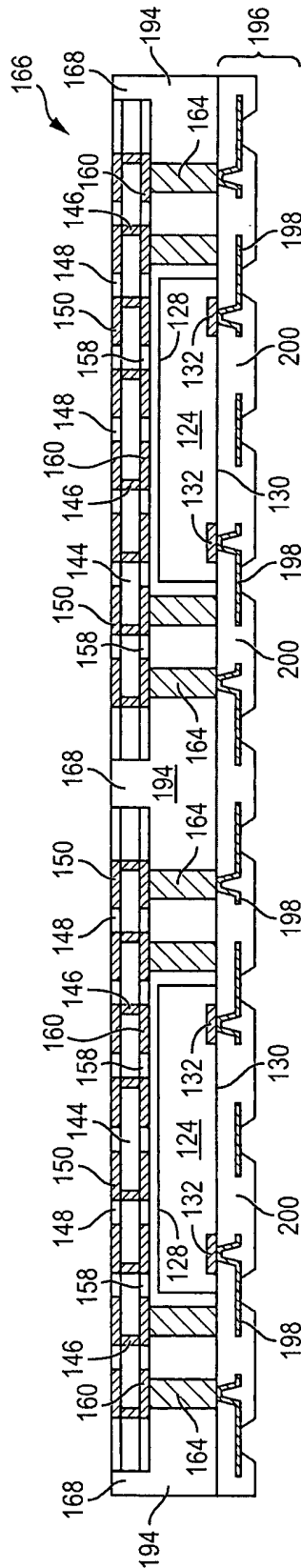


圖 8f

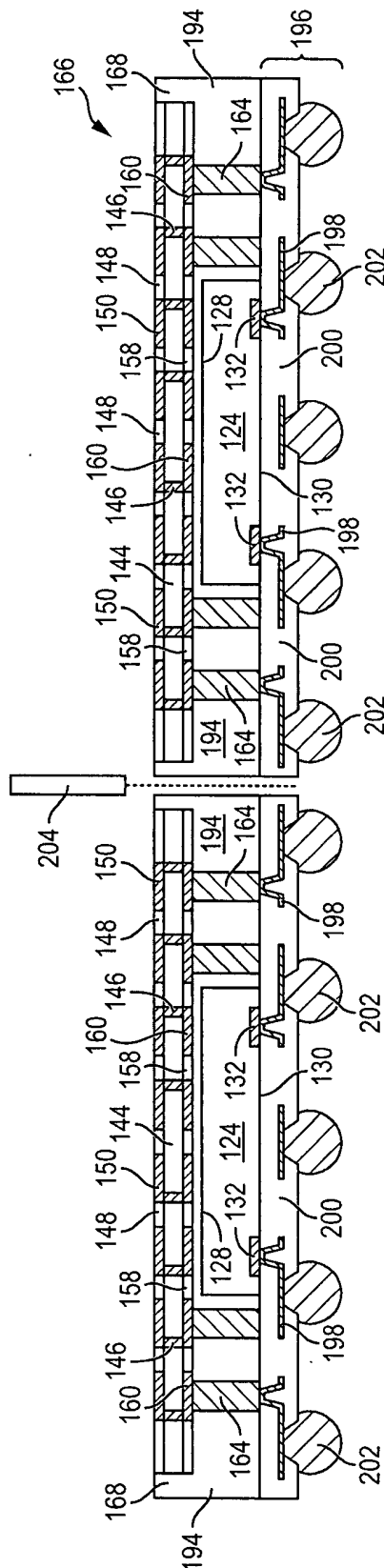


圖 8g

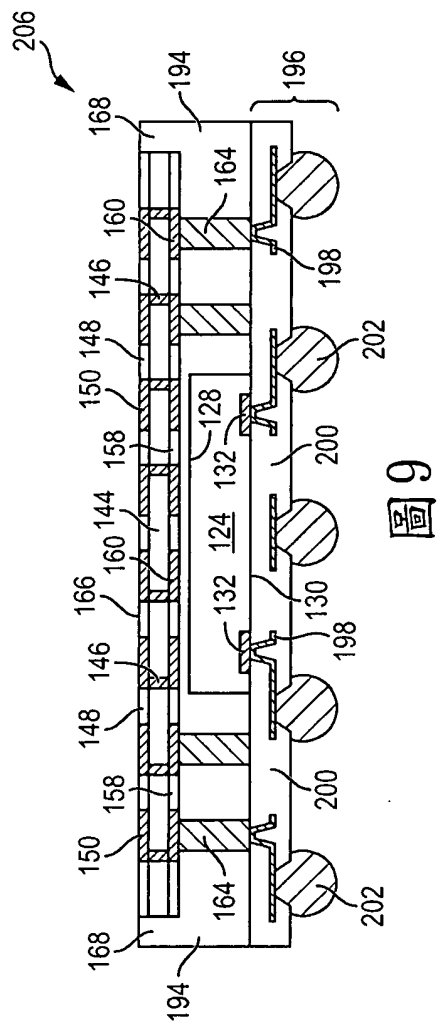


圖9

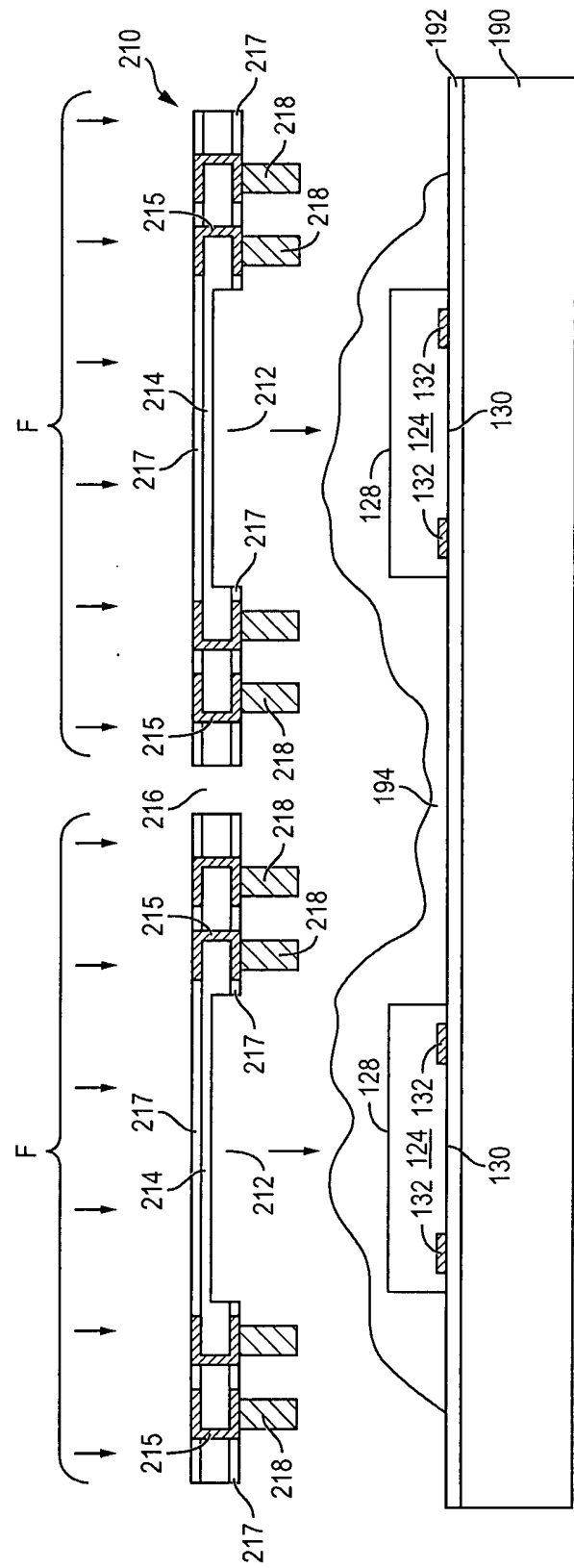


圖10a

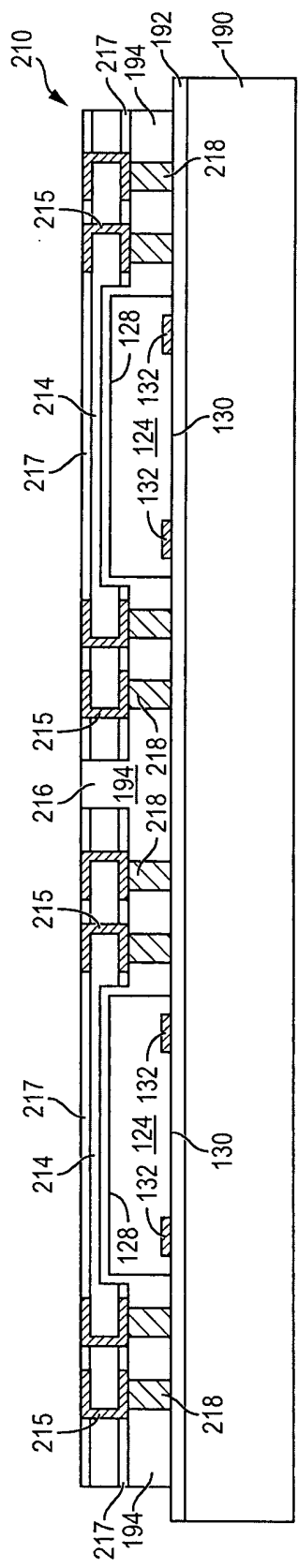


圖 10b

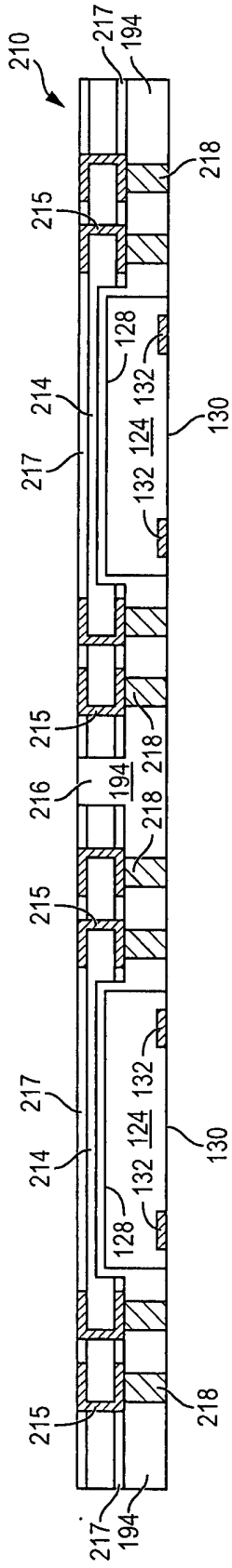


圖 10c

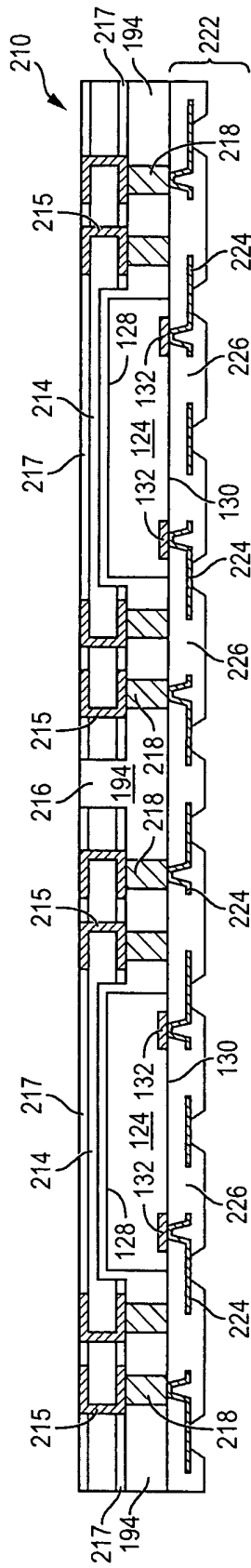


圖 10d

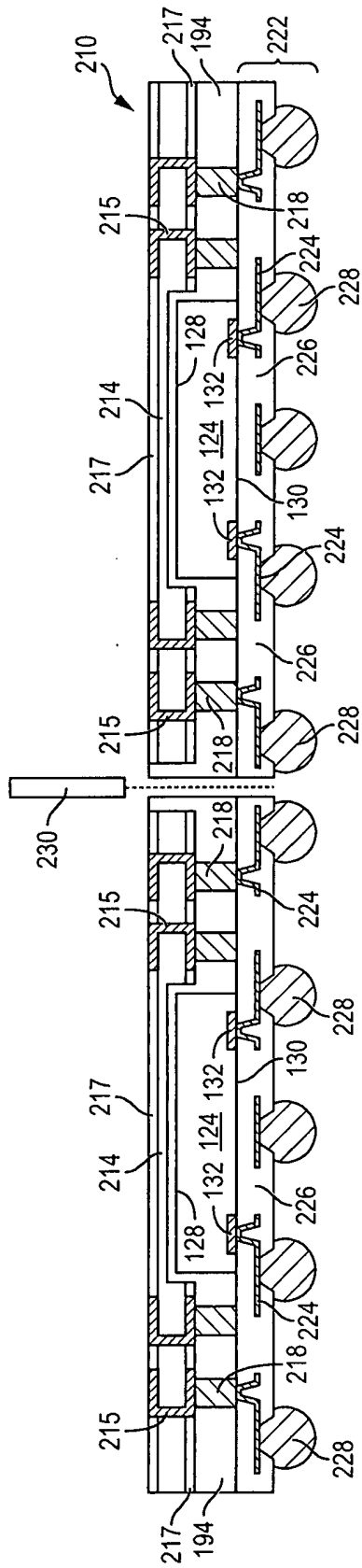


圖10e

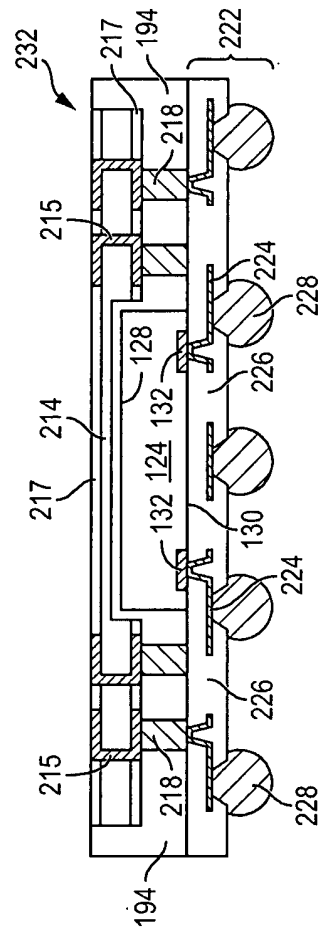


圖11

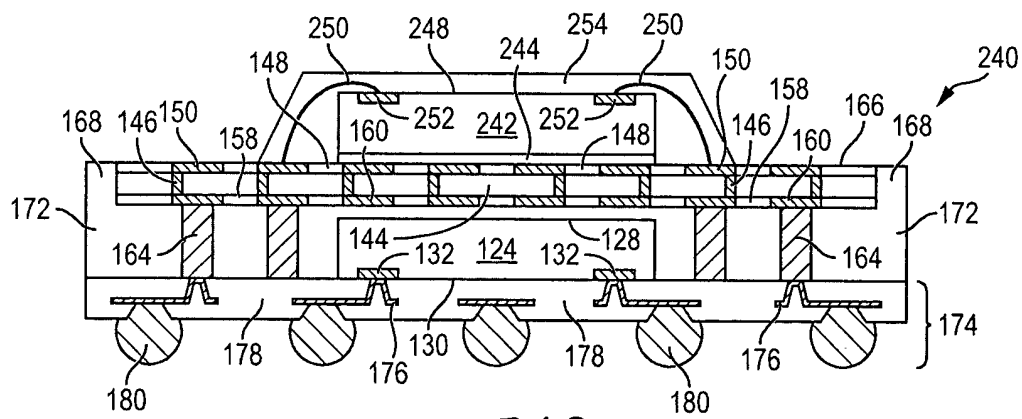


圖12

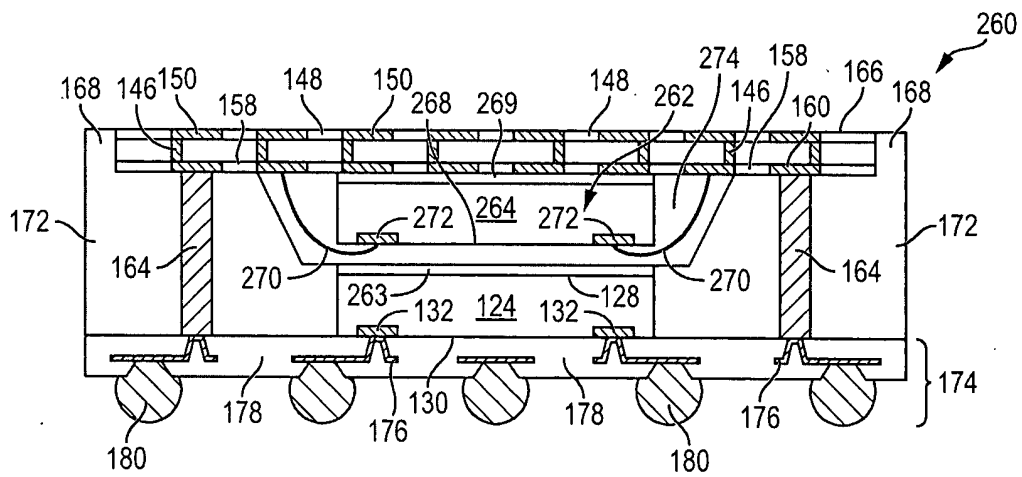


圖13

四、指定代表圖：

(一)本案指定代表圖為：圖 6。

(二)本代表圖之元件符號簡單說明：

124	半 導 體 晶 粒
128	背 面
130	作 用 表 面
132	導 電 層
144	半 導 體 晶 圓 或 基 板
146	z 方 向 垂 直 互 連 導 電 通 孔
148	絕 緣 或 保 護 層
150	導 電 層 或 重 分 佈 層
158	絕 緣 或 保 護 層
160	導 電 層 或 重 分 佈 層
164	z 方 向 垂 直 互 連 導 電 柱
166	預 先 形 成 中 介 物 框 架
168	開 口
172	密 封 劑 或 密 封 化 合 物
174	增 層 式 內 連 線 結 構
176	導 電 層 或 重 分 佈 層
178	絕 緣 或 保 護 層
180	圓 球 或 凸 塊
184	扇 出 型 晶 圓 級 晶 片 尺 寸 封 裝

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無