

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G01R 31/26 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200680013325.7

[43] 公开日 2008年4月16日

[11] 公开号 CN 101163977A

[22] 申请日 2006.3.18

[21] 申请号 200680013325.7

[30] 优先权

[32] 2005.3.18 [33] US [31] 11/083,473

[32] 2005.8.19 [33] US [31] 11/207,581

[32] 2005.9.9 [33] US [31] 11/223,286

[32] 2005.10.24 [33] US [31] 11/258,484

[32] 2005.12.14 [33] US [31] 11/304,445

[32] 2006.3.6 [33] US [31] 11/369,878

[86] 国际申请 PCT/US2006/010054 2006.3.18

[87] 国际公布 WO2006/102241 英 2006.9.28

[85] 进入国家阶段日期 2007.10.19

[71] 申请人 英沛科技公司

地址 美国加利福尼亚州

[72] 发明人 亚德里恩·翁

[74] 专利代理机构 北京集佳知识产权代理有限公司
代理人 李德山 杨生平

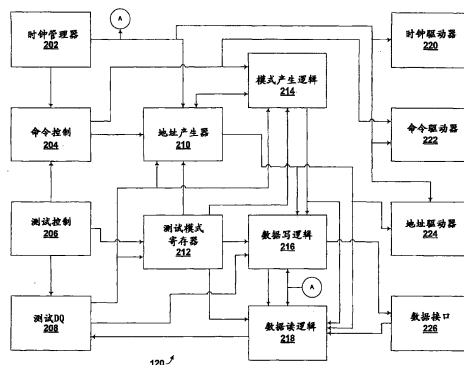
权利要求书 10 页 说明书 33 页 附图 22 页

[54] 发明名称

集成电路测试模块

[57] 摘要

公开了测试集成电路(130)的系统(100)和方法。系统(100)包含测试模块(120)，其被配置成在自动测试设备(110)和要测试的集成电路(130)之间操作。测试接口(120)被配置成以高于自动测试设备(110)的时钟频率测试集成电路。为此，测试接口(120)包含被配置用于产生要提供到集成电路(130)的地址和测试数据的部件。能够产生各种测试数据模式，并且能够相关寻址测试数据。



120

1. 一种系统，包括：

一或多个输入部件，被配置成以第一时钟频率从自动测试设备接收信号，所述自动测试设备被配置成测试集成电路；

地址产生部件，被配置成响应从自动测试设备接收的信号产生地址；

一或多个数据产生部件，被配置成响应从自动测试设备接收的信号产生测试数据，所述测试数据要被传送到地址产生部件所产生的地址；和

一或多个输出部件，被配置成以第二时钟频率向集成电路内的所述产生的地址传送所述产生的测试数据，所述集成电路能与所述一或多个输出部件分离，所述第二时钟频率高于所述第一时钟频率。

2. 如权利要求 1 所述的系统，还包括一或多个数据接收部件，被配置成以第二时钟频率从集成电路接收数据，并且响应所接收的数据以第一时钟频率与自动测试设备通信。

3. 如权利要求 1 或 2 所述的系统，其中所述一或多个数据接收部件被配置成使用数据测试模式压缩所接收的数据。

4. 如权利要求 2 或 3 所述的系统，其中所述一或多个数据接收部件被配置成比较所接收的数据和期望结果，并且使用这个比较的输出与自动测试设备通信。

5. 如权利要求 1-3 或 4 所述的系统，其中所述一或多个数据产生部件进一步被配置成响应地址产生部件产生的地址产生测试数据。

6. 如权利要求 1-4 或 5 所述的系统，其中所述一或多个输出部件包含命令调度器，其被配置成调度命令到集成电路的传送。

7. 如权利要求 1-5 或 6 所述的系统，其中所述命令调度器进一步被配置成根据第二时钟的时钟周期调度命令的传送。

8. 如权利要求 1-6 或 7 所述的系统，其中所述命令调度器被配置成响应前面命令的身份调度命令的传送。

9. 如权利要求 1-7 或 8 所述的系统，其中所述一或多个输入部件和所述一或多个输出部件被包含在测试模块中，所述测试模块是为测试多个集成电路而配置的测试阵列中包含的多个测试模块之一。

10. 如权利要求 1-8 或 9 所述的系统，其中所述测试阵列包含被配置

成存储用于测试所述多个集成电路的参数的存储器,所述存储器由所述多个测试模块共享。

11. 如权利要求 1-9 或 10 所述的系统,其中所述地址产生部件和所述一或多个数据产生部件能与所述自动测试设备分离。

12. 如权利要求 1-10 或 11 所述的系统,还包括为测试所述集成电路而配置并且耦接到所述一或多个输入部件的所述自动测试设备。

13. 如权利要求 1-11 或 12 所述的系统,还包括所述集成电路。

14. 如权利要求 1-12 或 13 所述的系统,其中所述集成电路是能够使用所述一或多个输出部件测试的多个分立集成电路之一。

15. 如权利要求 1-13 或 14 所述的系统,其中所述一或多个数据产生部件被包含在所述自动测试设备的可分离部件内。

16. 一种方法,包括:

将自动测试设备附连到测试模块;

将要测试的集成电路附连到所述测试模块;

为所述集成电路的测试而配置所述测试模块;

以第一时钟频率在测试模块从自动测试设备接收测试信号;

响应从自动测试设备接收的测试信号在测试模块内产生测试地址;

响应从自动测试设备接收的测试信号在测试模块内产生测试数据;和

以第二时钟频率向集成电路内的所述产生的测试地址发送所述产生的测试数据,所述第二时钟频率高于所述第一时钟频率。

17. 如权利要求 16 所述的方法,还包括:

以第二时钟频率从集成电路接收信号,所述接收信号响应于发送到集成电路的测试数据,并且响应从集成电路接收的信号向自动测试设备发送来自测试模块的通信。

18. 如权利要求 16 或 17 所述的方法,其中通过响应当在测试模块内产生测试数据时使用的测试模式而压缩接收的信号,产生所述通信。

19. 如权利要求 16、17 或 18 所述的方法,其中通过将集成电路接收的信号与期望结果相比较来产生所述通信。

20. 如权利要求 16-18 或 19 所述的方法,其中通过将集成电路接收

的信号的压缩版本与期望结果相比较来产生所述通信。

21. 如权利要求 16-19 或 20 所述的方法,还包括将所述测试模块与所述集成电路分离,并且将第二集成电路附连到用于测试所述第二集成电路的测试模块。

22. 如权利要求 16-20 或 21 所述的方法,其中所述测试数据的产生响应于所述产生的测试地址之一为奇还是为偶。

23. 如权利要求 16-21 或 22 所述的方法,还包括使用命令调度器将命令从所述测试模块传送到所述集成电路。

24. 如权利要求 16-22 或 23 所述的方法,还包括使用命令调度器将来自测试模块的命令传送到集成电路,所述命令调度器被配置成响应前面命令的身份调度命令的传送。

25. 如权利要求 16-23 或 24 所述的方法,还包括使用命令调度器将来自测试模块的命令传送到集成电路,所述命令调度器被配置成使用依据所述第二时钟频率确定的延迟来传送所述命令。

26. 一种系统,包括:

一或多个数据接收部件,被配置成以第一时钟频率从被测集成电路接收数据;

数据压缩部件,被配置成压缩从所述集成电路接收的数据以产生压缩数据,所述压缩响应于所述数据被接收来自的集成电路内的地址;

至少一个输入,被配置用于接收由所述数据压缩部件使用的期望数据或复用模式;和

一或多个数据输出部件,被配置成以第二时钟频率向自动测试设备传送所述压缩数据。

27. 如权利要求 26 所述的系统,其中所述集成电路能与所述一或多个数据接收部件分离,所述第二时钟频率低于所述第一时钟频率。

28. 如权利要求 26 或 27 所述的系统,其中所述数据压缩部件被配置成响应反转奇或偶位模式来压缩从所述集成电路接收的数据。

29. 如权利要求 26、27 或 28 所述的系统,其中串行压缩阶段包含从所述集成电路接收的数据与期望数据值的多个比较。

30. 如权利要求 26-28 或 29 所述的系统,其中所述数据压缩部件被配

置成在并行压缩阶段中压缩从所述集成电路接收的数据。

31. 如权利要求 26-29 或 30 所述的系统,其中所述一或多个数据接收部件和所述一或多个数据输出部件被包含在测试模块中,所述测试模块是为测试多个集成电路而配置的测试阵列中包含的多个测试模块之一。

32. 如权利要求 26-30 或 31 所述的系统,其中所述测试阵列包含被配置成存储所述期望数据的存储器,所述存储器由所述多个测试模块共享。

33. 如权利要求 26-31 或 32 所述的系统,其中所述一或多个数据接收部件和所述一或多个数据输出部件被包含在测试模块中,所述测试模块是所述自动测试设备的可替换模块。

34. 如权利要求 26-32 或 33 所述的系统,还包括被配置用于测试所述集成电路并且耦接到所述一或多个数据输出部件的所述自动测试设备,其中所述数据压缩部件能与所述自动测试设备分离。

35. 如权利要求 26-33 或 34 所述的系统,其中所述一或多个数据接收部件和所述一或多个数据输出部件被包含在测试模块中,该测试模块被长度大于 15 厘米的连接器与自动测试设备分离。

36. 一种方法,包括:

将要测试的集成电路附连到所述测试模块;

从所述集成电路接收数据;

响应于期望数据压缩接收的数据以产生压缩数据,所述期望数据响应于所述接收的数据被接收来自的集成电路内的地址; 和

向自动测试设备提供所述压缩数据。

37. 如权利要求 36 所述的方法,其中响应并行压缩复用模式而进行所述接收的数据的压缩。

38. 一种地址产生器,包括:

被配置成从自动测试设备接收测试地址的输入;

被配置成响应所述测试地址而产生多个行地址的行地址产生器;

被配置成响应所述测试地址而产生多个列地址的列地址产生器; 和

地址驱动器,被配置成向被测集成电路传送所述多个行地址和所述多个列地址。

39. 如权利要求 38 所述的地址产生器, 其中所述输入进一步被配置成以第一时钟信号接收所述地址, 并且所述地址驱动器被配置成以第二时钟信号向所述集成电路传送所述多个行地址。

40. 如权利要求 38 或 39 所述的地址产生器, 还包含 A10 产生器, 被配置成产生用于控制存储器设备的 A10 位的信号。

41. 如权利要求 38、39 或 40 所述的地址产生器, 还包含被配置成接收预充电控制命令的输入。

42. 如权利要求 38-40 或 41 所述的地址产生器, 其中所述行地址产生器进一步被配置成接收行计数器信号并且响应所述行计数器信号产生所述多个行地址。

43. 一种系统, 包括:

一或多个输入部件, 被配置成以第一时钟频率从自动测试设备接收测试地址数据;

被配置成响应所述测试地址数据而产生多个地址的地址产生器; 和

一或多个输出部件, 被配置成以第二时钟频率向被测集成电路传送所述多个地址。

44. 如权利要求 43 所述的系统, 其中所述地址产生器包含被配置成响应所述测试地址数据而产生多个列地址的列地址产生器, 和被配置成响应所述测试地址数据而产生多个行地址的行地址产生器。

45. 如权利要求 38、43 或 44 所述的系统, 其中所述地址产生器被配置成针对由测试地址数据表示的每个测试地址产生 4 或更多个地址。

46. 如权利要求 38、43、44 或 45 所述的系统, 其中所述地址产生器被配置成响应由测试地址数据表示的每个测试地址产生地址块。

47. 一种方法, 包括:

设置列计数器;

设置行计数器;

从自动测试设备接收测试地址;

使用所述行计数器和所述测试地址产生多个行地址;

使用所述列计数器和所述测试地址产生多个列地址;

使用所述多个行地址和所述多个列地址产生多个存储器地址；和
向被测集成电路传送所述多个存储器地址。

48. 如权利要求 47 所述的方法，还包含使用所述多个列地址或所述多个行地址产生要存储在所述多个列地址的测试数据。

49. 如权利要求 47 或 48 所述的方法，还包含设置要在产生所述多个行地址时改变的行最低有效位。

50. 一种测试集成电路的方法，包括：

以第一时钟频率从自动测试设备接收测试地址信号和测试数据信号；
通过复制和反转所述测试数据信号，响应所述测试地址信号而产生第一测试数据；

通过复制和反转所述测试数据信号，响应测试模式而产生第二测试数据；和

以第二时钟频率向被测集成电路传送所述第一测试数据或所述第二测试数据。

51. 如权利要求 50 所述的方法，其中所述响应测试模式产生第二测试数据的步骤包含使用所述第一测试数据产生所述第二测试数据。

52. 如权利要求 50 或 51 所述的方法，还包含从多个测试模式中选择所述测试模式。

53. 如权利要求 50、51 或 52 所述的方法，其中所述响应测试地址信号产生第一测试数据的步骤包含逻辑操作，在所述逻辑操作中第一测试数据比从自动测试设备接收的测试数据信号具有更多数目的位。

54. 如权利要求 50-52 或 53 所述的方法，其中所述响应测试地址信号产生第一数据的步骤包含逻辑操作，在所述逻辑操作中反转要存储在被测集成电路的奇地址处的第一测试数据的位。

55. 如权利要求 50-53 或 54 所述的方法，其中所述响应测试模式产生第二测试数据的步骤包含逻辑操作，在所述逻辑操作中所述第二测试数据的位具有根据数据扰码模式的零和一的序列。

56. 如权利要求 50-54 或 55 所述的方法，其中所述响应测试模式产生第二测试数据的步骤包含逻辑操作，在所述逻辑操作中反转所述第二测试数据的每个其它位对。

57. 一种系统, 包括:

一或多个数据接收部件, 被配置成从自动测试设备接收测试地址信号和测试数据信号;

地址反转部件, 被配置成通过响应所述测试地址信号而反转所述测试数据信号, 产生第一测试数据; 和

传送部件, 被配置成向被测集成电路传送所述第一测试数据。

58. 一种系统, 包括:

一或多个数据接收部件, 被配置成以第一时钟频率从自动测试设备接收测试地址信号和测试数据信号;

测试模式反转部件, 被配置成通过响应测试模式而反转测试数据信号, 产生第二测试数据; 和

传送部件, 被配置成以第二时钟频率向被测集成电路传送所述第二测试数据。

59. 如权利要求 57 或 58 所述的系统, 其中以第一时钟频率从所述自动测试设备接收所述测试地址信号和所述测试数据信号, 以第二时钟频率向所述被测集成电路提供所述第一测试数据。

60. 如权利要求 57、58 或 59 所述的系统, 其中所述地址反转部件被配置成使用逻辑操作响应所述测试地址信号, 所述逻辑操作反转要存储在被测集成电路的偶地址的第一测试数据的每个位, 或反转要存储在被测集成电路的奇地址的第一测试数据的每个位。

61. 一种测试集成电路的方法, 包括:

以第一时钟频率从自动测试设备接收测试命令;

在缓冲器中存储所述测试命令;

响应前面的测试命令确定延迟时间;

等待所述延迟时间经过; 和

向所述被测集成电路传送所述测试命令。

62. 一种测试集成电路的方法, 包括:

以第一时钟频率从自动测试设备接收测试命令;

在缓冲器中存储所述测试命令;

响应查找表中的表项确定延迟时间;

向状态机加载所述测试命令;

在状态机中保持所述测试命令,直到经过所述延迟时间;和

以第二时钟频率向所述被测集成电路传送所述测试命令。

63. 如权利要求 61 或 62 所述的方法,还包含从所述缓冲器向状态机加载所述测试命令的步骤,所述状态机被配置成保持所述测试命令,直到调度计数器确定经过所述延迟时间,所述延迟时间是第二时钟频率的时钟周期数。

64. 如权利要求 61、62 或 63 所述的方法,还包含从所述缓冲器向状态机加载所述测试命令的步骤,所述状态机被配置成保持所述测试命令,直到命令驱动器确定经过所述延迟时间,所述延迟时间是使用查找表中的表项确定的。

65. 如权利要求 61-63 或 64 所述的方法,其中以第二时钟频率进行向被测集成电路传送测试命令的步骤,所述第二时钟频率大于所述第一时钟频率。

66. 一种用于测试集成电路的命令驱动器,包括:

一或多个接收部件,被配置成以第一时钟频率从自动测试设备接收测试命令;

存储部件,被配置成在缓冲器中保持所述测试命令;

延迟时间部件,被配置成确定延迟时间;

加载部件,被配置成向状态机加载所述测试命令;

保持部件,被配置成在状态机中保持所述测试命令,直到经过所述延迟时间;和

传送部件,被配置成以第二时钟频率向被测集成电路传送所述测试命令。

67. 如权利要求 66 所述的命令驱动器,其中所述存储部件包括 D 触发器,其被配置成把以第一时钟频率对所述测试命令的接收与以第二时钟频率对所述测试命令的传送相同步。

68. 如权利要求 66 或 67 所述的命令驱动器,其中所述存储部件包括被配置成存储多个测试命令的 FIFO 缓冲器。

69. 如权利要求 66、67 或 68 所述的命令驱动器, 还包含调度计数器部件, 被配置成响应命令解码器部件使用查找表来产生所述延迟时间。

70. 如权利要求 66-68 或 69 所述的命令驱动器, 还包含调度计数器部件, 被配置成响应前面测试命令产生所述延迟时间。

71. 如权利要求 66-69 或 70 所述的命令驱动器, 其中使用查找表确定所述延迟时间。

72. 如权利要求 66-70 或 71 所述的命令驱动器, 其中所述延迟时间是所述第二时钟频率的时钟周期的整数倍。

73. 一种方法, 包括:

选择要测试的集成电路;

响应所述选择的集成电路从多个测试过程中选择测试过程;

将所述集成电路插入到测试阵列的底座, 所述测试阵列包含多个底座;

将所述选择的测试过程编程到所述测试阵列中以产生编程的测试过程;

连接所述测试阵列到自动测试设备; 和

使用所述编程的测试过程并行测试多个集成电路, 包含所述选择的集成电路。

74. 如权利要求 73 所述的方法, 其中所述编程的测试过程被存储在共享存储器中。

75. 如权利要求 73 或 74 所述的方法, 其中测试所述多个集成电路包含使用测试模块作为所述多个集成电路的一或多个和所述自动测试设备之间的接口, 所述测试模块被包含在所述测试阵列中。

76. 如权利要求 73、74 或 75 所述的方法, 其中所述测试包含使用所述测试模块产生地址或测试数据。

77. 一种用于测试集成电路的设备, 包括:

包含多个测试安装板的测试阵列, 所述测试安装板包含一或多个底座, 所述一或多个底座的每个被配置成接纳多个集成电路的一或多个并且与所述集成电路电通信; 和

至少一个测试模块, 被配置成响应自动测试设备以第一时钟频率与所

述自动测试设备通信，以产生测试地址信号或测试数据信号，并且执行特定于所述多个集成电路的测试。

78. 如权利要求 77 所述的设备，其中所述至少一个测试模块被配置成以第二时钟频率对所述多个集成电路进行通信。

79. 如权利要求 77 或 78 所述的设备，其中所述至少一个测试模块包含多个所述测试模块。

80. 如权利要求 77、78 或 79 所述的设备，其中所述测试模块被配置成并行测试所述多个集成电路。

81. 如权利要求 77-79 或 80 所述的设备，还包括被配置成存储测试过程或测试参数的存储器。

82. 如权利要求 77-80 或 81 所述的设备，其中所述存储器进一步被配置成电传送所述测试过程或所述测试参数到所述测试模块。

83. 如权利要求 77-81 或 82 所述的设备，其中所述测试模块被配置成响应所述存储器中存储的所述测试过程或所述测试参数执行特定于所述多个集成电路的测试。

84. 如权利要求 1-82 或 83 所述的系统或方法，其中所述第二时钟频率至少是第一时钟频率的 1.5 倍。

85. 如权利要求 1-83 或 84 所述的系统或方法，其中所述被测集成电路包含存储器设备。

集成电路测试模块

技术领域

本发明涉及集成电路（IC）设备，尤其涉及集成电路设备的测试。

背景技术

集成电路（IC）设备可以包括许多在半导体衬底中实现的小型化电路。在使用 IC 设备之前必须进行测试以保证能够正确操作。能够使用在 IC 设备自身内实现的内部自测试（BIST）电路以有限方式测试 IC 设备。然而 BIST 测试是不完备的，并且未测试设备操作的所有方面。复杂和昂贵的外部测试设备被用来实现 IC 设备的彻底测试。

随着集成电路的复杂度和时钟速度的增加，现有外部测试设备的能力变成新集成电路的测试的限制因素。例如，最快速存储器设备的时钟速度几乎每年增加。使用为测试较慢存储器而建立的旧测试设备不能以这些更快存储器设备的最大时钟速度测试它们。由于其成本，每当时钟速度提高时便购买新测试设备是不切实际的。因此需要一种改进的测试集成电路的系统和方法。

发明内容

在各个实施例中，本发明包含测试模块，其被配置成在测试设备和一或多个要测试的集成电路之间进行操作。测试模块被配置成以第一时钟频率与测试设备通信，并且以通常更快的第二时钟频率与要测试的集成电路通信。在某些实施例中，测试模块包含被配置成响应从测试设备接收的数据和命令产生用于存储器设备测试的地址和测试数据的部件。这些存储器设备能够包含例如 DRAM（动态随机存取存储器），SRAM（静态随机存取存储器），快擦写存储器等等。

可选地，要测试的集成电路被嵌入在电子设备内。例如，在某些实施例中，要测试的集成电路是片上系统（SoC），封装内系统（SiP），模块内系统（SiM），模块内模块（MiM），封装上封装（POP），封装中封装

(PiP) 等等内的存储器电路。在这些实施例中，测试模块能够被配置成在第一模式和第二模式中操作电子设备，在第一模式中针对电子设备的共享输入被用于测试电子设备内的第一电路，在第二模式中共享输入被用于与电子设备内的其它电路通信。因而，在某些实施例中，测试模块被配置成以比使用测试设备时更快的时钟频率测试电路，同时也通过共享输入与在测试模式中测试的电路通信。

在某些实施例中，测试模块可被编程为产生可期望用于测试各种存储器体系结构的各种测试模式。例如，测试模块产生的数据可以被配置成在被测试的存储器中形成实心 (solid)、国际象棋棋盘式 (checkerboard) 或条纹 (striped) 模式。可选地，所产生的测试数据是响应于所产生的地址的。在某些实施例中，测试模块包含命令调度器部件，其被配置成以预定间隔向被测试的存储器设备传送指令 (例如命令)。

本发明的各个实施例包含一种系统，包括：一或多个输入部件，被配置成以第一时钟频率从自动测试设备接收信号，所述自动测试设备被配置成测试集成电路；地址产生部件，被配置成响应从自动测试设备接收的信号产生地址；一或多个数据产生部件，被配置成响应从自动测试设备接收的信号产生测试数据，所述测试数据要被传送到地址产生部件产生的地址；和一或多个输出部件，被配置成以第二时钟频率向集成电路内的所述产生的地址传送所述产生的测试数据，所述集成电路能与所述一或多个输出部件分离，所述第二时钟频率高于所述第一时钟频率。

本发明的各个实施例包含一种方法，包括：将自动测试设备附连到测试模块；将要测试的集成电路附连到测试模块；为所述集成电路的测试而配置所述测试模块；以第一时钟频率在测试模块从自动测试设备接收测试信号；响应从自动测试设备接收的测试信号在测试模块内产生测试地址；响应从自动测试设备接收的测试信号在测试模块内产生测试数据；和以第二时钟频率向集成电路内的所述产生的测试地址发送所述产生的测试数据，所述第二时钟频率高于所述第一时钟频率。

本发明的各个实施例包含一种系统，包括：用于在自动测试设备和要测试的集成电路之间连接测试模块的装置；用于为所述集成电路的测试而配置测试模块的装置；用于以第一时钟频率在测试模块从自动测试设备接收测试信号的装置；用于响应从自动测试设备接收的测试信号在测试模块内产生测试地址的装置；用于响应从自动测试设备接收的测试信号在测试模块内产生测试数据的装置；用于以第二时钟频率向集成电路内的所述产

生的测试地址发送所述产生的测试数据的装置,所述第二时钟频率高于所述第一时钟频率;用于以第二时钟频率从集成电路接收信号的装置,接收的信号响应于发送到所述集成电路的测试数据;和用于响应从集成电路接收的信号而向自动测试设备发送来自测试模块的通信的装置。

本发明的各个实施例包含一种系统,包括:一或多个数据接收部件,被配置成以第一时钟频率从被测集成电路接收数据;数据压缩部件,被配置成压缩从集成电路接收的数据以产生压缩数据;至少一个输入,被配置用于接收由所述数据压缩部件使用的期望数据或复用模式;和一或多个数据输出部件,被配置成以第二时钟频率向自动测试设备传送所述压缩数据。

本发明的各个实施例包含一种系统,包括:一或多个数据接收部件,被配置成从被测集成电路接收数据;数据压缩部件,被配置成压缩从所述集成电路接收的数据以产生压缩数据,所述压缩响应于所述数据被接收来自的集成电路内的地址;至少一个输入,被配置用于接收由所述数据压缩部件使用的期望数据或复用模式;和一或多个数据输出部件,被配置成向自动测试设备传送所述压缩数据。

本发明的各个实施例包含一种方法,包括:将要测试的集成电路附连到测试模块;从所述集成电路接收数据;响应期望数据压缩接收的数据,以产生压缩数据;和向自动测试设备提供压缩数据。

附图说明

为了更完整地理解本发明和进一步特性和优点,现在参考下列结合附图所进行的描述,其中:

图 1 是基于本发明各个实施例的测试系统的模块图;

图 2 是基于本发明各个实施例的测试模块的模块图;

图 3A 和 3B 基于本发明一个实施例说明了测试模式命令;

图 4 根据本发明各个实施例说明了地址产生器的进一步细节;

图 5 根据本发明各个实施例说明了用于向集成电路写入数据和从集成电路读取数据的数据路径的进一步细节;

图 6 的模块图根据本发明各个实施例说明了数据写入寄存器的进一步细节;

图 7A 和 7B 包含根据本发明各个实施例说明使用图 6 图解的系统进行的数据扩充的若干例子的表格;

图 8A-8H 根据本发明各个实施例说明了可以从测试模块传送到集成电路的各种测试数据模式;

图 9 根据本发明各个实施例说明了被配置成调度命令到集成电路的传送的命令驱动器的实施例;

图 10 包含根据本发明各个实施例说明基于时钟周期的命令调度的表格;

图 11 根据本发明各个实施例说明了包含至少一个测试模块和被配置成接纳集成电路的至少一个底座的测试安装板;

图 12 根据本发明各个实施例说明了包含多个测试安装板的测试阵列;

图 13 根据本发明各个实施例说明了使用测试模块测试集成电路的方法;

图 14 根据本发明各个实施例说明了产生测试数据的方法;

图 15 根据本发明各个实施例说明了处理从集成电路接收的测试结果的方法;

图 16 根据本发明各个实施例说明了处理从集成电路接收的测试结果的可选方法;

图 17 根据本发明各个实施例说明了产生地址数据的方法;

图 18 根据本发明各个实施例说明了命令调度的方法;

图 19 根据本发明各个实施例说明了配置用于测试多个集成电路的测试阵列的方法;

图 20 说明了测试模块被配置成测试多个集成电路的本发明实施例;

图 21 说明了在从被测试的集成电路读取数据之后在串行压缩中使用的逻辑;

图 22A 和 22B 说明了图 21 的串行压缩逻辑的应用;

图 23 说明了在图 21 的串行压缩之后在并行压缩中使用的逻辑; 而

图 24 根据本发明各个实施例说明了压缩数据的方法。

具体实施方式

本发明各个实施例包含测试模块,其被配置成在自动测试设备和一或多个要测试的集成电路之间操作。测试模块被配置成从自动测试设备接收数据、地址和指令,并且使用这些数据和指令产生附加数据和地址。测试模块进一步被配置成使用产生的数据和地址测试集成电路,从集成电路接收测试结果,并且向自动测试设备报告这些测试结果。

可选地,以和测试模块与被测试的集成电路之间的通信不同的时钟频率进行自动测试设备和测试模块之间的通信。同样地,通过使用测试模块,被配置成以第一频率操作的自动测试设备能够被用于以更高的第二频率测试集成电路。例如,被配置成以 150 MHz 测试存储器设备的自动测试设备可以被用于以 300 MHz 或更高频率测试存储器设备。

为了以大于从自动测试设备接收通信的频率测试存储器,测试模块包含被配置成响应从自动测试设备接收的地址和测试数据自动产生存储器地址和测试数据的部件。如这里进一步描述的,可选地,这些部件可编程为产生各种测试模式。

测试模块还包含这样的部件,其被配置成从被测试的集成电路接收数据,并且向自动测试设备报告这些接收的数据的摘要,或将接收的数据与期望数据相比较并且向自动测试设备报告该比较的结果。因而,测试模块被配置成以第一频率接收测试结果,并且响应这些结果以可选地更低的第二频率向自动测试设备进行通信。

在某些实施例中,测试模块还包含命令调度器,其被配置成以适于测试集成电路的间隔向被测试的集成电路传送来自测试模块的命令。例如,如果集成电路的彻底测试需要集成电路在 3 个时钟周期内接收 2 个命令,则命令调度器可以被编程为以此间隔传送这些命令,即使测试模块可以以不同间隔从自动测试设备接收这些命令。

为了说明的目的,这里讨论存储器设备的测试。然而,本发明的范围和所提供的例子可扩展到其它类型的集成电路,包含逻辑器件、处理器、模拟电路、专用集成电路(ASIC)、通信电路、光学电路等等。此外,本发明的范围可适用于电路组件的测试,例如片上系统(SoC)、封装内系统(SiP)、模块内系统(SiM)、模块内模块(MiM)、封装上封装(POP)、封装中封装(PiP)等等。参照这些组件之一的例子也适用于其它组件。

图 1 是基于本发明各个实施例的测试系统 100 的模块图。测试系统 100 包含被配置用于以第一频率测试集成电路的自动测试设备(ATE)110, 和被配置成充当 ATE 110 和要测试的集成电路(IC)130 之间的接口的测试模块 120。在某些实施例中, 测试模块 120 和 IC 130 被包含在同一电子设备中。例如, 测试模块 120 和 IC 130 可以均在同一 SiP 内。在某些实施例中, 测试模块 120 和 IC 130 被包含在同一硅小片中。在某些实施例中, 测试模块 120 是与 IC 130 分离的设备。

可选地, 测试系统 100 还包含时钟 140, 其被配置成向测试模块 120 提供时钟参考信号。ATE 110 被配置成以第一频率通过 N 通道接口 115 与测试模块 120 通信, 测试模块 120 被配置成通过 M 通道接口 125 与 IC 130 通信。在某些实施例中, N 通道接口 115 中通道的数目与 M 通道接口 125 中通道的数目相同。在某些实施例中, M 通道接口 125 中通道的数目是 N 通道接口 115 中通道的数目的倍数。N 通道接口和 M 通道接口 125 能够包含例如测试垫、测试探头、线缆、测试引脚或其它连接器。在某些实施例中, M 通道接口 125 包含片上系统 (SoC)、封装内系统 (SiP)、模块内系统 (SiM)、模块内模块 (MiM)、封装上封装 (POP), 封装中封装 (PiP) 等等内的内部连接。可选地, 测试模块 120 与 IC 130 分离, 并且与 ATE 110 分离。

可选地, ATE 110 是被配置成测试集成电路的现有技术自动测试设备。例如, ATE 110 可以包含当前由日本东京的 Advantest 公司, 马萨诸塞州波士顿的 Teradyne 公司或加利福尼亚 Palo Alto 的 Agilent Technologies 公司提供的测试设备。ATE 110 的特征在于最大频率, ATE 110 被配置成在测试期间以该最大频率与集成电路通信。

通常, ATE 110 可被编程为根据用户的指示执行特定测试例程。这些测试例程包含经由 N 通道接口 115 发送(即写入)测试数据、命令和可选的地址。由测试模块 120 接收这些测试数据、命令和地址。ATE 110 进一步被配置成经由 N 通道接口 115 接收(即读取)测试结果, 将接收的结果与期望结果相比较, 并且报告所接收的结果和期望结果之间的偏差。

在可选实施例中, ATE 110 被配置成作为模块而包含测试模块 120。例如, 在某些实施例中, 测试模块 120 被包含在 ATE 110 中, 以作为能够随着测试技术要求(例如, 测试频率、形状因素、命令词汇等等)的演变而被更换和/或升级的可替换部件。因而在一个实施例中, ATE 110 被配置成通过更换测试模块 120 的实例来升级。

测试模块 120 被配置成经由 N 通道接口 115 从 ATE 110 接收测试数据、命令和可选的地址，并且使用这种接收的信息产生附加测试数据，以及可选的附加地址，以用于 IC 130 的测试。例如，在某些实施例中，测试模块 120 被配置成从 ATE 110 接收存储器控制命令、用于测试存储器的数据和存储器地址。接收的存储器控制命令、数据和存储器地址被用于产生进一步的数据和进一步的存储器地址以用于测试存储器。经由 M 通道接口 125 从测试模块 120 向 IC 130 传送命令、进一步的数据和进一步的存储器地址。

测试模块 120 进一步被配置成从 IC 130 接收（即读取）测试结果并且处理这些接收的测试结果。在某些实施例中，测试模块 120 被配置成向 ATE 110 报告这种处理的结果。在某些实施例中，测试模块 120 被配置成向 ATE 110 传送接收的测试结果的压缩版本。这里在其它地方讨论测试模块 120 的进一步细节。

IC 130 是经由测试模块 120 测试的集成电路。在测试之前，IC 130 不必包含为测试系统 100 的一部分。可选地，IC 130 是例如专用集成电路（ASIC）、处理器、微处理器、微控制器、现场可编程门阵列（FPGA）、可编程逻辑器件（PLD）、复杂可编程逻辑器件（CPLD）等等的逻辑器件。可选地，IC 130 可以被实现成模拟器件、模块、电路板或存储器设备等等。

作为存储器设备，IC 130 能够是 IC 存储器芯片，例如静态随机存取存储器（SRAM）、动态随机存取存储器（DRAM）、同步 DRAM（SDRAM）、非易失随机访问存储器（NVRAM）和只读存储器（ROM）（例如可擦除可编程 ROM（EPROM）、电可擦除可编程 ROM（EEPROM）和快擦写存储器），或者是任何按照适当格式或协议（例如双数据速率（DDR）或 DDR2）操作的存储器设备。存储器设备能够按照各种配置（例如 X32、X16、X8 或 X4）进行配置，并且可以包括例如按行和列排列的多个存储器单元。能够使用晶体管、电容器、可编程熔断等等实现存储器单元。

作为模块，IC 130 能够是封装内系统（SiP）、封装中封装（PiP）或片上系统（SoC）。它也能够是 SoC、SiP 和 PiP 的组合。IC 130 可以被布置在适当封装内，例如作为标准球栅阵列（BGA）或薄型四方扁平封装（TQFP）。封装可以进一步利用各种表面贴技术，例如单列直插式封装（SIP）、双列直插式封装（DIP）、Z 形直插式封装（ZIP）、塑料有引线芯片载体（PLCC）、小外形封装（SOP）、薄型 SOP（TSOP）、扁平封装

和四方扁平封装 (QFP) 等等, 以及利用各种引线 (例如 J 形引线、翼形引线) 或 BGA 型连接器。

时钟 140 被配置成向测试模块 120 提供时钟信号以用于测试模块 120 和 IC 130 之间的通信。时钟 140 产生的时钟信号通常不同于用于 ATE 110 和测试模块 120 之间的通信的时钟信号。因而, N 通道接口 115 可以以不同于 (例如高于) M 通道接口 125 的频率操作。可选地, 时钟 140 提供的时钟信号是 ATE 110 使用的时钟信号的倍数。时钟 140 能够包含锁相环、晶体振荡器等等。从时钟 140 接收的时钟信号通常使用本领域已知的各种方法之一与 ATE 110 使用的时钟信号同步。当测试模块 120 被配置成基于从 ATE 110 接收的时钟信号产生用于与 IC 130 的通信的时钟信号时, 时钟 140 是可选的。例如, 在某些实施例中, 测试模块 120 包含被配置成将从 ATE 110 接收的时钟信号与 1.5、2 或更大的系数相乘的逻辑。

图 2 是根据本发明各个实施例的测试模块 120 的模块图, 其中 IC 130 是存储器设备。图 2 说明的实施例包含被配置成与 ATE 110 通信的若干部件。这些部件包含时钟管理器 202、命令单元 204、测试控制器 206 和测试 DQ 208。图 2 说明的实施例也包含被配置成与 IC 130 通信的若干部件。这些部件包含时钟驱动器 220、命令驱动器 222、地址驱动器 224 和数据接口 226。这些部件一起执行类似于存储器管理器的功能。在被配置成与 ATE 110 通信的部件和被配置成与 IC 130 通信的部件之间, 测试模块 120 包含地址产生器 210、模式生成逻辑 214、测试模式寄存器 212、数据写逻辑 216 和数据读逻辑 218。图 2 说明的部件可以包含软件、硬件、固件或其组合。

时钟管理器 202 被配置成例如从 ATE 110 接收测试时钟 (TCK) 信号。这种测试时钟信号通常是 ATE 110 为测试集成电路的目的产生的时钟信号。可选地, 时钟管理器 202 也被配置成从时钟 140 接收锁相环时钟 (PLLCK) 时钟信号。响应 TCK 和/或 PLLCK 信号, 时钟管理器 202 产生一或多个其它时钟信号 (例如, CK0、CK、CK\), 其中一些可以具有高于接收的测试时钟 TCK 信号的频率。同样地, 测试模块 120 能够被配置成测试以高于 ATE 110 的时钟频率的时钟频率操作的 IC 设备。这允许例如使用旧测试设备完全测试 IC 设备。从时钟管理器 202 输出的时钟信号可以被提供给测试模块 120 内的其它部件。这些部件包含时钟驱动器 220、命令驱动器 222、地址驱动器 224、地址产生器 210、数据写逻辑 216 和数据读逻辑 218。时钟管理器 202 的输出能够经由时钟驱动器 220 传送

给 IC 130。

命令单元 204 被配置成接收各种测试功能信号(例如, TCKE、TDQS、TCS\、TRAS\、TCAS\、TWE\、TBA[0:2]、TA10), 并且处理或向测试模块 120 内的其它部件传递这些功能信号。例如, 命令单元 204 被配置用于产生要经由命令驱动器 222 传递给 IC 130 的命令信号。这些命令信号包含例如 CKE、CS、RAS\、CAS\、WE\、BA[0:2]。在另一例子中, 命令单元 204 被配置成接收分别由模式生成逻辑 214 和地址产生器 210 使用的数据产生和地址产生命令。这里在其它地方描述地址产生器 210 和模式生成逻辑 214 的操作的进一步细节。

在某些实施例中, 命令单元 204 接收的测试功能信号包含 SET (设置), LOAD (加载) 和 CMD (命令)。使用 CMD 引脚作为输入数据源并且使用 SET 信号能够将 4 位宽的流寄存到寄存器中。例如, 激活行命令能够是一系列 4 个串行位 b0011, 读命令能够是 b0101, 等等。当 SET 信号为高时, 能够在 TCK 信号的正边缘寄存串行位。在一个实施例中, 4 个寄存器和一个 2 位计数器能够被用于接受 CMD 输入。

测试控制器 206 被配置成接收 TEST (测试)、SET 和 LOAD 信号, 以将模块设置在测试模式, 对测试模式 (或阶段) 进行编程, 以及加载或使能测试地址和/或测试向量。另外, 在某些实施例中, 测试控制器 206 进一步被配置成存储数据扰码模式, 行地址扰码模式和列地址扰码模式。如这里进一步描述的, 这些模式被用于产生测试地址和测试数据。测试控制器 206 被配置成提供一或多个输出信号给测试模式寄存器 212, 测试模式寄存器 212 用于存储或传递测试代码、向量、模式等等以便进一步适当处理或使用。例如, TEST、SET 和 LOAD 信号可以被用于从 ATE 110 向测试模块 120 传送地址产生模式。地址产生模式被存储在测试模式寄存器 212 中, 并且必要时由地址产生器 210 读取。同样, TEST、SET 和 LOAD 信号可以被用于从 ATE 110 向测试模式寄存器 212 传送数据扰码模式。如这里进一步描述的, 由数据写逻辑 216 和数据读逻辑 218 使用此数据扰码模式。

测试 DQ 208 进一步被配置成从 ATE 110 接收地址数据, 并且向地址产生器 210 传送此地址数据以用于产生附加地址。测试 DQ 208 进一步被配置成从 ATE 110 接收测试数据信号 (例如 TDQ[0:7])。接收的测试数据信号被处理或传递给测试模块 120 内的其它部件。可选地, 这些测试数据信号被用于使用模式生成逻辑 214 和数据写逻辑 216 产生附加测试数据。

例如，数据写逻辑 216 能够使用经由测试 DQ 208 接收的测试数据信号产生数据信号（例如，DQ[0:31]），该数据信号接着经由数据接口 226 被提供给 IC 130。

测试 DQ 208 被配置成从 ATE 110 接收实际测试数据和测试模式命令。例如，当 SET 命令被测试控制器 206 接收时，在测试 DQ 208 上会期待测试模式命令。当 LOAD 命令被测试控制器 206 接收时，在测试 DQ 208 上期待实际测试数据。

图 3A 和 3B 基于本发明一个实施例说明了测试模式命令。这些命令包含无测试的项 1 和 9；用于加载行地址的项 2 和 3；用于设置行计数器最低有效比特（LSB）的项 5 和 6；用于设置行计数器方向的项 8；用于加载列地址的项 10 和 11；用于设置列计数器 LSB 的项 13 和 14；和用于设置列计数器方向的项 16。在图 3B 中，项 18 和 19 是为加载 MRS（模式寄存器设置）数据而配置的命令；项 23 用于读取芯片标识；项 26 用于加载数据扰码（产生）信息；项 27 用于确定从测试模块 120 向 ATE 110 报告测试结果的形式；项 30 用于加载进一步的数据产生信息；项 31 用于控制针对特定类的存储器体系结构的地址和数据产生。测试模块 120 也可以被配置成支持增强 MRS 命令、移动 MRS 命令等等。

行计数器 LSB 和列计数器 LSB 被用于确定哪些行位和哪些列位在地址产生期间首先被递增。例如，如果行地址的第二位被设置成行计数器 LSB，则相关行地址会被递增 2。例如，如果行地址的第三位被设置成行计数器 LSB，则相关行地址会被递增 4。将行计数器设置成递减计数的命令被用于确定对行地址进行向上还是向下计数。可选地，当期望步进到存储器边界时，使用将 LSB 设置到除了第一位之外的位的设置。

返回图 2，测试 DQ 208 也被配置成从测试模块 120 向 ATE 110 传送测试结果。例如，经由数据接口 226 从 IC 130 接收的信号能够被数据读逻辑 218 处理，并且被提供给测试 DQ 208 以便传送到 ATE 110。经由测试 DQ 传送到 ATE 110 的数据能够包含从 IC 130 接收的全部测试结果，从 IC 130 接收的结果的汇聚版本，或结果的摘要（例如通过或失败指示）。传送的数据的形式取决于经由测试控制器 206 存储在测试模式寄存器 212 中的测试准则。

地址产生器 210 被配置成从时钟管理器 202、命令单元 204、测试 DQ 208 和测试模式寄存器 212 接收信号。使用这种接收的信息，地址产生器 210 被配置成产生测试地址（例如 A[0:15]）以经由地址驱动器 224 传送

给 IC 130。这些地址被用于寻址 IC 130。例如，在某些实施例中，这些地址被用于经由数据接口 226 将数据的加载引向 IC 130。例如，从数据接口 226 写入 IC 130 的数据可以在 IC 130 内被存储在从地址驱动器 224 写入 IC 130 的地址处。如这里进一步描述的，可选地，地址产生器 210 产生的地址也被提供给模式生成逻辑 214 以用于产生测试数据或解释从 IC 130 接收的数据。

在某些实施例中，地址产生器 210 包含序列模式产生器，例如在相关美国专利申请 10/205,883, "Internally Generating Patterns For Testing In An Integrated Circuit Device", 2002 年 7 月 25 日提交，和相关美国专利申请 11/083,473, "Internally Generating Patterns For Testing In An Integrated Circuit Device", 2005 年 3 月 18 日提交中描述的，这两个专利申请被转让给相同受让人，并且在这里被完整地引为参考。

图 4 根据本发明各个实施例说明了地址产生器 210 的进一步细节。在这些实施例中，地址产生器 210 包含 MRS 寄存器 410、行地址产生器 420、列地址产生器 430 和可选的 A10 产生器 440，每个均被配置成向 MUX 450 提供数据。MUX 450 由 MUX 控制 460 控制，并且也可以从预充电控制 470 接收输入。

MRS 寄存器 410 被配置成接收 SET、LOAD、模式寄存器设置(MRS)和测试地址信号(TA[0:7])。通过测试 DQ 208 的 TDQ[0:7]接收测试地址信号(TA[0:7])。接收 SET、LOAD 和 TCNT 信号以及行计数器信号的行地址产生器 420 被配置成产生多个行地址以用于测试 IC 130。接收 SET、LOAD 和 TCNT 信号以及列计数器信号的列地址产生器 430 被配置成产生多个列地址以用于存储器设备 30。A10 产生器 440 被配置成接收 TA10 信号。TA10 信号被用于分别控制 A10 位。A10 位是在某些能够预充电的类型的存储器中存在的位。例如，如果 IC 130 是 DRAM，则 A10 产生器 440 可以被配置用于产生使能 DRAM 自动预充电、全组(All-bank)命令的位。

MUX(复用器)450 被配置成在 MUX 控制 460 的控制下接收和复用 MRS 寄存器 410、行地址产生器 420、列地址产生器 430 和 A10 产生器 440 的输出。MUX 450 的输出是地址产生器 210 的输出，并且被提供给地址驱动器 224 以传送到 IC 130。在某些实施例中，MUX 450 的输出也被提供给数据写逻辑 216 和数据读逻辑 218 以产生和解释测试数据。

地址产生器 210 通常被配置成针对从 ATE 110 接收的每个地址产生

不止一个地址以针对地址驱动器 224 进行传送。例如，在某些实施例中，地址产生器 210 被配置成从 ATE 110 接收单个基地址并且作为响应产生地址块。在某些实施例中，地址产生器 210 被配置成针对每个接收的地址产生 2 个（初始值加一）个地址。例如，对于接收的每个偶地址，地址产生器 210 可以被配置成产生相应奇地址。在各个实施例中，地址产生器 210 被配置成针对从 ATE 110 接收的每个地址产生 4、8、16、32、64、128 或更多个地址。在某些实施例中，地址产生器 210 被配置成产生足够达到下一地址边界的地址。例如，如果计数方向为向上，突发长度为 4，并且第一读地址为 Col-0，则列计数器会跳转到针对下一读地址的 Col-4 并且产生 4 个地址（Col-0 到 Col-3）。

在某些实施例中，测试模块 120 被配置成响应从 ATE 110 接收的存储器访问命令向 IC 130 提供存储器地址。例如，当活动命令被从 ATE 110 接收并且被调度传送到 IC 130 时，MUX 控制 460 被配置成控制 MUX 450，使得来自行地址产生器 420 的地址位将被传送到地址驱动器 224。测试模块 120 将向被测 DRAM（例如 IC 130）发送活动命令（active command）（CS/RAS/CAS/WE = 0011）和伴随的地址位 A[0:13]（针对 512Mb × 8 DRAM）。

当调度传送读命令时，MUX 控制 460 将使用 MUX 450 选择来自列地址产生器 430 的地址位以发送到地址驱动器 224。测试模块 120 将发送读命令（CS/RAS/CAS/WE = 0101）和伴随的地址位 A[0:9]（针对 512Mb × 8 DRAM）和 A10（针对自动预充电或非自动预充电）。对于涉及发送地址位的写和加载模式寄存器操作存在类似情况。MUX 控制 460 的操作通常响应于处理的命令的类型（例如加载模式寄存器、预充电、活动、读、写、选择等等）。

在某些实施例中，能够与测试行地址独立地递增测试列地址。可选地，行地址产生器 420 和列地址产生器 430 被配置成内部产生在测试期间用作地址的数序列。

再次参照图 2，测试模式寄存器 212 被配置成存储在测试期间由地址产生器 210、模式生成逻辑 214、数据写逻辑 216 和数据读逻辑 218 使用的测试模式数据。例如，测试模式寄存器 212 被配置成从测试 DQ 208 接收起始列地址和/或起始行地址，并且在测试控制器 206 的控制下接收测试模式命令（例如图 3A 和 3B 中说明的命令）。在测试期间，这些和其它值被从测试模式寄存器 212 读取以便产生测试地址和测试数据。

在某些实施例中，测试模式寄存器 212 可使用测试寄存器设置命令进行编程，并且通过测试 DQ 208 的测试数据信号 TDQ0 - TDQ7 进行编程。在测试模式中，TDQ0 - TDQ7 信号的输入能够被用于读和写测试数据，设置测试模式代码，加载行和列地址，对行和列计数器最低有效比特（LSB）编程，设置数据扰码模式，设置数据产生逻辑，加载测试数据模式等等。在某些实施例中，能够在任意时刻设置测试模式寄存器 212 内的寄存器。在某些实施例中，命令单元 204 处的 SET 命令被设置为高状态以加载测试模式命令和测试模式数据到测试模式寄存器 212。

在某些实施例中，所有或部分的数据扰码模式、行地址扰码模式和列地址扰码模式被存储在可拆卸存储器中。例如，这些模式可以被包含在 EPROM 中，EPROM 被配置成插到测试模块 120 中，或插到测试安装板中，测试安装板被配置成支持 IC 130 的一或多个实例。在这些实施例中，能够从外部将各种扰码模式编程到测试模块 120。例如，在某些实施例中，用不同测试协议编程不同 EPROM，并且根据期望的协议选择不同 EPROM 之一插到测试模块 120 中。在某些实施例中，为测试不同类型的 IC 130 编程不同 EPROM。在可选实施例中，在除了 EPROM 之外的可拆卸存储器中包含扰码模式。例如，测试模式寄存器 212 能够被包含在 ROM、快擦写存储器、一次性可编程逻辑等等中。

模式生成逻辑 214、数据写逻辑 216 和数据读逻辑 218 被配置用于产生要写入到 IC 130 的测试数据，以及解释从 IC 130 读取的测试结果。图 5 根据本发明各个实施例说明了用于写入数据到 IC 130 和从 IC 130 读取数据的数据路径的进一步细节。

在图 5 说明的实施例中，测试 DQ 208 包含输入缓冲器 510、输出缓冲器 512、数据输入寄存器 514 和数据输出寄存器 516。这些缓冲器被配置成分别针对 ATE 110 接收和发送数据。当从 ATE 110 接收数据时，输入缓冲器 510 的输出被存储在数据输入寄存器 514 中。同样，当数据准备传送到 ATE 110 时，它被存储在数据输出寄存器 516 中，直到被 ATE 110 读取。在各个实施例中，测试 DQ 208 被配置成并行传送 8、16 或更多个字节。

在图 5 说明的实施例中，数据接口 226 包含输出缓冲器 520、输入缓冲器 522、输出移位寄存器 524 和数据读取捕获 526。要写入 IC 130 的数据被收集在输出移位寄存器 524 中，并且接着通过输出缓冲器 520 传递。从 IC 130 读取的数据被通过输入缓冲器 522 传递，并且被数据读取捕获

526 捕获。在典型实施例中，数据接口 226 被配置成以比测试 DQ 208 更快的时钟频率传送数据。

在图 5 说明的实施例中，数据写逻辑 216 包含数据写入寄存器 530 和 MUX 535。数据写入寄存器 530 被配置成从数据输入寄存器 514 接收例如 8 位数据。根据数据扰码模式，在模式生成逻辑 214 的控制下，使用数据扰码模式将接收的数据扩充以产生附加数据。在通常的实施例中，在数据写入寄存器 530 内并行产生若干数据。例如，数据写入寄存器 530 可以被配置成并行地由 8 个初始位产生 8 个数据集合。这些数据被传送到 MUX 535。在各个实施例中，MUX 535 针对由测试 DQ 208 从 ATE 110 接收的每个数据字节接收 16, 32, 64 或更多个数据位。这里在其它地方讨论所述数据产生处理的进一步细节。

在图 5 说明的实施例中，数据读逻辑 218 包含 MUX 545，可选的数据读出寄存器 540 和可选的比较单元 550。在某些实施例中，数据读出寄存器 540 和 MUX 545 被配置成执行数据写逻辑 216 中执行的过程的相反过程。例如，MUX 545 被配置成从数据读取捕获 526 接收数据并且传递接收的数据到一或多个数据读出寄存器 540。数据读出寄存器 540 被配置成使用和数据写入寄存器 530 使用的数据扰码模式相同的数据扰码模式在与数据写入寄存器 530 执行的过程相反的过程中压缩所接收的数据。如果数据读出寄存器 540 从 MUX 545 接收的数据与数据写入寄存器 530 产生的数据相同，则数据读出寄存器 540 压缩数据，使得其与数据写入寄存器 530 从数据输入寄存器 514 接收的数据相同。在某些实施例中，压缩数据被直接传递到数据输出寄存器 516 以便传送到 ATE 110。在这些实施例中，比较单元 550 是可选的。

数据读取捕获 526、MUX 545、数据读出寄存器 540、比较单元 550 和数据输出寄存器 516 形成用于在测试期间从 IC 130 读出数据的数据路径。在某些实施例中，读出数据路径中的部件被配置成从 IC 130 接收外部数据信号 (DQ[0:31])，将信号压缩成外部测试数据信号 (TDQ[0:7])，并且将外部测试数据信号返回到外部测试机器 (例如 ATE 110)。在其它实施例中，读出数据路径中的部件被配置成从 IC 130 接收外部数据信号 (DQ[0:30])，将这些信号与期待值相比较，并且使用 TDQ[0:7]的部分报告这些比较的结果。

被配置成写入数据到 IC 130 的数据路径中的部件 (例如数据输入寄存器 514、数据写入寄存器 530、模式生成逻辑 214、MUX535 和输出移

位寄存器 524) 被配置成从 ATE 110 接收外部测试数据信号 (TDQ[0:7]), 将信号扩充成外部数据信号 (DQ[0:31]), 提供外部数据信号到 IC130。

在某些实施例中, 写入数据路径的部件可以以测试机器的工作频率从外部测试机器接收测试数据的位, 针对从测试机器接收的数据的每个位产生多个位, 并且以 IC130 的工作频率将产生的位传送到 IC130 (该工作频率能够高于 ATE130 工作的频率)。

在一个例子中, 写入数据路径中的部件可以以 100MHz 的时钟频率从 ATE 110 接收具有值"1"的 TDQ3 的位, 通过仅仅重复该值多次由所接收的位产生位串"1111", 接着以 200 MHz 的频率向 IC 130 提供位串以作为 DQ12 - DQ15。在另一例子中, 写入数据路径中的部件可以以 100 MHz 的时钟频率从 ATE 110 接收具有值"1"的 TDQ3 的位, 在运行时从接收的位产生位串"0101", 接着以 400 MHz 的频率向 IC 130 提供产生的位串以作为 DQ8-DQ11。使用模式生成逻辑 214 实现从位"1"产生"0101"的位串, 模式生成逻辑 214 例如可以包含在"1111"的串中"反转每个奇位"的逻辑。在其它例子中, 在 TDQ[0:7]处接收的每个位被用于针对 DQ[0:31]的每个产生 4 位, 8 位或更多位的突发。例如, 在 TDQ3 处接收的位可以被用于在 DQ12, DQ13, DQ14 和 DQ15 的每个处产生 4 位突发。响应于模式生成逻辑 214, 这个位突发能够包含任何可能的 4 位模式。

在一个实施例中, 读出数据路径的部件可以以 IC 130 的时钟频率从 IC 130 接收测试结果的位, 将测试结果位串转换成单个位, 以 ATE 110 的时钟频率向 ATE 110 提供单个测试结果位。在一个例子中, 写入数据中的部件可以以 400MHz 的时钟频率从 IC 130 接收针对 DQ16-DQ19 的"0011"的测试结果位串。写入数据路径部件根据串是否与期望测试结果匹配将这个串缩减为"0"或"1"的值, 并且通过 TDQ5 向 ATE 110 提供单个位 ("0"或"1")。

测试模块 120 的将从 ATE 110 接收的数据"扩充"和将从 IC 130 接收的数据"压缩"的能力提供的技术优势在于, 能够使用被配置成以更低时钟速度工作的 ATE 110 的实例以其正常时钟速度测试 IC 130。

在可选实施例中, 数据读出寄存器 540 产生的压缩数据被传递到比较单元 550。在这些实施例中, 比较单元 550 被配置成将这个数据与数据写入寄存器 530 从数据输入寄存器 514 接收的数据的复本相比较。基于这个比较, 比较单元 550 被配置成输出指示比较的数据是否匹配, 例如测试"通过"或"失败"的值。因而, 如果通过数据读出捕获 256 从 IC 130 读出的

数据与通过输出移位寄存器 524 写入 IC 130 的数据相同，则数据输出寄存器 516 将从比较单元 550 接收指示"通过"的值。如果读出的数据与写入数据不相同，则数据输出寄存器 516 将从比较单元 550 接收指示"失败"的值。比较单元 550 的比较可以并行或串行地执行。

在某些实施例中，指示"通过"的值是测试模块 120 最初从 ATE 110 接收的数据的复本，指示"失败"的值是这个数据的补码。在某些实施例中，测试模块 120 最初接收的数据被存储在测试模块 120 内以用于此目的。在某些实施例中，原始数据被从 ATE 110 发送到测试模块 120 两次，使得它不必被存储在测试模块 120 中。可选地，也扩充第二数据集合以用于和比较单元 550 从 IC 130 接收的数据进行比较。在某些实施例中，指示"通过"的值是从 ATE 130 传送到测试模块 120 的某个其它值，以用于此目的。

在某些实施例中，数据读出寄存器 540 是可选的，并且比较单元 550 被配置成直接从 MUX 545 接收数据。在这些实施例中，比较单元 550 从数据写入寄存器 530 接收的数据是提供到 MUX535 的数据写入寄存器 530 的扩充输出的复本，而不是从数据输入寄存器 514 接收的输入的复本。将这个扩充输出的复本与从 MUX 545 接收的数据相比较。在这些实施例中，比较单元 550 被配置成使用扩充数据而不是压缩数据进行比较。比较单元 550 的输出反映比较是否发现匹配。在这些实施例中，通过数据读取捕获 526 从 IC 130 读出的数据不必重新压缩。数据写入寄存器 530 的扩充输出的复本可以已经存储在测试模块 120 内，或可以按需由从数据输入寄存器 514 接收的原始数据再生。

在可选实施例中，比较单元 550 被配置成直接从数据读取捕获 526 接收数据。在这些实施例中，比较单元 550 被配置成接收 MUX535 的输出的复本，并且将这个数据与从数据读取捕获 526 接收的数据相比较。在这些实施例中，MUX 545 被省略。

模式生成逻辑 214 包含根据数据扰码模式处理（例如压缩或扩充）数据写入寄存器 530 和数据读出寄存器 540 内的数据所需的逻辑。在某些实施例中，该处理包含例如从数据写入寄存器 530 将要处理的数据传送到模式生成逻辑 214。在这些实施例中，实际处理在模式生成逻辑 214 内进行，结果被传送到要处理的数据被接收来自的部件。

在可选实施例中，模式生成逻辑 214 被配置成向数据写入寄存器 530 和数据读出寄存器 540 传送数据扰码模式，逻辑规则等等。在这些实施例

中，实际处理在数据写入寄存器 530 和/或数据读出寄存器 540 处进行。例如，数据扰码模式可以被模式生成逻辑 214 发送到数据写逻辑 216，这个数据扰码模式可以与从测试 DQ 208 接收的数据异或以产生数据写逻辑 216 的输出。

在某些实施例中，模式生成逻辑 214 被配置成在 IC 130 的测试期间或紧临在前加载上数据扰码模式（经由测试 DQ 208）。在可选实施例中，模式生成逻辑 214 预装载有若干数据扰码模式，通过使用测试模式号，在测试期间或紧临在前选择这些数据扰码模式之一。

模式生成逻辑 214 被配置成从命令控制 204，测试模式寄存器 212，测试 DQ 208，时钟管理器 202 和地址产生器 210 接收数据。在某些实施例中，因为模式生成逻辑 214 从地址产生器 210 接收数据，测试数据的产生能够是地址相关的。例如，不同数据扰码模式能够被用于要写入到奇和偶（列和/或行）地址的数据。在一个实施例中，在 IC 130 的测试实例中使用数据产生的地址相关性，其中实际物理存储的逻辑是地址相关的。例如，某些存储器设备使用第一电压信号在奇列地址存储数据和使用第一电压信号的反转形式在偶列地址存储数据。因而，数据 11111111 可以在实际物理存储中被存储为 10101010。通过地址相关数据产生，测试模块 120 能够被配置成运行测试模式，使得实际物理存储为 11111111、00000000 或其任何排列。

图 6 是根据本发明各个实施例说明数据写入寄存器 530 的进一步细节的模块图。测试数据信号（TDQ）被以 ATE 110 的时钟频率从 ATE 110 接收，并且存储在数据输入寄存器 514 中。TDQ 信号被从数据输入寄存器 514 提供到偶块 610 和奇块 615。偶块 610 被配置成产生要存储在偶地址的输出数据的部件，奇块 615 被配置成产生要存储在奇地址的输出数据的部件。偶块 610 和奇块 615 也从模式生成逻辑 214 接收测试反转位信号（TINV0）。如果这个信号为高，则偶块 610 或奇块 615 内的位之一将相对于 TDQ 信号被反转。哪个位被反转则取决于突发地址 LSB 信号（CA0）的状态。在某些实施例中，当 TINV0 为高时将反转与奇地址相关的位。偶块 610 从模式生成逻辑 214 接收突发地址 LSB 信号（CA0），奇块 615 从模式生成逻辑 214 接收互补信号（CA0 $\bar{}$ ）。CA0 例如为当前列地址的 LSB。偶块 610 和奇块 615 可以被配置成使用异或操作或锁存器与复用器的组合以串行方式产生其相应输出。例如，复用器可以被配置成响应 CA0 而选择锁存器的反转输出或非反转输出。

偶块 610 和奇块 615 的输出分别被传递到反转块 620 和反转块 625。反转块 620 进一步从模式生成逻辑 214 接收 INV0 信号，反转块 625 进一步从模式生成逻辑 214 接收 INV1 信号。反转块 620 和反转块 625 的每个被配置成分别响应 INV0 和 INV1 反转或不反转偶块 610 和奇块 615 的输出。例如，在某些实施例中，当 INV0 或 INV1 为高时，传入数据被反转。

反转块 620 和反转块 625 被配置成输出信号“偶数据写入”(DW_E)和“奇数据写入”(DW_O)，这些信号被提供给寄存器块 630。在某些实施例中，当 INV0 和 INV1 信号为高时，DW_E 和 DW_O 信号将均分别包含偶块 610 和奇块 615 的输出的初值和补码 (complement)。在某些实施例中，当 INV0 和 INV1 信号为低时，DW_E 和 DW_O 信号将均包含偶块 610 和奇块 615 的输出的初值的 2 个复本。INV0 和 INV1 信号的状态取决于模式生成逻辑 214 内的逻辑，如果针对 IC 130 的特定实例编程模式生成逻辑 214，则这些状态能够取决于 IC 130 的体系结构和拓扑。

如这里其它地方所讨论的，模式生成逻辑 214 的操作能够响应行地址和/或列地址。例如，在某些实施例中，以下逻辑可以被用于在 IC 130 内的存储器阵列中写入实心模式： $INV0 = (RA0 \text{ XOR } RA1) \text{ XOR } RA8$ 。（其中 RA0, RA1 和 RA8 是行地址位，异或是异或函数）。这意味着当行地址 RA0=1, RA1=0, RA8=0 时，INV0 将具有值 1，数据将在反转块 620 中被反转。可选地，这个反转被用于补偿其实际逻辑位存储为地址相关的存储器。在多数情况下，INV0 将与 INV1 相同，因此只需要一个信号。

通常，数据写入寄存器 530 将包含被配置成处理从 ATE 110 接收的每个 TDQ 数据单元（例如 TDQ0 至 TDQ7）的类似部件集合。例如，如果 TDQ0 等于 1，CA0（列地址的 LSB）为 0 并且 TINV0 为 1，则反转块 620 的输入将为 1，并且反转块 625 的输入将为 0。（TINV0 = 1 意味着反转奇位处于活动）。如果 INV0 或 INV1 信号为活动，反转块 620 和反转块 625 会再次反转数据。INV0 或 INV1 信号的值取决于模式生成逻辑 214 的输出。

在某些实施例中，寄存器块 630 包含被配置成接收 DW_E 和 DW_O 的多个先入先出 (FIFO) 寄存器。如图 6 所示，这些 FIFO 寄存器能够包含 EV_0 寄存器 635、EV_1 寄存器 640、OD_0 寄存器 645 和 OD_1 寄存器 650。EV_0 寄存器 635 和 EV_1 寄存器 640 被配置用于处理从反转块 620 接收并且要包含在测试模块 120 的输出的偶位中的数据，而 OD_0

寄存器 645 和 OD_1 寄存器 650 被配置用于处理相应的奇位。EV_0 寄存器 635 和 EV_1 寄存器 640 被配置成存储来自 DW_E 信号的“偶数据写入 0” (DW_E0) 和“偶数据写入 1” (DW_E1) 信号。OD_0 寄存器 645 和 OD_1 寄存器 650 被配置成存储来自 DW_O 信号的“奇数据写入 0” (DW_O0) 和“奇数据写入 1” (DW_O1) 信号。这些 DW_E0、DW_E1、DW_O0 和 DW_O1 信号被并行提供给 MUX 535。MUX 535 被配置成由这些并行信号产生串行流。串行流经由输出移位寄存器 524 作为数据信号 (DQ) 中的数据的序列 (例如 4 位) 被提供给 IC 130。因而, 在图 6 说明的实施例中, 来自 ATE 110 的 TDQ 数据的一个位导致 4 位 DQ 数据被传送到 IC 130。

如在美国专利申请 11/207,581, "Architecture and Method for Testing of an Integrated Circuit Device" 中描述的, 类似于图 6 中说明的部件的部件可以被包含在测试模块 120 的读出数据路径中。在某些实施例中, 如果提供给 IC 130 的测试数据与从 IC 130 接收的相同, 则测试模块 120 被配置成向 ATE 110 回传测试模块 120 最初从 ATE 110 接收的相同数据, 如果从 IC 130 接收的数据与提供给 IC 130 的数据不相同, 则测试模块 120 被配置成向 ATE 110 传递测试模块 120 最初从 ATE 110 接收的数据的补码。

图 7A 和图 7B 包含根据本发明各个实施例说明使用图 6 图解的系统进行的数据扩充的若干例子的表格。这些表格包含表示从数据输入寄存器 514 接收的数据位的 TDQ 列 710, 指示偶块 610 和奇块 615 接收的 CA0 和 CA0\值的 CA0 列 720, 和表示第一位与偶地址还是奇地址相关的偶数据位列 730。这些表格还包含指示寄存器块 630 的输出的 4 部分列 740 (例如 DW_E0、DW_E1、DW_O0 和 DW_O1)。在图 7A 中, 4 部分列 740 表示 TINV0 为低的缺省模式, 在图 7B 中, 4 部分列 740 表示 TINV0 为高的缺省模式。最终, 图 7A 和 7B 中包含的表格包含表示提供给输出移位寄存器 524 的 4 个 DQ 输出值的 4 部分列 750。

图 8A-8H 根据本发明各个实施例说明了可以从测试模块 120 传送到 IC 130 的各种测试数据模式。图 8A 和 8B 包含产生统一 (例如全 1 或全 0) 位阵列的测试数据模式。图 8C 和 8D 包含具有单个反转, 例如每个其它位被反转的测试数据模式。图 8E 和 8F 包含具有双反转, 例如每个其它位对被反转的测试数据模式。图 8G 和 8H 包含具有四个反转, 例如每个其它 4 位集合被反转的测试数据模式。其它测试数据模式在 IC 130 内

产生国际象棋棋盘式、列条纹行条纹双列、双行或类似位存储。

在 IC 130 中发生的测试数据的实际物理存储模式可以不同于提供给 IC 130 的位模式。例如，某些类型的存储器存储对于偶和奇列地址使用不同表格。在这些存储器中，图 8C 的测试数据模式可以产生对应于偶列地址的全一的表格和对应于奇列地址的全零的表格（假定该模式的第一位针对偶列地址）。如果图 8D 的测试数据模式被使用，则第一表格为全零，第二表格为全一。此外，在这些存储器中，图 8E 和 8F 的测试数据模式在 2 个表格的每个内产生国际象棋棋盘式模式。

在某些存储器中，如这里其它地方讨论的，某些类型的存储器使用数据的实际物理存储的逻辑为地址相关的体系结构。例如，逻辑 1 可以在偶地址列（和/或行）中由高电压表示，在奇地址列（和/或行）中由低电压表示。在这些类型的存储器中，图 8A 和 8B 的数据测试模式产生国际象棋棋盘式的电压值，而图 8C 和 8D 的测试数据模式产生用相同实际电压值填充的存储器单元阵列。因为测试模块 120 内的测试数据的产生能够是列地址和/或行地址相关的，测试模块 120 能够对实际物理存储为地址相关的各类型的存储器应用期望的测试模式。

返回图 2，时钟驱动器 220 被配置成向 IC 130 提供时钟信号。这个时钟信号通常使用时钟管理器 202 来产生，并且可以比从 ATE 110 接收的时钟频率更快。

命令驱动器 222 被配置成向 IC 130 传送从命令控制 204 接收的命令。例如，命令驱动器 222 可以被配置成向包含存储器设备的 IC 130 的实例提供加载、读出、预充电或类似命令。在本发明的某些实施例中，命令驱动器 222 包含调度器，其可配置成控制从测试模块 120 传送到 IC 130 的命令（或数据）的定时。例如，可以期望测试 IC 130 以预定速率接受命令的能力。

图 9 说明了被配置成调度命令到 IC 130 的传送的命令驱动器 222 的实施例。这个实施例包含一组同步 D-FF（触发器）920、FIFO（先入先出）缓冲器 930、命令解码器 940、调度计数器 950 和状态机 960。同步 D-FF 920 被配置成将以 ATE 110 的频率通过命令控制 204 接收的命令与测试模块 120 的时钟频率（CK）相同步。CK0 可以是 TCK 的两倍或更多倍。在时钟管理器 202 使得 CK0 与 TCK 同步的实施例中，与少至 2 个的 D-FF 的同步是可能的。

FIFO 缓冲器 930 被配置成存储从同步 D-FF920 接收的命令，直到它们准备好被传送到 IC 130。FIFO 缓冲器 930 能够是例如深度 16 的 FIFO 缓冲器。命令也在命令解码器 940 中被解码并且传递到调度计数器 950。调度计数器 950 使用表格查找确定应当允许在具体命令和前一命令之间经过多少时钟周期。可选地，由调度计数器 950 从 FIFO 缓冲器 930 读出前一命令。当从 FIFO 缓冲器 930 弹出命令时，它被状态机 960 接收，状态机 960 被配置成在传送命令到 IC 130 之前等待由调度计数器 950 确定的时钟周期数。

能够依据时钟节拍设置编程的延迟。因而，某些命令可以导致在下一命令被传送到 IC 130 之前有 1、2、3、4 或更多个时钟节拍的延迟。通过依据时钟节拍设置延迟，或通过改变用于测试模块 120 和 IC 130 之间的通信的时钟频率，能够控制命令之间的实际延迟时间。

图 10 包含根据本发明各个实施例说明基于时钟周期的命令调度的表格。在这个表格内，参数列 1010 包含可以在状态机 940 中定义的若干不同命令集。例如，在第三行中示出了后跟读/写命令的活动命令的定时特性。缺省时钟周期 (t_{CK}) 是 3.75 纳秒 (ns)，而其它时间被表示成 TCK 的倍数。通常， t_{CK} 是用于测试模块 120 和 IC 130 之间的通信的时钟周期。示出的数据适用于特定类别的 SDRAM (同步动态随机存取存储器)。在可选实施例中可以使用其它时钟速度和延迟。例如，也可以使用调度来减少测试模块 120 内时延的影响。

再次参照图 2，地址驱动器 224 被配置成向 IC 130 提供地址。通常，这些地址被用于通过数据接口 226 读取或写入数据。数据接口 226 被配置成在测试模块 120 和 IC 130 之间传送数据。在某些实施例中，数据接口 226 包含被配置用于与 IC 130 进行电接触的测试垫、接触引脚、插座等等。

图 11 根据本发明各个实施例说明了包含至少一个测试模块 120 和被配置成接纳 IC 130 的至少一个底座 1120 的测试安装板 1110。测试安装板 1110 能够包含印制电路板模块等等。在某些实施例中，测试模块 120 被实现成 10×10 mm 144 引脚二进制门阵列 (BGA)，底座 1120 是 SDRAM BGA 插座。

图 12 根据本发明各个实施例说明了包含多个测试安装板 1110 的测试阵列 1210。在各个实施例中，测试阵列 1210 包含 2、4、8、16、32 或更多个测试安装板 1110。可选地，测试阵列 1210 还包含存储器 1220，存储器 1220 被配置成存储测试参数并且电子连接到每个测试安装板 1110。例

如,在各个实施例中,存储器 1220 包含数据扰码模式、列地址扰码模式、行地址扰码模式、其它测试参数和/或类似数据。存储器 1220 通常是例如静态 RAM 或快擦写存储器的非易失存储器。可选地,存储器 1220 是可分离的。在某些实施例中,测试安装板 1110 是可选的,底座 1120 和测试模块 120 被附连到测试阵列 1210。测试模块 120 的单个实例可以被配置成测试均安装在底座 1120 的不同实例中的多个集成电路。可以使用测试模块 120 的单个实例产生的数据信号或地址信号并行测试这些多个集成电路。

图 13 根据本发明各个实施例说明了使用测试模块 120 测试 IC 130 的方法。在这些方法中,测试模块 120 被连接到 ATE 110 和 IC 130,并且被配置成执行特定于 IC 130 的测试。这些测试包含测试模块 120 从 ATE 110 接收测试信号,基于接收的测试信号产生测试地址和测试数据,向 IC 130 发送产生的测试信号,从 IC 130 接收测试结果和向 ATE 110 报告。

更具体地,在附连 ATE 的步骤 1310 中,测试模块 120 通过 N 通道接口 115 电子连接到 ATE 110。在某些实施例中,这种连接包含将测试模块 120 连接到 ATE 110 中包含的标准测试探头。在某些实施例中,这种连接包含将 ATE 110 连接到在其上安装有测试模块 120 的印制电路板。

在附连 IC 的步骤 1320 中,测试模块 120 被电子连接到例如 IC 130 的一或多个要测试的集成电路。这种连接可以通过 M 通道接口 125 和/或测试阵列 1210 来进行。例如,在某些实施例中,附连 IC 的步骤 1320 包含将 IC 130 插到测试阵列 1210 内的底座 1120 上。在某些实施例中,该多个 IC 130 包含多个存储器设备。

在配置测试模块的步骤 1330 中,测试模块 120 被配置成对 IC 130 执行测试。该配置可以包含指定用于与 IC 130 通信的时钟频率,该时钟频率不同于用于 ATE 110 和测试模块 120 之间的通信的时钟频率。该配置还可以包含规定用于产生测试模块 120 内的、在测试 IC 130 时使用的测试地址和测试数据的参数。在某些实施例中,配置测试模块 120 包含选择若干可选预定测试配置之一。在某些实施例中,配置测试模块 120 包含将其中存储有测试参数的非易失存储器连接到测试模块 120。在某些实施例中,配置测试模块的步骤 1330 包含从 ATE 110 向测试模块 120 传送配置命令和数据。可选地,这些数据被可选地测试模式寄存器 212 中。

可选地,配置测试模块的步骤 1330、附连 IC 的步骤 1320 和附连 ATE 的步骤 1310 以交替顺序执行。

在接收测试信号和步骤 1340 中，测试模块 120 通过 N 通道接口 115 从 ATE 110 接收测试信号。这些测试信号被以第一时钟频率接收，并且可以包含针对 IC 130 的命令、地址和测试数据。通常，接收的测试信号取决于 ATE 110 的设置。

在产生步骤 1350 中，测试模块 120 被用于响应在接收测试信号步骤 1340 中接收的测试信号和在配置测试模块步骤 1330 中指定的配置来产生测试地址和测试数据。产生步骤 1350 通常包含使用地址产生器 210 产生测试地址，以及使用模式生成逻辑 214 和数据写逻辑 216 产生测试数据。

在各个实施例中，产生步骤 1350 针对在接收测试信号步骤 1340 中从 ATE 110 接收的每个数据单元产生 2、4、6、8 或更多个数据单元。可选地，产生步骤 1350 包含响应地址数据而产生测试数据。例如，与要存储在奇地址的数据相比，针对要存储在偶地址的数据的产生处理可以不同。可选地，产生的测试数据被配置成在 IC 130 内产生特定数据模式。这些模式可以包含全一、全零、国际象棋棋盘式、每个其它位的反转、每个其它位对的反转、交替列或交替行等等。

在发送测试信号步骤 1360 中，例如使用 M 通道接口 125 以第二时钟频率将产生步骤 1350 中产生的测试数据从测试模块 120 发送到 IC 130。可选地，第二时钟频率比第一时钟频率更快。在某些实施例中，发送测试信号步骤 1360 包含调度命令从测试模块 120 到 IC 130 的传送。

在可选的接收结果步骤 1370 中，测试模块 120 例如经由 M 通道接口 125 从 IC 130 接收测试结果。这些测试结果响应于在发送测试信号步骤 1360 发送的测试信号。

在可选的报告步骤 1380 中，接收的测试结果被测试模块 120 处理，报告被提供给 ATE 110。在某些实施例中，这个处理包含产生步骤 1350 中使用的数据产生过程的相反处理。在某些实施例中，这个处理包含将接收的测试结果与期望测试结果相比较。提供给 ATE 110 的报告能够包含指示"通过"或"失败"的数据，ATE 110 期待的数据或这个数据的补码等等。

在可选的分离 IC 步骤 1390 中，将 IC 130 与底座 1120 分离。通常，IC 130 被配置成在普通模式中测试模块 120 分离地工作。测试模块 120 被配置成接收 IC 130 的不同实例并且对每个实例重复图 13 说明的方法。

图 14 根据本发明各个实施例说明了产生测试数据的方法。这些方法

可以被包含在例如图 13 的产生步骤 1350 中。在说明的方法中，数据产生响应于配置测试模块步骤 1330 所确定的测试模块 120 的配置，以及从 ATE 110 接收的地址和测试数据。

在接收输入步骤 1410 中，测试模块 120 从 ATE 110 接收测试数据，并且可选地，从 ATE 110 接收测试地址。接收的测试数据能够包含单个位、8 位字节、16 位字、一对 8 位字节等等。可选地，接收的数据被存储在例如数据输入寄存器 514 的输入缓冲器中。以第一时钟频率接收这个测试数据。

在可选的基于地址的反转步骤 1420 中，复制在接收输入步骤 1410 中接收的数据的位。这个复制产生该位的 2 个实例（初始和新实例）。响应地址数据而反转该 2 个实例的一个、两个，或者均不反转。例如，在测试模块 120 的某些配置中，要存储在偶地址的位的复本被反转，要存储在奇地址的复本不反转。

可选地，基于地址的反转步骤 1420 使用图 6 所示的偶块 610 和奇块 615 来执行。通常对接收输入步骤 1410 中接收的数据的每个位并行地应用基于地址的反转步骤 1420。基于地址的反转步骤 1420 产生双倍数目的测试数据位。

在基于模式的反转步骤 1430，复制每个可用测试位以产生该位的 2 个实例。响应测试模式而反转该 2 个实例的一个、两个，或者均不反转。例如，在某些实施例中，反转块 620 和反转块 625 均被用于分别响应 INV0 和 INV1 来复制一个位和反转该位的新实例。从模式生成逻辑 214 接收 INV0 和 INV1。可选地，基于模式的反转步骤 1430 的结果被存储在锁存器或例如寄存器块 630 的寄存器块中。

可选地，以不同顺序执行基于地址的反转步骤 1420 和基于模式的反转步骤 1430。这些步骤共同产生四倍可用测试数据。例如，从 ATE 110 接收的 8 位测试数据将产生 32 位可用测试数据。在某些实施例中，这些步骤的一个或两个被执行额外次以产生进一步的数据。

在串行化步骤 1440 中，使用例如 MUX 535 的复用器将使用基于地址的反转步骤 1420 产生的位串行化。串行化处理产生定序的位序列。可选地，这个定序的序列被存储在输出移位寄存器 525 中。

在传送步骤 1450 中，定序的位序列被传送到例如 IC 130 的被测试的集成电路。以第二时钟频率进行这个传送，第二时钟频率可选地不同于（例

如更快或更慢于)接收输入步骤 1410 的第一时钟频率。

图 15 根据本发明各个实施例说明了处理从 IC 130 接收的测试结果的方法。在这些实施例中,对测试结果执行与例如结合图 14 讨论的数据产生过程近似相反的过程。

在接收测试结果步骤 1510 中,测试模块 120 从 IC 130 接收数据。这个数据响应于先前提供给 IC 130 的测试数据(例如通过图 13 和 14 中说明的方法)。在某些情况下,可以响应发送到 IC 130 的读命令来接收数据。以第一时钟频率接收所接收的数据。

在串行压缩步骤 1520 中,基于从模式生成逻辑 214 接收的反转信号串行压缩所接收的数据。例如在某些实施例中,响应 INV0 和 INV1 信号压缩所接收的数据。串行压缩步骤 1520 将所接收的数据中包含的位数降低两倍,并且可以使用反转块 620 和反转块 625 的逆来执行。

在可选的串行压缩步骤 1530 中,响应地址信息进一步压缩所接收的数据。例如,可以使用与从偶地址接收的数据不同的逻辑来压缩从奇地址接收的数据。串行压缩步骤 1530 可以使用偶块 610 和奇块 615 的逆来执行,并且导致进一步将数据降低两倍。

可选地,以交替顺序执行串行压缩步骤 1520 和串行压缩步骤 1530。这些步骤共同导致对接收的数据的 4 倍压缩。例如,如果从 IC 130 接收 32 位,这些步骤将产生 8 位压缩数据。可以重复这些步骤中的任意一个以便实现更大压缩比。

在报告步骤 1540 中,使用串行压缩步骤 1520 和串行压缩步骤 1530 产生的压缩数据被传送到 ATE 110。可选地,以不同于第一时钟频率的时钟频率进行这个通信。

图 16 根据本发明各个实施例说明了处理从 IC 130 接收的测试结果的可选方法。在这些实施例中,将测试结果与期望结果相比较,这个比较的输出被用来与 ATE 110 通信。该比较可以与从 IC 130 接收的数据进行,与一个压缩步骤(例如串行压缩步骤 1520 或串行压缩步骤 1530)之后从 IC 130 接收的数据进行,或与不止一个压缩步骤之后从 IC 130 接收的数据进行。到 ATE 110 的通信能够包含指示"通过"或"失败"的值,或可选地包含 ATE 110 期待的数据。

在接收测试结果步骤 1610 中,测试模块 120 从 IC 130 接收数据。这个数据响应于先前提供给 IC 130 的测试数据(例如通过图 13 和 14 中说

明的方法)。在某些情况下,可以响应发送到 IC 130 的读命令来接收数据。以第一时钟频率接收所接收的数据。

在访问期望结果步骤 1620 中,测试模块 120 访问期望结果。期望结果可以是不同的,这取决于在与期望结果比较之前是否要压缩在接收测试结果步骤 1610 接收的数据。例如,如果在任何压缩之前要比较接收的数据,则期望结果可以是在例如报告步骤 1380 或传送步骤 1450 中从测试模块 120 发送到 IC 130 的数据的复本。这个复本可以先前已经存储在测试模块 120 中,或可以在必要时作为访问期望结果步骤 1620 的一部分而重新产生。在另一例子中,如果要在一个或多个压缩步骤之后比较所接收的数据,则期望数据可以是在图 14 说明的方法的适当阶段的数据的复本。这个复本可以先前已经被保存,或可以在运行时刻由例如在接收输入步骤 1410 最初从 ATE 110 接收的数据再生。

在某些实施例中,访问期望结果步骤 1620 包含从 ATE 110 接收期望结果。例如,可以使用测试 DQ 208 和特定于这个操作的命令将期望结果从 ATE 110 载入测试模块 120。当从 IC 130 返回接收的结果预计不同于发送到 IC 130 的结果时,这些实施例是有利的。在某些实施例中,期望结果从 ATE 110 载入测试模块 120 包含使用特定期望数据加载命令或专用输入。

在比较步骤 1630 中,比较单元 550 被用来将在访问期望结果步骤 1620 中访问的期望结果与从 IC 130 接收的数据(或其压缩版本)进行比较。

在报告步骤 1640,在比较步骤 1630 进行的比较的输出被用于与 ATE 110 通信。在某些实施例中,该输出被用来确定指示"失败"或"通过"的值是否应当发送到 ATE 110。在某些实施例中,如果比较步骤 1630 的输出指示从 IC 130 接收了期望数据,则期望数据的复本被发送到 ATE 110,而如果比较步骤 1630 的输出指示未从 IC 130 接收期望数据,则期望数据的补码被发送到 ATE 110。

可选地,以各种组合使用图 15 和图 16 说明的方法。例如,一个压缩步骤可以后面跟有与期望数据的比较。可选地,以和测试模块 120 从 IC 130 接收的数据不同的频率提供从 IC 130 提供到 ATE 110 的报告。

图 17 根据本发明各个实施例说明了产生地址数据的方法。可以例如使用地址产生器 210 执行这些方法。

在设置行计数器步骤 1710 中，在测试模块 120 内设置行计数器的初值。可以使用测试 DQ 208 和命令控制 204 处的适当命令将这个初值载入测试模块 120。可选地，通过将非易失存储器连接到测试模块 120 可以将这个初值载入测试模块 120，该非易失存储器预装载有该初值。在某些实施例中，初始行值被配置成指示将存储初始测试数据的 IC 130 内的存储器地址。

在设置列计数器步骤 1720，在测试模块 120 内设置列计数器的初值。能够以类似于设置行计数器步骤 1710 的方式执行这个步骤。在某些实施例中，初始列值被配置成指示初始测试数据将被存储在的 IC 130 内的存储器地址。

在设置行计数方向步骤 1730，在测试模块 120 内设置行计数方向。能够以类似于设置行计数器步骤 1710 的方式执行这个步骤。对于向上计数，计数方向能够为"正"，对于向下计数，计数方向能够为"负"。

在设置列计数方向步骤 1740，在测试模块 120 内设置列计数方向。能够以类似于设置行计数器步骤 1710 的方式执行这个步骤。对于向上计数，计数方向能够为"正"，对于向下计数，计数方向能够为"负"。

在设置行 LSB 步骤 1750，设置针对行计数的 LSB（最低有效位）。能够以类似于设置行计数器步骤 1710 的方式执行这个步骤。LSB 是将在计数过程中首先改变的位。如果最低值位是 LSB，则将按一进行计数。如果下一位被设置成 LSB，则将按二进行计数，如果之后下一位被设置成 LSB，则将按 4 进行计数，等等。

在设置列 LSB 步骤 1760，设置针对列计数的 LSB（最低有效位）。能够以类似于设置行计数器步骤 1710 的方式执行这个步骤。在行计数步骤 1770 中，响应在步骤 1710、1730 和 1750 设置的值改变行地址。在列计数步骤 1780 中，响应在步骤 1720、1740 和 1760 设置的值改变列地址。在串行化地址步骤 1790，改变的列地址和改变的行地址被串行化以形成可以用来访问 IC 130 的完整地址。

在各个实施例中，图 17 说明的步骤的一或多个是可选的。例如，计数方向可以缺省始终为正，行和/或列 LSB 可以始终为最低值位，行和/或列计数器的初值可以等于零或一。

图 18 根据本发明各个实施例说明了命令调度的方法。在这些方法中，测试模块 120 接收命令以传送到 IC 130。通常以和从测试模块 120 传送这

些命令到 IC 130 的时钟频率不同（例如更慢）的时钟频率从 ATE 110 接收这些命令。为了控制命令到 IC 130 的传送的定时，命令可以暂时保存在测试模块 120 中并且根据传送调度来传送。图 18 说明的方法允许测试模块 120 的用户测试 IC 130 以特定速率接收和响应命令的能力。

在接收命令步骤 1810 中，测试模块 120 从 ATE 110 接收命令。接收的命令可以包含例如读命令、写命令、活动命令、刷新命令、预充电命令等等。

在存储命令步骤 1820 中，存储接收的命令。在某些实施例中，在临时存储于 D 触发器之后，命令被存储在例如 FIFO 缓冲器 930 的 FIFO 缓冲器中。例如同步 D-FF 920 的 D 触发器通常以与第一时钟频率同步的第二时钟频率运行。在某些实施例中，第二时钟频率是第一时钟频率的至少两倍。在各个实施例中，FIFO 缓冲器被配置成存储 2、4、8、16、32 或更多个命令。

在确定命令延迟步骤 1830 中，确定接收的命令所需的延迟。通常按第二时钟频率的时钟周期度量延迟量。可选地，延迟量取决于先前接收的命令。例如，预充电命令和读命令之间的延迟可以不同于读命令和预充电命令之间的延迟。图 10 说明了命令延迟的进一步例子。

在某些实施例中，确定命令延迟步骤 1830 包含使用命令解码器 940 来解码接收的命令和使用调度计数器 950 确定适当延迟。调度计数器 950 通常被配置成在类似于图 10 示出的表格中查找延迟时间。可选地，在测试模块 120 内或在测试模块 120 可访问的存储器中存储这个数据。调度计数器 950 被配置成从 FIFO 缓冲器 930 接收前一命令。

在检索命令步骤 1840 中，从 ATE 110 接收的命令被从 FIFO 缓冲器 930 中弹出并且载入状态机 960。

在延迟步骤 1850 中，接收的命令被保存在状态机 960 中，直到经过由来自调度计数器 950 的输入确定的适当延迟时间。在传送步骤 1860，在适当延迟时间之后，从测试模块 120 传递接收的命令到 IC 130。

图 19 根据本发明各个实施例说明了配置用于测试多个集成电路的测试阵列的方法。在这些方法中，例如测试阵列 1210 的测试阵列加载有测试参数，所述测试参数被配置成用于测试 IC 130 的不止一个实例。在某些实施例中，通过插入包含测试过程的非易失存储器，测试参数被载入测试阵列 1210。在其它实施例中，通过传送测试过程（和相关测试参数）

到测试阵列 1210 中，测试参数被载入测试阵列 1210。可选地，测试参数被存储在由多个测试模块 120 共享的测试模式寄存器 212 的实例中。

在选择 IC 步骤 1910 中，选择例如 IC 130 的集成电路进行测试。这个选择可以包含例如选择来自特定制造商的特定类型的集成电路。

在选择过程步骤 1920 中，选择测试过程以测试所选择的集成电路。测试过程通常是针对所选择的集成电路或针对不同集成电路配置的若干可选测试过程之一。每个可选测试过程与一组测试参数相关。这些参数包含如这里其它地方讨论的可以被存储在测试模式寄存器 212 中的数据。这些参数也可以包含例如图 10 中说明的、用于调度命令到 IC 130 的传送的延迟数据。

在插入 IC 步骤 1930，在选择 IC 步骤 1910 选择的集成电路的一或多个实例被插入测试阵列 1210 中。例如，在某些实施例中，存储器芯片的若干实例被插入到测试阵列 1210 内的多个测试安装板 1110 内的底座 1120 的相应实例中。

在过程编程步骤 1940 中，表征所选择的测试过程的测试参数被载入测试阵列 1210。在某些实施例中，对过程编程包含向存储器 1220 插入包含测试参数的非易失存储器。在其它实施例中，对过程编程包含在存储器 1220 已经插入测试阵列 1210 中之后向存储器 1220 传送测试参数。存储器 1220 被配置成由测试阵列 1210 内的测试模块 120 的多个实例共享。在其它实施例中，对过程编程包含并行向测试模块 120 的若干实例的每个进行传送，使得测试参数被载入多个相关测试模式寄存器 212。

在可选的测试 IC 步骤 1950 中，使用自动测试设备和在过程编程步骤 1940 载入测试阵列 1210 的测试参数测试插入测试阵列 1210 的集成电路之一。

图 20 说明了测试模块 120 被配置成测试多个 IC 130 的本发明实施例。在这些实施例中，并行地向 IC 130 的不止一个实例提供时钟驱动器 220、命令驱动器 222、地址驱动器 224 和/或数据接口 226 的输出。例如，可以在 4 个分立的 IC 130，即接收 DQ[0-7]的第一 IC 130，接收 DQ[8-15]的第二 IC 130，接收 DQ[16-23]的第三 IC 130 和接收 DQ[24-31]的第四 IC 130 间划分数据接口 226（例如 DQ[0:31]）的所产生的数据输出。也向 4 个分立 IC 130 的每个分发时钟驱动器 220，命令驱动器 222 和/或地址驱动器 224 的输出，每个 IC 130 通常从这些部件接收相同的数据。

在某些实施例中，图 20 说明的多个 IC 130 的每个被布置在相同电子设备中。例如，每个 IC 130 可以是 SiP 内的分立存储器芯片。可选地，图 20 说明的多个 IC 130 的每个可以被布置在分立电子设备中。例如，多个 IC 130 的每个被安装在测试阵列 1210 内的不同测试安装板 1110 上。在图 20 说明的测试模块 120 的实施例中，ATE 110 能够被用来在不使用测试模块 120 而测试一个 IC 130 所需要的时间测试 2、3、4 或更多个 IC 130。进一步，即使并行测试不止一个 IC 130，仍能够以高于 ATE 110 的时钟频率的时钟频率进行测试。

图 21 说明了在从 IC 130 读出数据之后在串行压缩中使用的逻辑 2100。使用从 ATE 110 接收的期望数据以及可选的从模式生成逻辑 214 接收的数据扰码信息实现串行压缩。可选地，与测试 (TDQ) 数据同时将期望数据从 ATE 110 传送到测试模块 120。在某些实施例中，通过一或多个附加数据引脚传送期望数据。例如，在某些实施例中，n 通道总线 115 包含到测试模块 120 的配置用于传送期望数据的引脚的 2 个连接。在某些实施例中，通过命令引脚复用期望数据。这些实施例可以适用于在命令之后包含额外时钟周期的 DDR 存储器或其它设备的测试。

图 21 说明的逻辑 2100 执行的压缩是串行的原因在于，以串行方式接收和处理在压缩中使用的位，并且压缩在 2 个阶段进行。应用逻辑 2100 的第一阶段部分取决于接收的第一数据是来自于偶地址还是奇地址，应用逻辑的第二阶段部分取决于来自相邻位对的结果。第一阶段包含分成 2 个集合（一般指定为 2110A 和 2110B）的逻辑门 2120，其被配置成根据期望数据和接收的实际数据产生输出。通过使能匹配值 EM00、EM11、EM01 和 EM10 表示期望数据。EM00 要使能匹配 "0,0" 与期待输出 "0"，EM11 要使能匹配 "1,1" 与期待输出 "1"，EM01 要使能匹配 "0,1" 与期待输出 "0"，EM10 要使能匹配 "1,0" 与期待输出 "1"。通常，通过对逻辑门 2120 内的 "与非" 门，"与" 门或 "或" 门的输入提供通过来自 ATE 110 的期望数据接收的这些值，使用 EM00、EM11、EM01 和 EM10 输入。如果奇位反转启用，则 EM01 或 EM10 为真，如果奇位反转禁用，则 EM00 或 EM11 为真。

实际接收的数据被表示成 DRe0、DRo0、DRe1 和 DRo1 (DR=读出数据)。DRe0 是从偶地址读出的第一实际位值，DRe0 是从奇地址读出的第一实际位值。DRe1 是从偶地址读出的第二实际位值，DRo1 是从奇地址读出的第二实际位值。

逻辑门集合 2110A 被配置成处理 2 位 (DRe0 和 DRo0), 而逻辑门集合 2110B 被配置成处理 2 位 (DRe1 和 DRo1)。在说明的例子中, 逻辑门 2120 被配置成处理总共 4 位。在典型实施例中, 在交替时钟周期上串行使用逻辑门集合 2110A 和 2110B。因而, 在第一时钟周期处理 2 位, 在第二时钟周期处理 2 位。每个逻辑门集合 2110A 和 2110B 被配置成使用使能匹配值 EM00、EM11、EM01 和 EM10 将 2 位压缩成一个位 (分别为 DR0 和 DR1)。

MUX 2130A 被配置成在逻辑门集合 2110A 内选择逻辑门 2120 的输出之一, MUX 2130B 被配置成在逻辑门集合 2110B 内选择逻辑门 2120 的输出之一。这些选择取决于 EM00、EM11、EM01 和 EM10 的哪些值为真。该选择针对每个逻辑门集合 2110A 和 2110B 产生单个位结果, 例如 DR0 或 DR1。

图 21 说明的串行压缩逻辑 2100 的第二阶段包含第三逻辑门集合 2110C。这些逻辑门 2140 响应于 EM00、EM11、EM01 和 EM10, 以及 DR0 和 DR1。这个逻辑门集合 2110C 被配置成比较串行压缩逻辑的第一阶段的 2 个结果 (DR0 和 DR1)。因为这些结果自身均是一对位之间比较的结果, 第二阶段的输出取决于 4 个输入位的状态。每个逻辑门 2140 的输出被 MUX 2130C 接收, MUX 2130C 响应 EM00、EM11、EM01 和 EM10 选择这些输出之一, 以作为图 21 说明的压缩逻辑的输出 TDR。

图 21 说明的串行压缩逻辑 2100 产生 4 比 1 压缩比。期望数据值 EM00、EM11、EM01 和 EM10 均允许 2 比 1 的压缩。因而, 通过在 2 个逻辑阶段使用这些期望值, 能够两次实现 2 比 1 压缩, 从而产生 4 比 1 的系统压缩比。2 阶段逻辑也允许压缩响应于数据被读取的地址的最低有效位是奇还是偶, 以及奇 (或偶) 位是否被反转。虽然在单个逻辑阶段能够实现 4 比 1 压缩比, 然而这通常需要多于 4 个的期望数据值, 不响应于地址为奇还是偶, 或不响应于某些位是否被反转。在可选实施例中, 多于 4 个的期望数据值被用来在单个逻辑阶段, 和/或以更大压缩比实现压缩。

图 22A 和 22B 说明了图 21 的压缩逻辑 2100 的应用。在图 22A 中, 表格 2210A 示出了输入 TDQ (0-3) 2220 如何产生 TDQ 输出 2260。输出的值响应于输入数值, 第一数据位是否来自于偶地址 (LSB=0 或否) 2230, 系统是否正工作于没有位反转的缺省模式 2240A (与偶或奇位被反转 2240B 的模式相反), 以及 EM00 和 EM11 的值。表格 2210A 中示出的值

表示缺省模式 2240A 的结果，表格 2210B 中示出的值表示奇位被反转的模式的结果。

图 23 说明了在从 IC 130 接收的数据的并行压缩中使用的逻辑 2300。逻辑 2300 能够被配置为例如实现 32 比 8 数据压缩。在逻辑 2300 的第一阶段 2340，一系列逻辑 2100（图 21）被用来如结合图 21 描述的那样压缩数据。如所描述的，每个逻辑 2100 以串行方式接收和压缩位。在第一阶段 2340，由若干（例如 8、16、32、64 或更多个）逻辑 2100 并行执行此串行压缩。每个逻辑 2100 的输出被 MUX 2310 接收，MUX 2310 被配置成基于从模式 2320 接收的纵横复用模式执行并行压缩。模式 2320 被编程以反映期望压缩模式的缓冲器。

可选的，与测试（TDQ）数据同时将期望压缩模式从 ATE 110 传送到测试模块 120。在某些实施例中，通过一或多个附加数据引脚传送期望数据。例如在某些实施例中，n 通道总线 115 包含到测试模块 120 的被配置用于传送压缩模式的引脚的 2 个、3 个、4 个或更多个连接。在某些实施例中，通过命令引脚复用压缩模式。在某些实施例中，从模式生成逻辑 214 接收压缩模式。

MUX 2310 能够是可编程门阵列或本领域已知的其它电路，用于执行例如纵横（crossbar）复用模式的逻辑操作。MUX 2310 能够被硬编码或使用软件或固件进行编程。在各个实施例中，MUX 可以被编程为执行 16 比 8、32 比 8、64 比 8、128 比 8、32 比 16、64 比 16、128 比 16 或涉及大于 128 位的类似压缩模式。

MUX 2310 的输出被输出缓冲器 2330 接收。输出缓冲器 2330 被配置成接收可以包含 8、16、32 或更多个位的压缩数据。在某些实施例中，输出缓冲器 2330 包含数据输出寄存器 516。

图 24 根据本发明各个实施例说明了压缩数据的方法。在这个方法中，使用图 21 和 23 说明的逻辑压缩从 IC 130 接收的数据。在可选的附连 ATE 步骤 2410 中，测试模块 120 被附连到 ATE 110。在附连 IC 步骤 2420 中，IC 130 被附连到测试模块 120。在接收步骤 2430 中，测试模块 120 从 IC 130 内的地址接收测试数据。在压缩步骤 2440，接收的数据被压缩以产生压缩数据。可选地，使用图 21 和 23 说明的逻辑执行这个压缩。可选地，这个压缩也响应于期望数据，在 IC 130 的地址和/或某些位被反转的模式。这个反转可以涉及每个其它位（例如偶位或奇位）或成对反转（例如 2 个位不反转，2 个位反转，2 个位不反转等等）。在提供步骤 2450 中，压

缩数据被提供给 ATE 110。

这里具体地说明和/或描述了若干实施例。然而应当理解，各种修改和变化被上述指导覆盖，并且在不偏离本发明的实质和期望范围的情况下在所附权利要求书的范围内。例如，在某些实施例中，所有或部分测试模块 120 作为可分离模块被合并到 ATE 110 内。在这些实施例中，可选地，测试模块 120 是可替换的，以便升级 ATE 110。可选地，测试模块 120 被包含在 ATE 110 的读头中。在各个实施例中，测试模块 120 通过长度大于 10、15、25、50、100、500、1000、1500、2000 或 3000 厘米的线缆与 ATE 110 分离。在某些实施例中，可选地，测试模块 120 被配置成对 IC 130 执行修复。例如，测试模块 120 可以包含被配置成烧录 IC 130 内的熔断或被配置成从 ATE 110 向 IC 130 传送修复信号的电路。虽然这里讨论了奇位的反转，然而本领域的普通技术人员理解，可以在等价方案中实现偶位的反转。

在本发明的某些实施例中，测试模块 120 被配置用于从电子设备内的若干部件中选择要测试的部件。例如，测试模块 120 可以被包含在 SiP 中，并且被配置成选择 SiP 内的多个不同存储器之一来测试。在这些实施例中，测试模块 120 的第一实例可以被包含在 SiP 中，测试模块 120 的第二实例可以布置在 ATE 110 和 SiP 之间。测试模块 120 的第一实例被用于选择要在测试模式中测试的电路，测试模块 120 的第二实例被用来以高于 ATE 110 的时钟频率的时钟频率测试 SiP。

这里讨论的实施例只是用于说明本发明。由于参考此说明描述了本发明的这些实施例，本领域的技术人员可以理解所描述的方法和或特定结构的各种修改或调整。依赖本发明的指导并且使得这些指导领先于现有技术的所有这种修改、调整或变化被认为是在本发明的实质和范围内。因此，这些说明和附图不应认为是限制性的，本发明不应被理解为限于所说明的实施例。

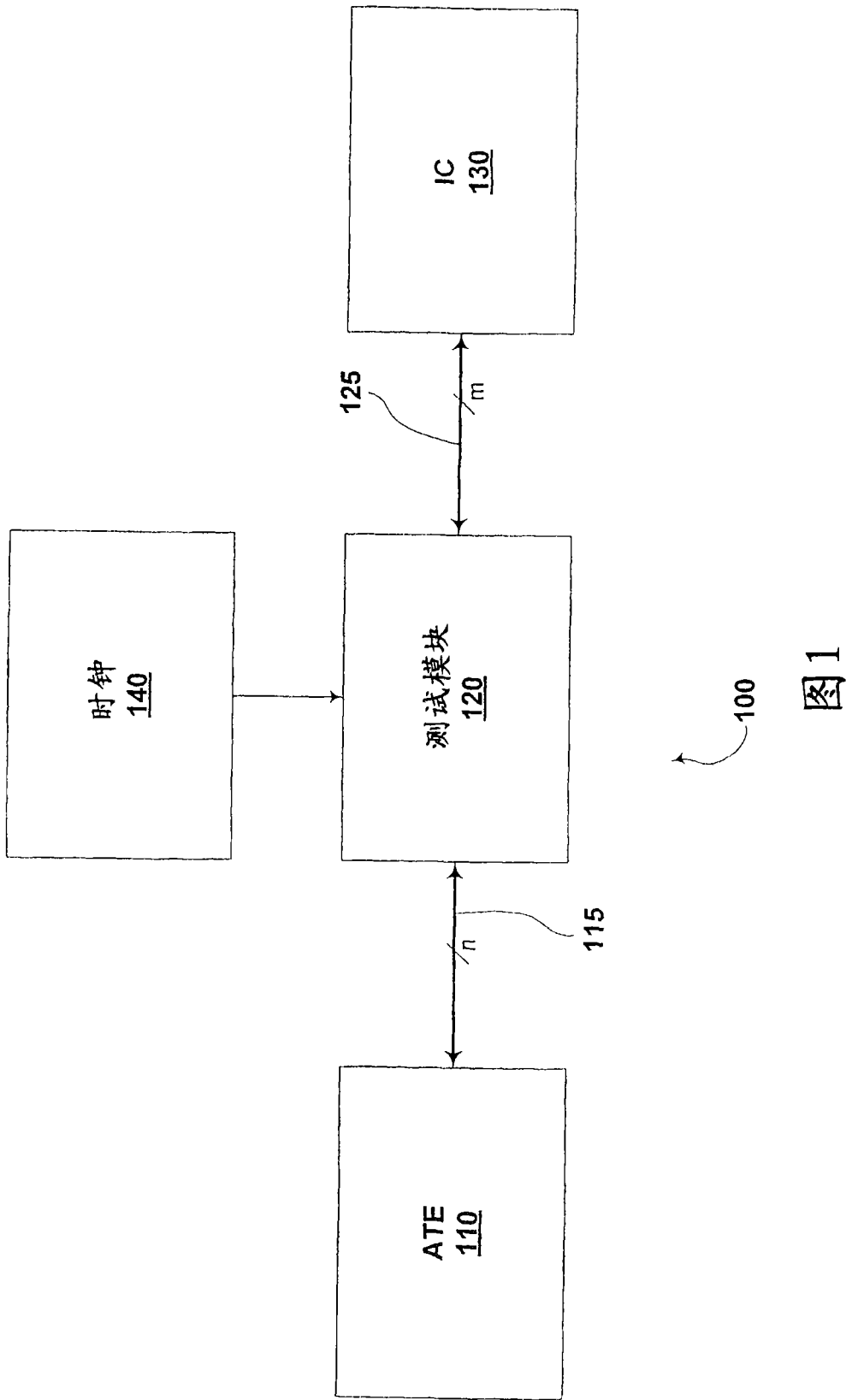


图1

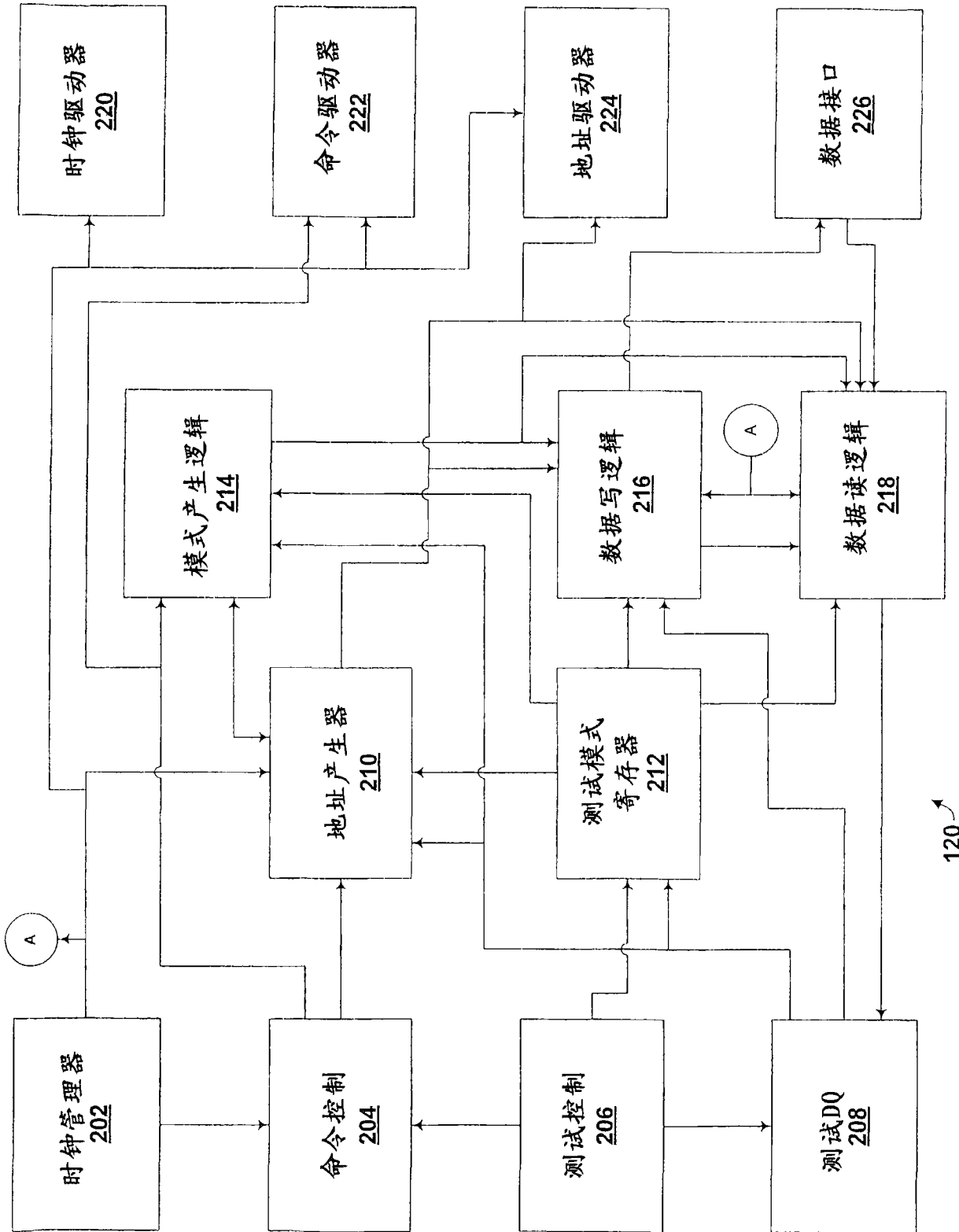


图2

项目	测试模式描述	代码名	持久	TDQ (测试代码)								
				7	6	5	4	3	2	1	0	
1	无测试		N	0	0	x	x	x	0	0	0	0
2	加载行地址 (A0-A7)	LRA07	N	0	0	x	x	x	0	0	0	1
3	加载行地址 (A8-A15)	LRA815	N	0	0	x	x	x	0	0	1	0
4	为行地址保留		N	0	0	x	x	x	0	0	1	1
5	设置行计数器LSB (A0-A7)	SRLSB07	N	0	0	x	x	x	1	0	0	0
6	设置行计数器LSB (A8-A15)	SRLSB815	N	0	0	x	x	x	1	0	1	0
7	为行LSB保留	1	N	0	0	x	x	x	1	1	0	0
8	将行计数器设置为递减计数	RCNTD	Y	0	0	x	x	x	1	1	1	1
9	无测试		N	0	0	0	0	0	0	x	x	x
10	加载列地址 (A0-A7)	LCA07	N	0	0	0	0	0	1	x	x	x
11	加载列地址 (A8-A15)	LCA815	N	0	0	0	0	1	0	x	x	x
12	为列地址保留		N	0	0	0	0	1	1	x	x	x
13	设置列计数器LSB (A0-A7)	SCLSB07	N	0	0	1	0	0	0	x	x	x
14	设置列计数器LSB (A8-A15)	SCLSB815	N	0	0	1	0	0	1	x	x	x
15	为列LSB保留		N	0	0	1	1	1	0	x	x	x
16	将列计数器设置为递减计数	CCNTD	Y	0	0	1	1	1	1	x	x	x

图 3A

项目	测试模式描述	代码名	持久	TDQ (测试代码)							
				7	6	5	4	3	2	1	0
17	无测试		N	0	1	x	x	0	0	0	0
18	加载MRS地址 (A0-A7)	LMR07	N	0	1	x	x	0	0	0	1
19	加载MRS地址 (A8-A15)	LMR815	N	0	1	x	x	0	0	1	0
20	为MRS地址保留		N	0	1	x	x	0	0	1	1
21	保留		N	0	1	x	x	1	0	0	0
22	保留		N	0	1	x	x	1	0	1	1
23	使能芯片ID读出	1	N	0	1	x	x	1	1	1	0
24	保留	CHID	Y	0	1	x	x	1	1	1	1
25	无测试		N	0	1	0	0	0	x	x	x
26	加载数据背景扰码	TOPO	N	0	1	0	0	1	x	x	x
27	解压数据读出	T4B	N	0	1	0	1	0	x	x	x
28	保留		N	0	1	0	1	1	x	x	x
29	保留		N	0	1	1	0	0	x	x	x
30	反转奇数据位	TINVO	N	0	1	1	0	1	x	x	x
31	使能DDR操作	TDDR	N	0	1	1	1	0	x	x	x
32	保留		Y	0	1	1	1	1	x	x	x

图 3B

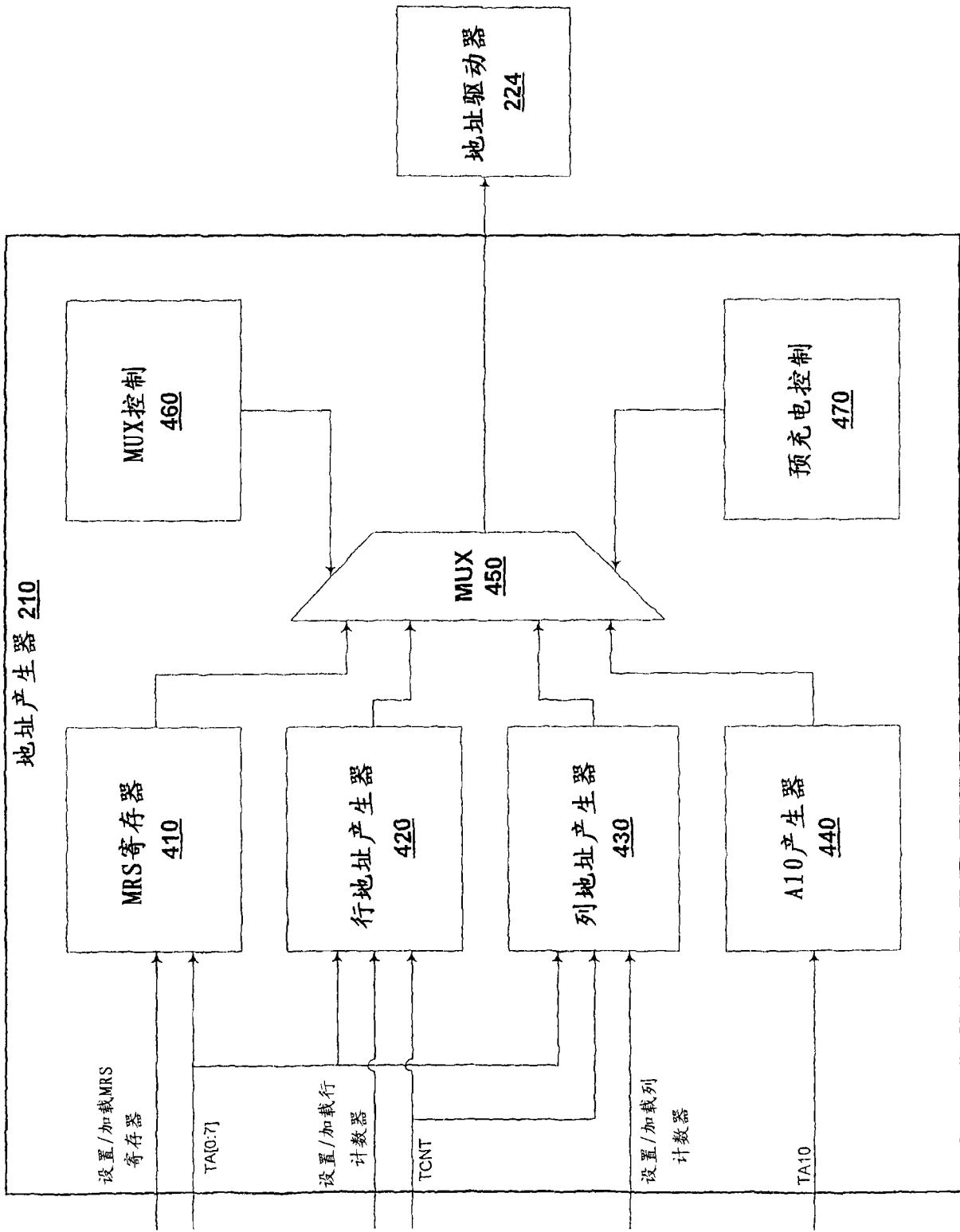


图4

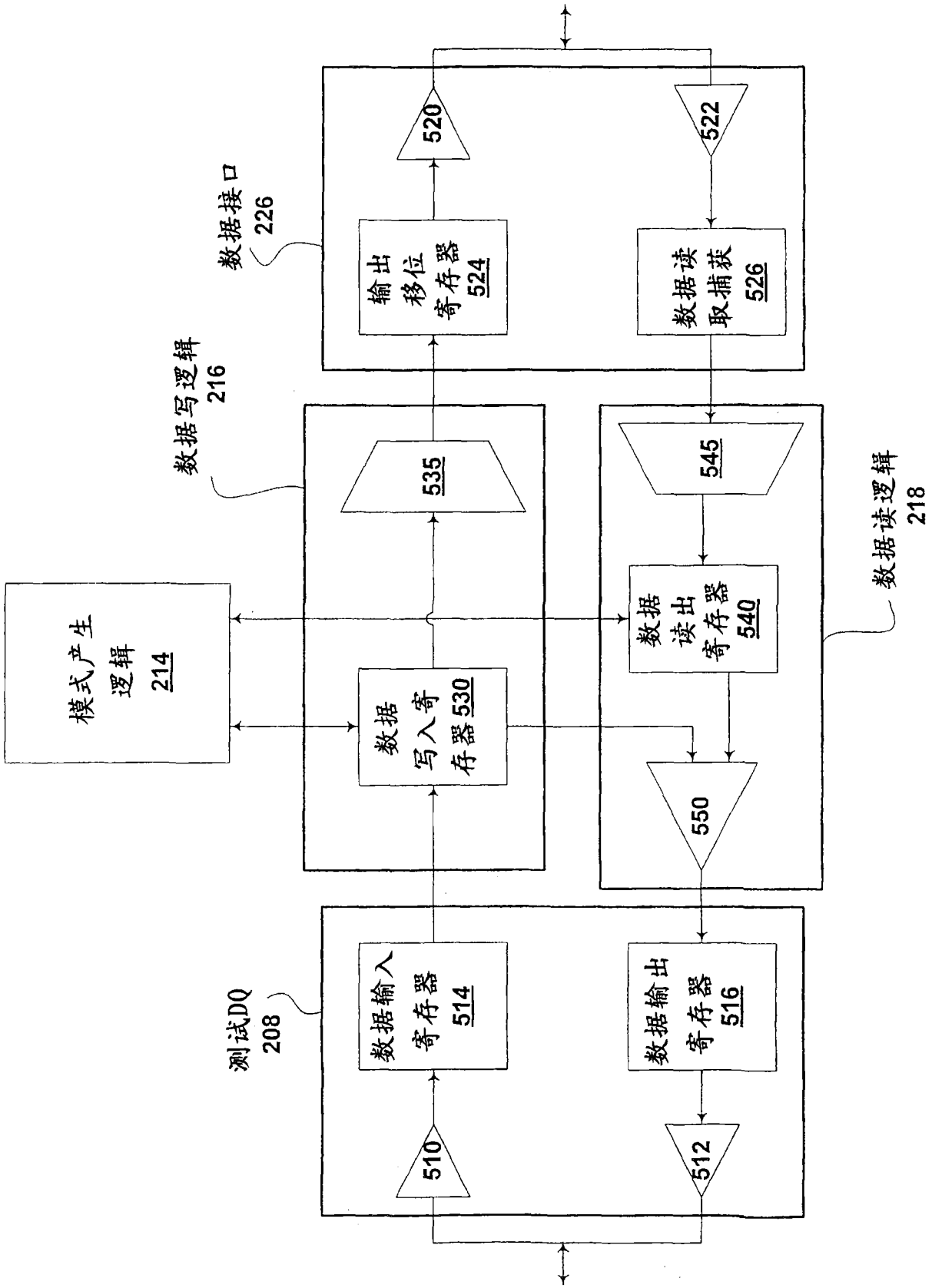


图5

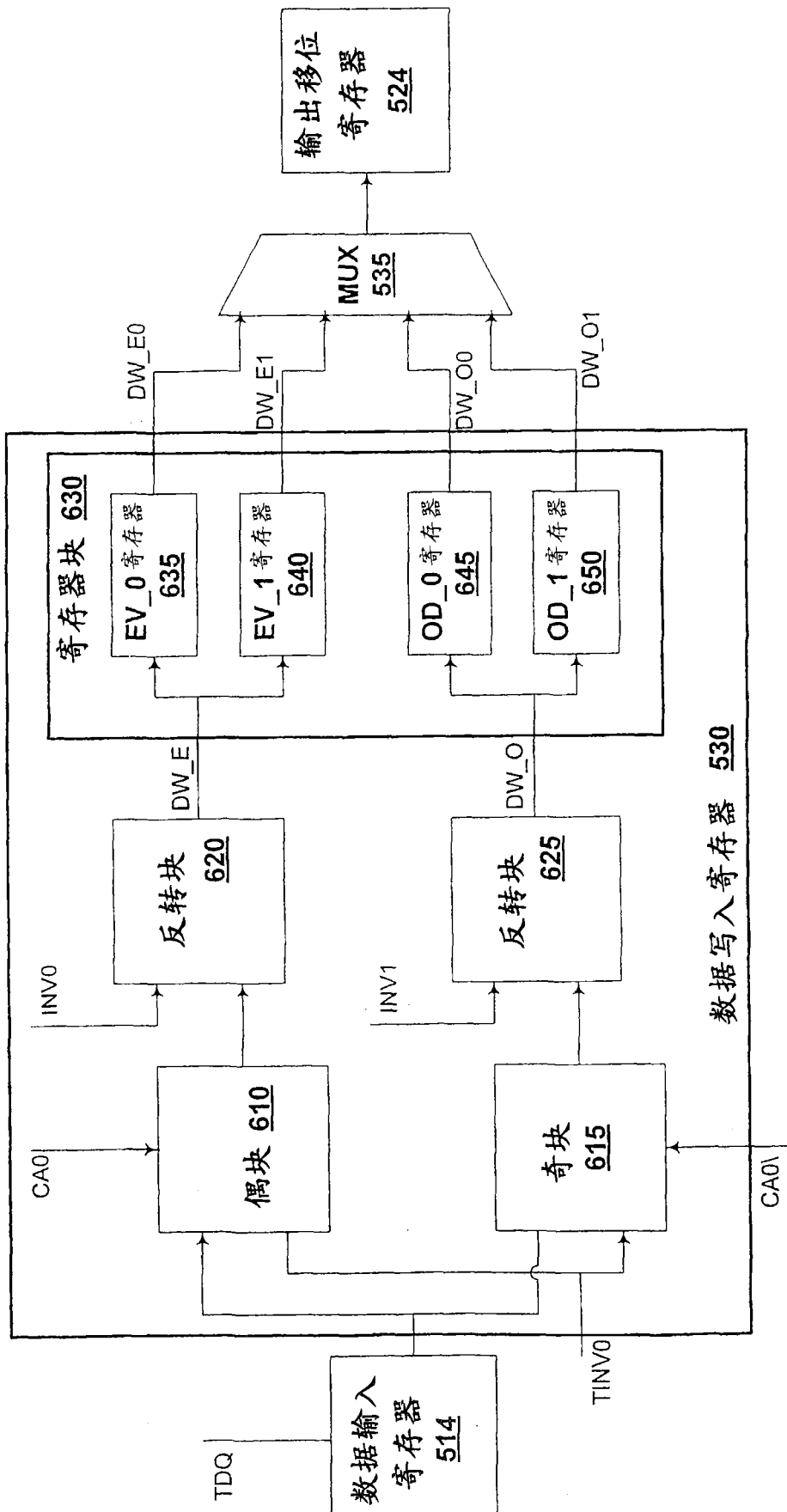


图6

TDQ (输入)	突发地址 LSB (CA0)	偶数 数据 优先	740 缺省模式				750 DQ (输出)			
			DWe0	DWo0	DWe1	DWo1	Q0	Q1	Q2	Q3
			0	1	0	1				
0	0	是	0	0	0	0	0	0	0	
1	0	是	1	1	1	1	1	1	1	
0	1	否	0	0	0	0	0	0	0	
1	1	否	1	1	1	1	1	1	1	

图7A

TDQ (输入)	突发地址 LSB (CA0)	偶数 数据 优先	740 反转奇位 (TINV0=高)				750 DQ (输出)			
			DWe0	DWo0	DWe1	DWo1	Q0	Q1	Q2	Q3
			0	1	0	1				
0	0	是	0	1	0	1	0	1	1	
1	0	是	1	0	1	0	1	0	0	
0	1	否	0	1	0	1	0	1	0	
1	1	否	1	0	1	0	1	0	1	

图7B

1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

图8A

0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

图8B

1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0
---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

图8C

0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

图8D

1	1	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1	0	0
---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

图8E

0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

图8F

1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

图8G

0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

图8H

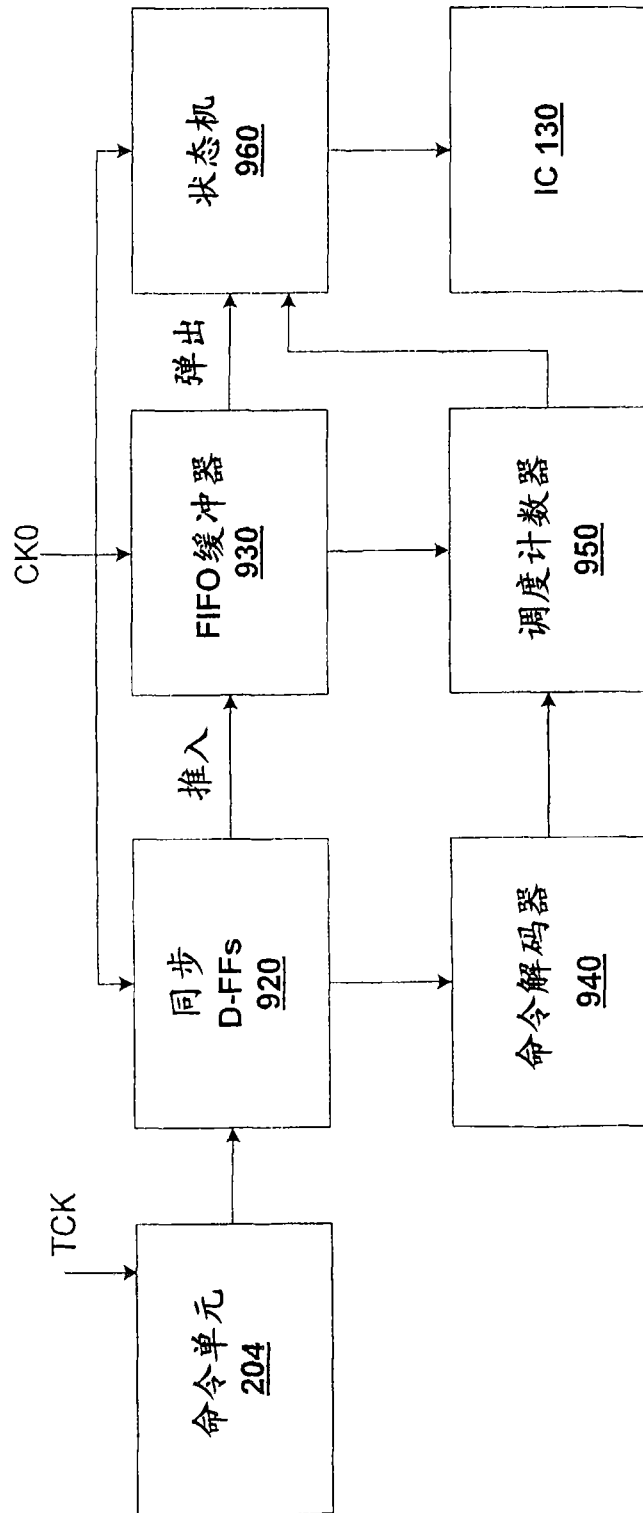


图9

参数 1010	符号	缺省	T-2	T-1	T+1	T+2	单位
测试接口内部时钟周期	tCK	3.75	-	-	-	-	ns
加载模式命令周期	tMRD	2	-	-	-	-	tCK
活动至读/写	tRCD	3	-	2	4	5	tCK
行活动周期	tRAS	11	9	10	12	13	tCK
预充电周期	tRP	3	-	2	4	5	tCK
全预充电周期	tRPA	tRP + tCK	-	-	-	-	tCK
活动至活动 (同一组)	tRC	15	13	14	16	17	tCK
活动至活动 (不同组)	tRRD	2	-	1	-	-	tCK
刷新至活动, 或刷新至刷新	tRFC	28	26	27	29	29	tCK
4组活动周期 (x 4, x 8)	tFAW	10	-	-	11	12	tCK
4组活动周期 (x 16, x 32)	tFAW	14	-	-	15	16	tCK
读出至预充电	tRTP	2	-	1	3	3	tCK
CAS\至CAS\命令延迟	tCCD	2	-	-	-	-	tCK
写恢复	tRW	4	-	3	5	6	tCK
写入至读出命令延迟	tWTR	2	-	1	3	4	tCK
自动预充电写恢复+重新充电时间	tDAL	tWTR + tRP	-	-	-	-	tCK

图10

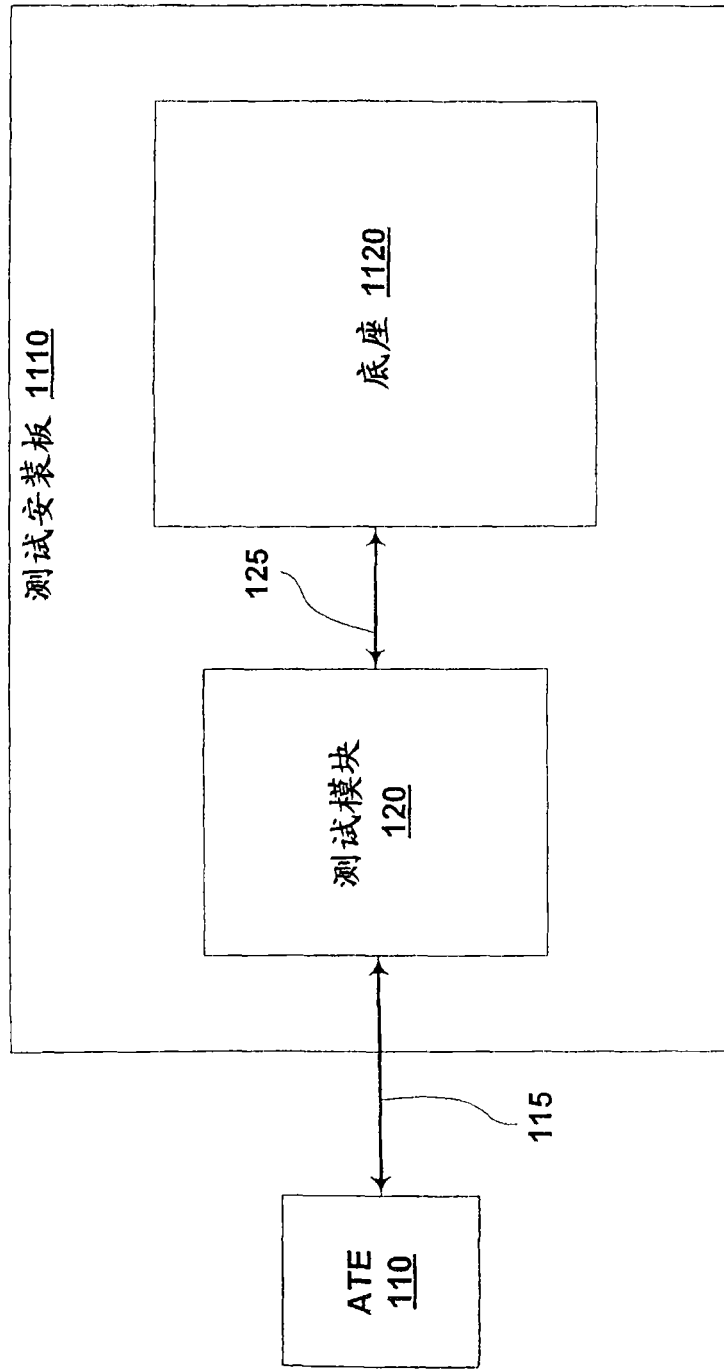


图11

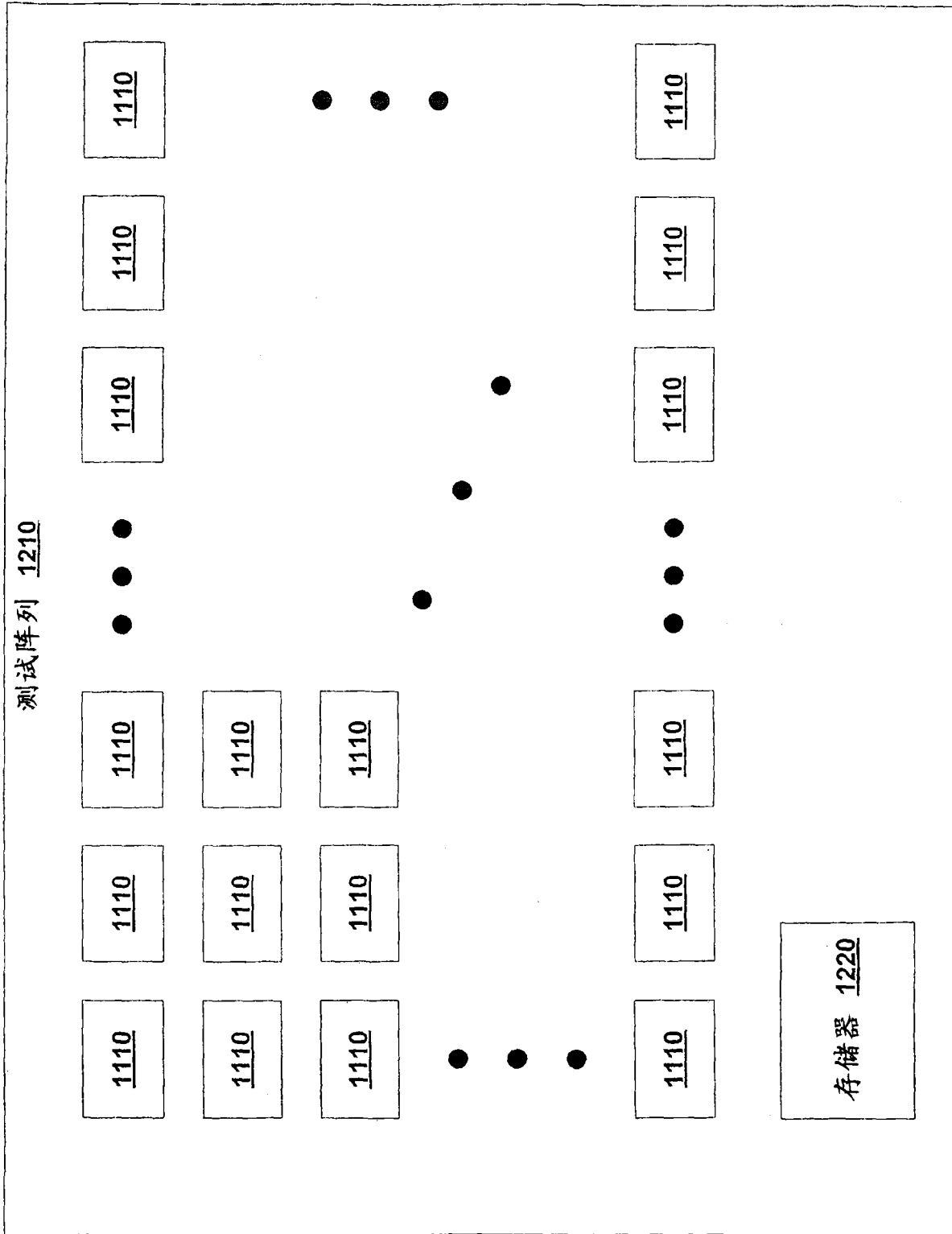


图12

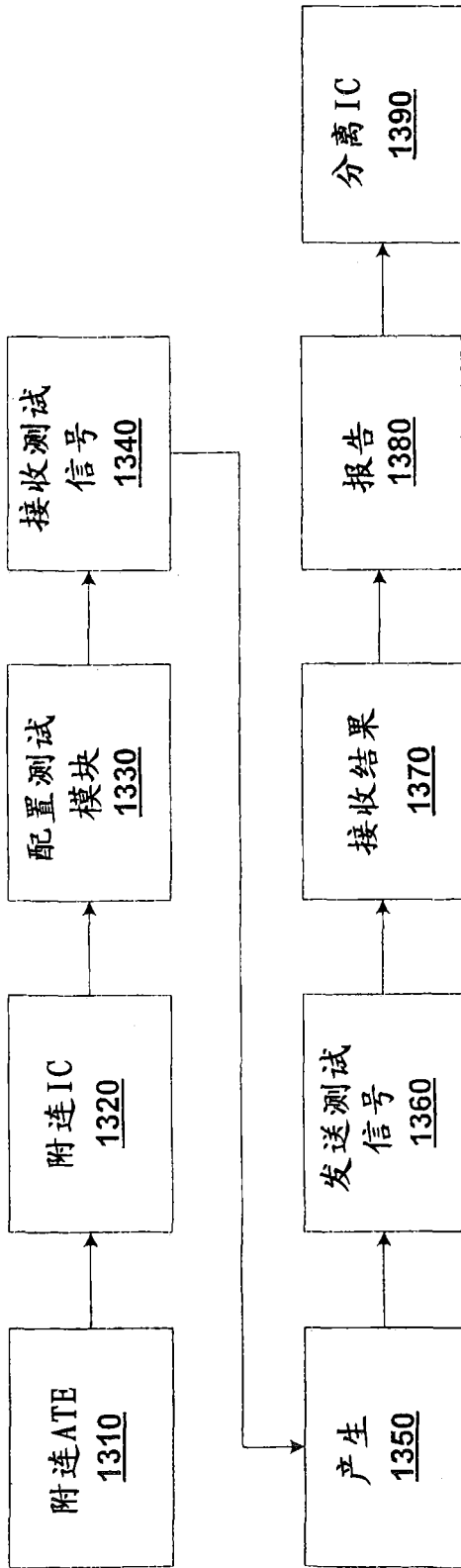


图13

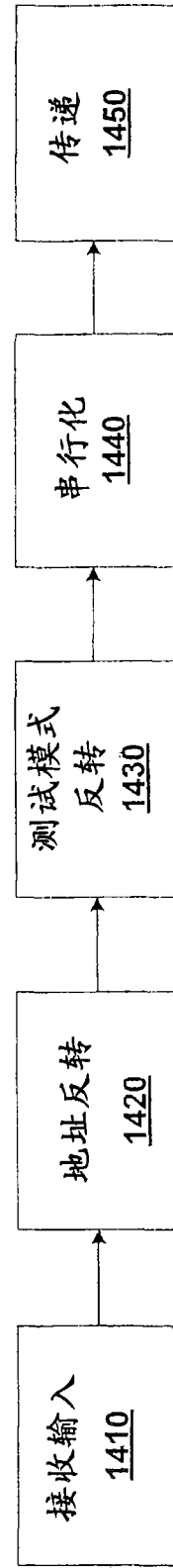


图14

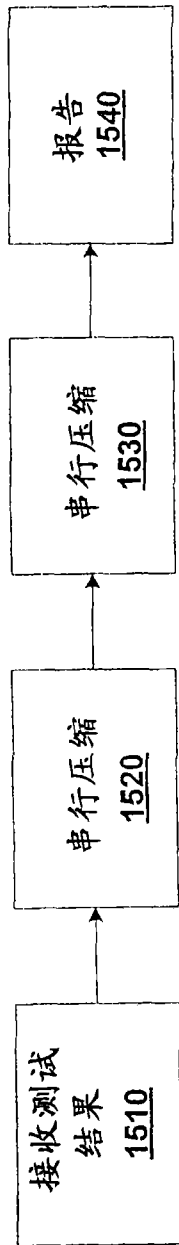


图15

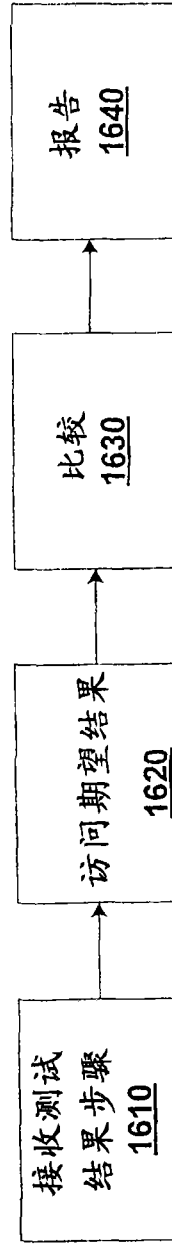


图16

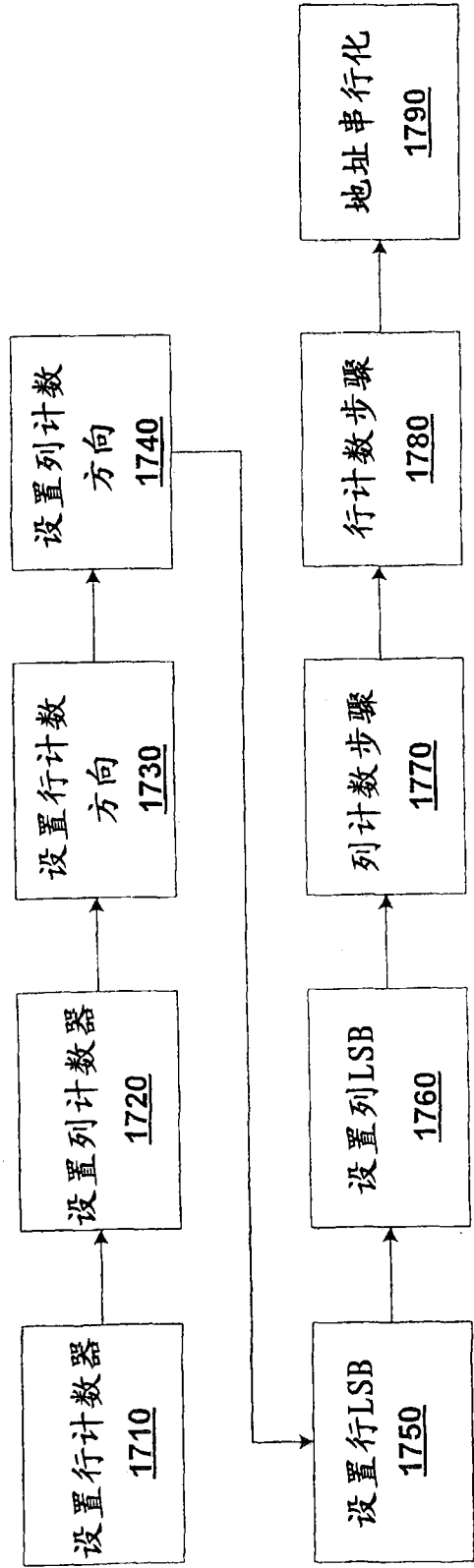
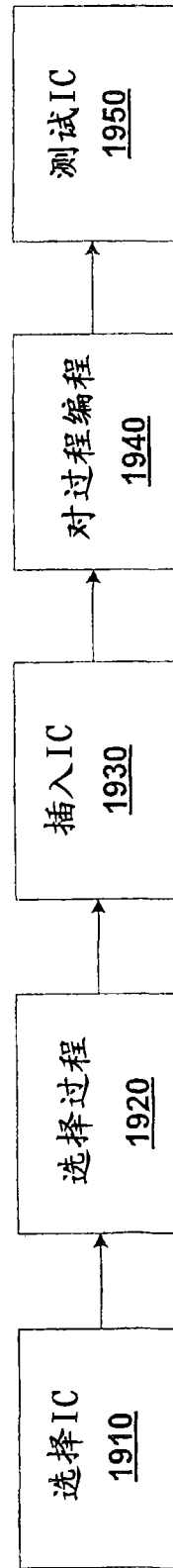
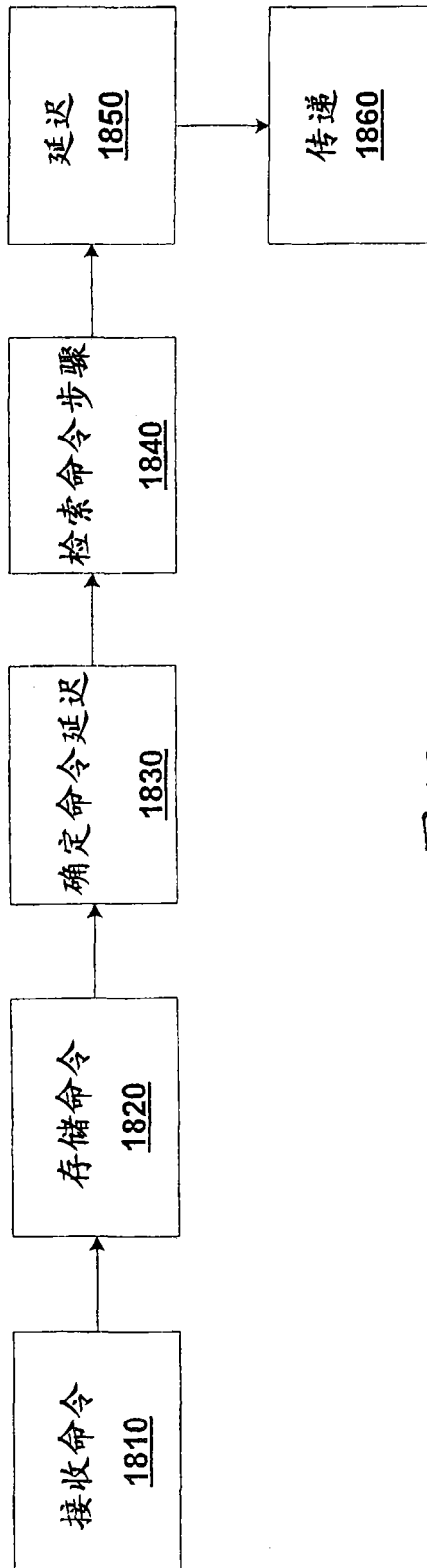


图17



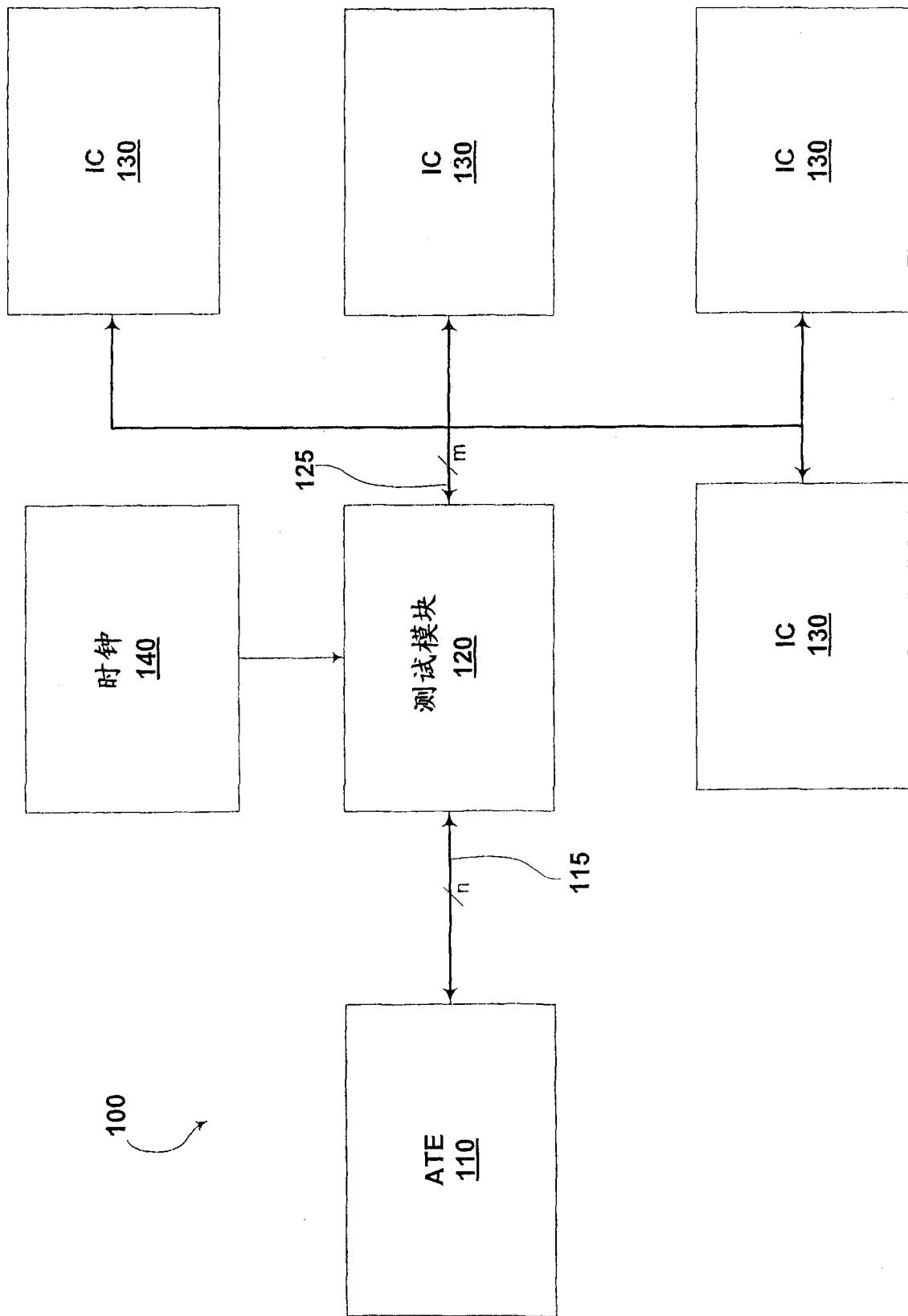


图 20

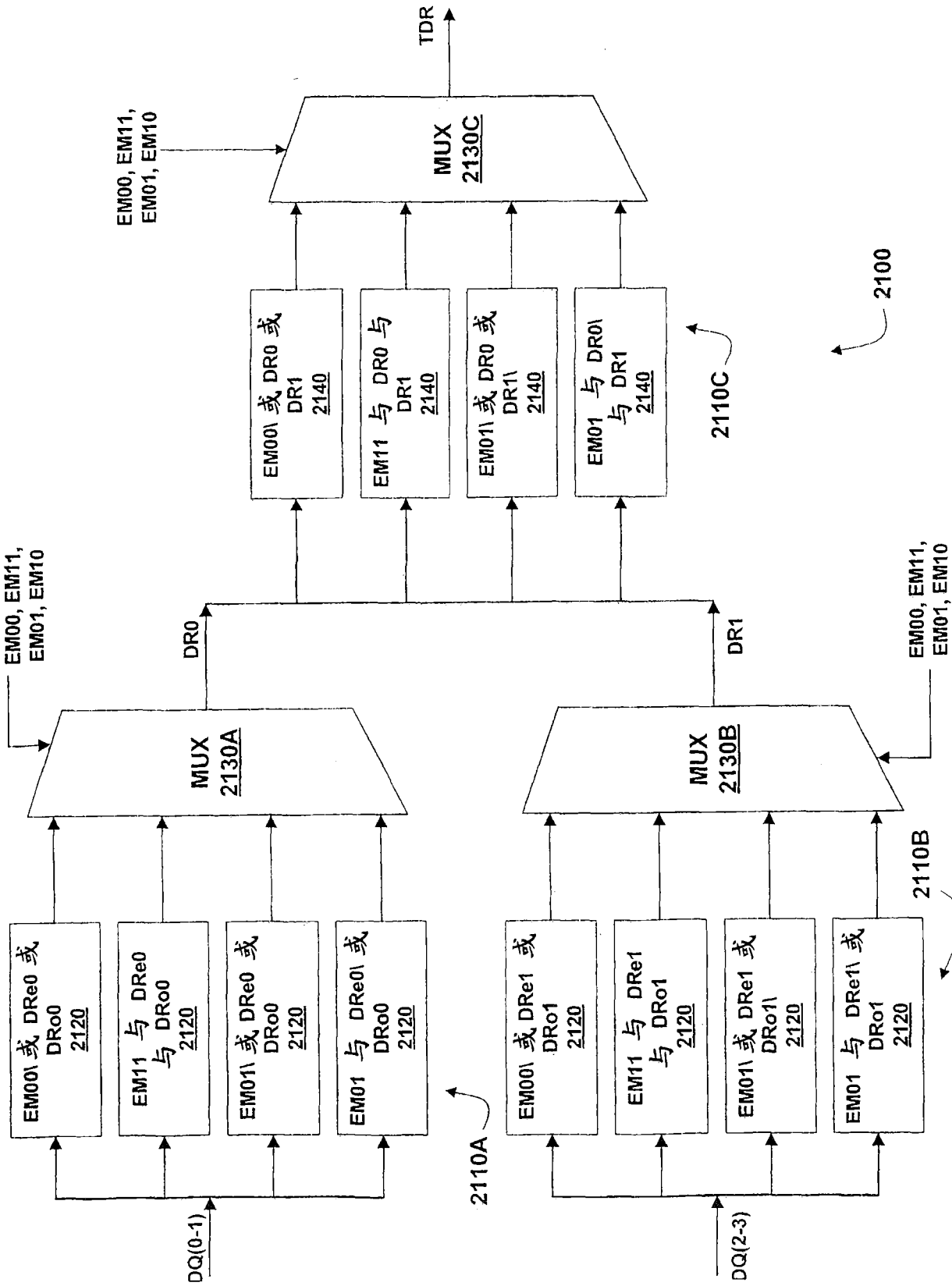


图 21

2220				2230		2240A			2250		2260	
TDQ(0-3) (输入)				突发地址 LSB (CA0)		缺省模式			使能匹配		TDQ	
Q0	Q1	Q2	Q3	偶数 据位 优先	DRe0	DRo0	DRe1	DRo1	EM00	EM11	通过	失败
0	0	0	0	是	0	0	0	0	EM00		0	1
1	1	1	1	是	0	1	1	1	EM11		1	0
0	0	0	0	否	1	0	0	0	EM00		0	1
1	1	1	1	否	1	1	1	1	EM11		1	0

2210A

图22A

2220				2230		2240B			2250		2260	
TDQ(0-3) (输入)				突发地址 LSB (CA0)		反转奇位			使能匹配		TDQ	
Q0	Q1	Q2	Q3	偶数 据位 优先	DRe0	DRo0	DRe1	DRo1	EM01	EM10	通过	失败
0	0	0	0	是	0	1	0	1	EM01		0	1
1	1	1	1	是	0	0	1	0	EM10		1	0
0	0	0	0	否	1	1	0	1	EM01		0	1
1	1	1	1	否	1	0	1	0	EM10		1	0

2210B

图22B

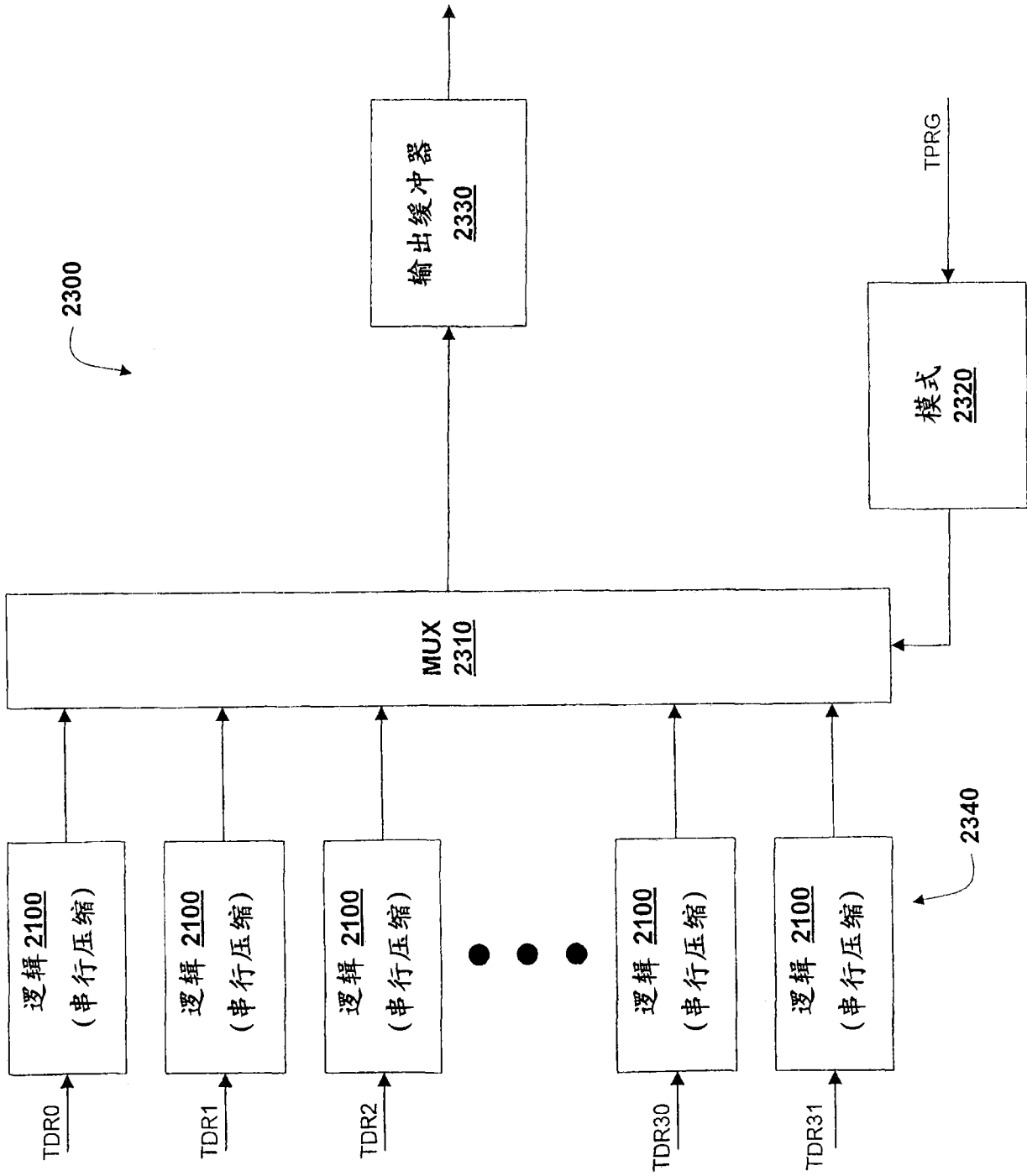


图 23

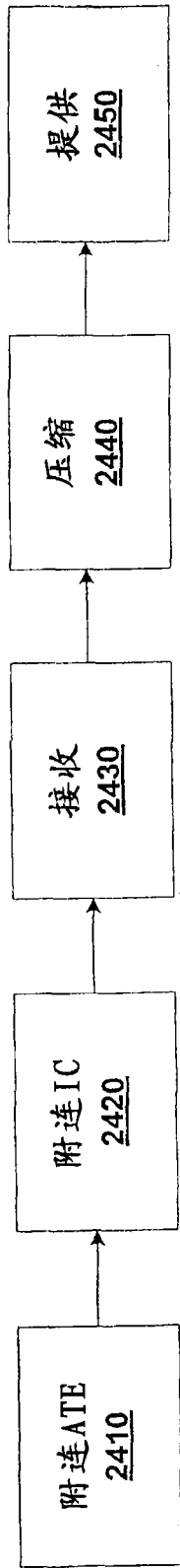


图24