

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3575496号
(P3575496)

(45) 発行日 平成16年10月13日(2004.10.13)

(24) 登録日 平成16年7月16日(2004.7.16)

(51) Int. Cl.⁷

F I

G06F 7/00
G06F 9/34

G06F 7/00 R
G06F 9/34 330

請求項の数 3 (全 13 頁)

<p>(21) 出願番号 特願平6-228977 (22) 出願日 平成6年8月31日(1994.8.31) (65) 公開番号 特開平7-152535 (43) 公開日 平成7年6月16日(1995.6.16) 審査請求日 平成13年6月15日(2001.6.15) (31) 優先権主張番号 114,466 (32) 優先日 平成5年8月31日(1993.8.31) (33) 優先権主張国 米国(US)</p>	<p>(73) 特許権者 595034134 サン・マイクロシステムズ・インコーポレ イテッド Sun Microsystems, I nc. アメリカ合衆国 カリフォルニア 950 54, サンタ クララ, ネットワーク サークル 4150 (74) 代理人 100064621 弁理士 山川 政樹 (72) 発明者 ロッバート・クメリック アメリカ合衆国 94086 カリフォル ニア州・サニーヴェイル・チュラ・ヴィス タ テラス・624</p> <p style="text-align: right;">最終頁に続く</p>
--	--

(54) 【発明の名称】 メモリアドレス指定論理回路およびメモリアドレス指定方法

(57) 【特許請求の範囲】

【請求項1】

精度 S (S は 2 の累乗とする) を有する複数の数を処理できるプロセッサを備え、メモリロケーションが命令アドレスフィールドで次の n ビット論理アドレス E

【数1】

$$E = \sum_{i=0}^{n-1} e_i 2^i$$

10

によって指定され、各数が、次の m ビット物理アドレス D

【数2】

$$D = \sum_{i=0}^{m-1} d_i 2^i$$

によってアクセスされる S 個 (ここで、 S は 2 の累乗である) のメモリロケーション群に

20

記憶され、各メモリロケーションには単精度数を記憶することができるコンピュータシステムにおいて、前記論理アドレスで前記メモリロケーションをアドレス指定するアドレス指定論理であって、

$0 \leq i < (\log_2 S) - 1$ に対して、 $d_i = 0$ に設定し、
 $0 \leq i < n - 1$ に対して、 $d_i = e_i$ に設定する
 整列論理と、

$0 \leq i < m - 1$ に対して、 $d_i = e_{i-n}$ に設定する

拡張論理と

を備えていることを特徴とするアドレス指定論理回路。

【請求項 2】

精度 S (S は 2 の累乗とする) を有する複数の数を処理できるプロセッサを備え、メモリロケーションが命令アドレスフィールドで次の n ビット論理アドレス E

【数 3】

$$E = \sum_{i=0}^{n-1} e_i 2^i$$

によって指定され、各数が、次の m ビット物理アドレス D

【数 4】

$$D = \sum_{i=0}^{m-1} d_i 2^i$$

によってアクセスされる S 個 (ここで、 S は 2 の累乗である) のメモリロケーション群に記憶され、各メモリロケーションには単精度数を記憶することができるコンピュータシステムにおいて、前記論理アドレスで前記メモリロケーションをアドレス指定する方法であ

って、
 $0 \leq i < (\log_2 S) - 1$ に対して、 $d_i = 0$ に設定するステップと、

$0 \leq i < n - 1$ に対して、 $d_i = e_i$ に設定するステップと、

$0 \leq i < m - 1$ に対して、 $d_i = e_{i-n}$ に設定するステップと

を有することを特徴とするアドレス指定方法。

【請求項 3】

精度 S (ここで、 S は 2 の累乗である) を有する複数の数を処理でき、第 1 の複数の論理アドレス E でアドレス可能である第 1 の複数のメモリロケーションを有するプロセッサであって、前記第 1 の複数の論理アドレスの各論理アドレスは cS の形を有し (ここで、 c は、集合 $\{0, 1, \dots, (r/S - 1)\}$ から得られ、 r は前記第 1 の複数のメモリロケーションのメモリロケーション番号である)、前記第 1 の複数のメモリロケーションの各メモリロケーションは単精度数を記憶することができ、前記第 1 の複数のメモリロケーションのメモリロケーションは S 個の群でアドレス可能であり、前記プロセッサは、複数の $S - 1$ 個の追加の複数のメモリロケーションと、各追加の複数のメモリロケーションに関連する追加の複数の論理アドレスを使用して前記複数の $S - 1$ 個の追加の複数のメモリロケーションをアドレス指定するアドレス指定論理とを備え、

各追加の複数のメモリロケーションの各メモリロケーションは単精度数を記憶することができ、各追加の複数のメモリロケーションのメモリロケーションは S 個の群でアドレス可能であり、 r は各追加の複数のメモリロケーションのメモリロケーション数であり、

追加の複数の論理アドレスの i 番目の関連するものの各アドレスは $cS + i$ の形を有し (

10

20

30

40

50

ここで、 i は集合 $\{1, 2, \dots, S-1\}$ から得られる)、 アドレス指定手段が追加の複数のレジスタに結合されていることを特徴とするプロセッサ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は、データ処理の分野に係り、特に、高次倍精度数 (higher precision numbers) を記憶する際において、アドレス空間をより有効的に使用する、コンピュータシステムのメモリロケーションへのアドレス指定に関するものである。

【0002】

【従来の技術】

複数のプロセッサにより、ソースオペランドに演算を施す命令が実行されて結果が得られる。ソースオペランドを含んでいるレジスタと結果用のデスティネーションレジスタを含んでいるレジスタとは、命令ワードのアドレスフィールドで指定される。例えば、本願の出願人であるサンマイクロ・システムズ社製のSPARC (Scalable Processor Architecture) に基づくコンピュータでは、浮動小数点命令は2つまでの浮動小数点ソースレジスタを指定し、1つの浮動小数点デスティネーションレジスタを指定する。

【0003】

特定の計算で使用されるオペランドのアドレス指定に使用可能であるレジスタ数と、オペランドのサイズとは、結果に必要なとされる精度に依存する。SPARCのバージョン8のアーキテクチャでは、浮動小数点プロセッサは、32の個別のレジスタを含んでいる。それらのレジスタ各々は、32ビットの単精度オペランドを保持できる。その演算操作において高次倍精度を得るために、浮動小数点プロセッサは、16の倍精度数を記憶するためには32のレジスタから成る組を一对、又は、8つの4倍精度数を記憶するためには32のレジスタから成る組を4つ使用する。

【0004】

図1は、SPARCバージョン8の手法によるレジスタファイルのアドレス指定を示す。この例では、倍精度オペランドは、64のビット位置を有し、2つの整列させた浮動小数点レジスタに保持されている。したがって、一方の倍精度数はレジスタ0及び1に、他方の倍精度数はレジスタ2及び3に、それぞれ記憶されている。以下同様にレジスタ対に記憶される。レジスタの整列によって、特定の倍精度小数点数を選択するためには2つのレジスタの一方のみをアドレス指定すれば良いこととなる。同様に、4倍精度オペランドは、128のビット位置を有し、4つの整列された浮動小数点レジスタ (例えば、レジスタ0、1、2、3) に保持される。これらのレジスタを相互に整列させることにより、特定の4倍精度浮動小数点数を選択するためには、4つのレジスタの1つのみをアドレス指定すれば良いから、同様にアドレスビットの節約が達成される。

【0005】

整列させたレジスタによる手法を使用すると、倍精度数は偶数番号のレジスタアドレスに記憶され、4倍精度数は4番目毎のレジスタアドレスに記憶される。プロセッサは、5ビットのみの命令アドレスフィールドを有しているため、5ビットを使用して16の倍精度数及び8つの4倍精度数のみをアドレス指定することができる。したがって、多数のアドレスが、倍精度演算及び4倍精度演算の何れにおいても使用されないこととなる。不使用アドレスは、従来、倍精度演算及び4倍精度演算に使用不可能である単一の桁のレジスタ位置を指定する。

【0006】

これらの省略されたアドレスを使用して高次倍精度 (倍精度および拡張倍精度) 数用に他のレジスタのアドレスを指定でき、併せて現在使用されている命令セットのアドレス指定モードに対して互換性を持たせることが望ましい。

【0007】

10

20

30

40

50

【課題を解決するための手段】

本発明は、高次倍精度数を記憶するためにコンピュータで使用可能なメモリロケーション数を増加する、従来のものとの互換性を有するアドレス指定機構を提供する。本発明のコンピュータシステムは、 S の倍精度（ここで、 S は2の累乗である）を処理することができるプロセッサを有する。メモリロケーションは、命令アドレスフィールドで n ビットの論理アドレス E によって指定される。

【数5】

$$E = \sum_{i=0}^{n-1} e_i 2^i \quad 10$$

S 倍精度数のそれぞれは、 m ビットの物理アドレス D によってアクセスされる S 個のメモリロケーション群に記憶される。

【数6】

$$D = \sum_{i=0}^{m-1} d_i 2^i \quad 20$$

各メモリロケーションは単精度数を記憶することができる。論理アドレスでメモリロケーションをアドレス指定するためのアドレス指定論理は、

$0 \leq i < (\log_2 S) - 1$ の場合は、 $d_i = 0$ に設定し、
 $(\log_2 S) - 1 \leq i < n - 1$ の場合は、 $d_i = e_i$ に設定する
 アライメント論理、及び、

$n - 1 \leq i < m - 1$ の場合は、 $d_i = e_{i - n}$ に設定する
 拡張論理を含んでいる。

アライメント論理は、下記の論理式により実行される。

【数7】

$$d_i = e_i \sum_{j=0}^i s_j \quad 0 \leq i < k$$

$$d_i = e_i \quad k \leq i < n$$

ここで、 k はプロセッサによって処理されることができる倍精度サイズであり、

【数8】

$$S = e_i \sum_{i=0}^{k-1} s_i 2^i$$

である。

拡張論理は、下記の論理式により実行される。

【数9】

10

20

30

40

$$d_i = e_{i-n} \sum_{j=i-n+1}^{k-1} s_j \quad n \leq i \leq n+k-2, i < m$$

メモリロケーションは一般的にマイクロプロセッサのレジスタである。

【0008】

【実施例】

表記法及び用語法

以下の説明の大部分は、コンピュータメモリ内のビット演算のアルゴリズム及び記号表示によって示されている。これらのアルゴリズム的説明及び表現は、その内容を有効に伝えるのに当業者によって使用される手段である。アルゴリズムは、一般に所望の結果に導く筋の通ったステップのシーケンスで表されている。これらのステップは物理量の物理操作を必要とするステップである。上記物理量は、記憶され、転送され、組み合わせられ、比較され、その他に処理されることが出来る電氣的又は磁氣的信号の形である必要は必ずしもない。これらの信号を、ビット、値、素子、記号、文字、用語、数字等として参照することは、共通の用法として便利である。しかしながら、これらの用語及び類似の用語の全ては、適当な物理量に適用される単なる便宜的なラベルであることに留意すべきである。

【0009】

さらに、実行される操作は、人間によって実行される精神的操作に通常関連する加算又は比較のような用語でしばしば呼ばれる。人間というオペレータの能力は、本発明の一部を形成する以下に説明される操作には、ほとんど必要ないか望まれない。動作は機械的なものである。本発明の動作を実行する有用なマシンには、汎用デジタルコンピュータ又は他の同様の装置が含まれる。全ての場合、コンピュータを操作する方法操作、と計算自体の方法とは区別されるべきである。本発明は、他の所望の物理的信号を発生するために電氣的又は他の（例えば、機械的、科学的）物理信号を処理する際にコンピュータを操作する装置に関するものである。

【0010】

本発明は、コンピュータで使用可能であり、高次倍精度数記憶用のメモリロケーション数を増加する、従来方法と互換性のあるアドレス指定機構を提供する。特定の実施例が、本発明の徹底的な理解を与えるために示されている。しかしながら、本発明は、そのような特定の詳細なしに実行され得ることは当業者に明らかである。他の場合には、周知の素子、装置、プロセスステップ等は、本発明を不必要に分かりにくくするのを避けるために詳細には示されていない。

【0011】

図2は、本発明の実施例で使用される命令フォーマットを示す。ビット7～13は命令のオペレーションコード（OPCODE）を指定し、ビット0～4及びビット14～18は、それぞれソース1レジスタ及びソース2レジスタの5ビットのアドレスを指定する。さらに、ビット5及び6は、命令が単精度か、倍精度か、又は4倍精度かを指定する。

【0012】

図3は、マイクロプロセッサの簡略化されたブロック図である。命令フェッチ装置202はメモリから命令を取出す。この命令は、命令デコーダ204でデコードされ、命令で指定されるアドレスをアドレス指定論理206に与える。アドレス指定論理206は、命令レジスタアドレスを、レジスタファイル208の物理レジスタのアクセス用に変換する。このアドレスは、レジスタファイル208のソース1レジスタ及びソース2レジスタからの読出しのため、レジスタファイル208のデスティネーションレジスタへの書込みのために使用される。命令のビット5及び6で指定される精度は各アドレスでアドレス指定されるレジスタ番号を決定する。すなわち、単精度命令は1つのレジスタを使用して演算し、倍精度命令は2つのレジスタで演算し、4倍精度命令は一度に4つのレジスタをアクセスする。

10

20

30

40

50

【 0 0 1 3 】

図 4 は、命令で指定される論理アドレスをレジスタファイル 2 0 8 で使用される物理アドレスにマップする従来のアドレス指定論理 2 0 6 (S P A R C バージョン 8 で提供される) を示している。物理メモリアドレス D は、論理アドレス E と精度 S との関数である。メモリ整列 (アラインメント) の要求に従うために、この従来のシステムにおける論理メモリアドレスは精度の整数倍でなければならないので、この精度は 2 の累乗である。命令の論理メモリアドレス E は、下記の論理式によって表されることができ、

【 数 1 0 】

$$E = \sum_{i=0}^{n-1} e_i 2^i$$

10

レジスタに与えられる物理アドレス D は下記のようになる。

【 数 1 1 】

$$D = \sum_{i=0}^{m-1} d_i 2^i$$

20

精度 S は下記の式で表される。

【 数 1 2 】

$$S = \sum_{i=0}^{k-1} s_i 2^i$$

30

ここで、S は 2 の累乗であるため、k 個の S に対する 2 進表示の値 s_i の一つだけが 1 である。

【 0 0 1 4 】

論理アドレス及び精度から物理アドレスを発生するために、従来のアドレス指定論理によって実行される関数は、基本的にメモリ整列要求の再記述である下記の論理式で要約される。

40

【 数 1 3 】

$$d_i = e_i \sum_{j=0}^i s_j \quad 0 \leq i < k$$

$$d_i = e_i \quad k \leq i < n=m$$

【 0 0 1 5 】

50

従来の技術では、物理アドレスのビット数 m は論理アドレスのビット数 n に等しくなければならない。メモリ整列の要求は、独特にアクセス可能であるメモリ領域の数を 2^{n-s+1} に制限する。例えば、バージョン 8 の SPARC アーキテクチャの浮動小数点レジスタファイルの場合、単精度では 32 個の浮動小数点レジスタがアクセスされ、倍精度では 16 個の浮動小数点レジスタが、そして 4 倍精度では 8 個の浮動小数点レジスタがアクセスされる。 $n = m = 5$ ビットの場合、論理式は次の表 1 のマッピングを生じる。

【表 1】

i	e _i	d _i		
		単精度	倍精度	4倍精度
0	e ₀	e ₀	0	0
1	e ₁	e ₁	e ₁	0
2	e ₂	e ₂	e ₂	e ₂
3	e ₃	e ₃	e ₃	e ₃
4	e ₄	e ₄	e ₄	e ₄
Range (E)		(0,1,2,...,31)	(0,2,4,...,30)	(0,4,8,...,28)

10

20

【0016】

表 1 は、倍長語レジスタアドレス規制子 (specifier) の最下位ビットは、予備として 0 に設定されていて、4 倍長語レジスタアドレスの最下位 2 ビットは 0 に設定されていることを示している。これは、レジスタの倍長語が、整列された対でアドレス指定され、レジスタの 4 倍長語は整列された 4 つのグループでアドレス指定されることを保証する。

30

【0017】

従来のアドレス指定機構は、5 ビットを使用してアドレス指定される倍精度数及び 4 倍精度数の数を制限する。論理アドレスの全て 5 ビットをより有効に使用することが望ましく、倍精度レジスタセット及び 4 倍精度レジスタセットの全部で 32 のフルセットが、従来の整列されたアドレス及び省略されたアドレスの双方を使用してアドレス指定されることが望ましい。高次倍精度数の場合、命令により、整列されたアドレス及び省略されたアドレスの双方を使用したアドレス指定を実行することができなかった。そのようにすると、現レジスタ構成を使用する機構は、データの破損を招くからである。

40

【0018】

この問題に対するひとつの解決法は、各精度に対して追加のレジスタセットを設けて、5 ビットアドレス空間を埋め、物理レジスタをアドレス指定するために $D = SE$ の形の簡単なマッピングを実行することである。図 5 にこのマッピングが、倍長語に対して示されている。倍長語アドレス 0 は物理アドレス 0 で始まるレジスタ対をアドレス指定し、倍長語アドレス 1 は物理アドレス 2 で始まるレジスタ対をアドレス指定し、倍長語アドレス 2 は物理アドレス 4 で始まるレジスタ対をアドレス指定し、以下、倍長語アドレス 31 が物理アドレス 62 で始まるレジスタ対をアドレス指定するまで前記のようなアドレス指定が行

50

なわれる。4倍精度アドレス指定の場合、論理アドレス0は物理アドレス0をアドレス指定し、論理アドレス1は物理アドレス4をアドレス指定し、論理アドレス2は物理アドレス8をアドレス指定し、・・・のようにアドレス指定動作が行なわれる。

【0019】

この機構における問題点は、元のレジスタに対するアライメント要求を満足しておらず、従来のアドレス指定機構との互換性がないことである。現命令セットは仕様によれば、各高次倍精度アドレスが、レジスタ群中における高次倍精度アドレスに対応する最初の単精度レジスタのアドレスと同一である。倍長語アドレス2は元のレジスタファイルの単一語アドレス2で始まり、倍長語アドレス4は元のレジスタファイルの単一語アドレス4で始まり、4倍長語アドレス4は元のレジスタファイルの単一語アドレス4で始まり、4倍長語アドレス8は元のレジスタファイルの単一語アドレス8で始まる等である。図5から、この対応関係は上記解決法には存在しないことが分かる。したがって、この解決法の機構は、多くのソフトウェアが既に作成されている現仕様の命令セットと互換性がない。

10

【0020】

本発明は、高次倍精度数をアドレス指定する場合のアドレス空間の全部の使用並びに、現存のレジスタアドレス指定機構との互換性を与えるものである。図6は、本発明によるメモリアドレス指定を示している。いま、 n = 論理アドレスEのビット数、 m = 物理アドレスDのビット数、 k = 命令セットで使用可能な精度サイズ数とする。図6は、 $n = 5$ (32の元のレジスタ)、 $m = 7$ (総計128のレジスタ)、 $k = 3$ (単精度(1倍長語)数、倍精度(2倍長語)数及び4倍精度(4倍長語)数)の場合の本発明を示している。32の元のレジスタセットの場合、本発明は、倍長語アドレス及び4倍長語アドレスと物理レジスタとの間に、現存アドレス指定機構で見出されるのと同様の対応関係を維持する。本発明は、さらに、従来の方法によっては省かれた2倍長語アドレス及び4倍長語アドレスで、追加レジスタをアドレス指定する。したがって、例えば、通常アドレス指定機構では倍精度レジスタに対して省かれた奇数番号のアドレスが追加レジスタ対をアドレス指定するために使用できる。これによって、32の倍精度レジスタのフルセットを、5ビット論理アドレスを使用してアドレス指定されることが可能となる。

20

【0021】

本発明における論理アドレスEへの物理アドレスDのマッピングは、下記の論理式によって要約できる。

30

【数14】

$$E = \sum_{i=0}^{n-1} e_i 2^i$$

$$D = \sum_{i=0}^{m-1} d_i 2^i$$

$$S = \sum_{i=0}^{k-1} s_i 2^i$$

40

ここで、 k = プロセッサに使用可能な精度サイズ数である。

【数15】

50

$$d_i = e_i \sum_{j=0}^i s_j \quad 0 \leq i < k$$

$$d_i = e_i \quad k \leq i < n$$

$$d_i = e_{i-n} \sum_{j=i-n+1}^{k-1} s_j \quad n \leq i \leq n+k-2, i < m$$

10

【0022】

これらの式を使用すると独特にアクセス可能レジスタ数は、 $S = 2^{m-n}$ の場合、 2^n になる。

【0023】

これらの上記の式は、 $n = 5$ 、 $m = 7$ 及び $k = 3$ の場合、図7の回路を使用して実施できる。本発明の方法のフローチャートは図8に示されている。

20

【0024】

パラメータが上記の場合、上記の式は下記のようになる。

$$d_0 = e_0 s_0$$

$$d_1 = e_1 (s_0 + s_1)$$

$$d_2 = e_2 (s_0 + s_1 + s_2) = e_2$$

$$d_3 = e_3$$

$$d_4 = e_4$$

$$d_5 = e_0 (s_1 + s_2)$$

$$d_6 = e_1 s_2$$

【0025】

さらに、他の表現では、前記上記の式は、下記のように表される。

$$d_i = 0 \quad 0 \leq i < (\log_2 S) - 1$$

$$d_i = e_i \quad (\log_2 S) - 1 \leq i < n - 1$$

$$d_i = e_{i-n} \quad n \leq i < m - 1$$

これらの式により表2のようなアドレスマッピングが得られる。

【表2】

30

i	e _i	d _i		
		単精度	倍精度	4倍精度
0	e ₀	e ₀	0	0
1	e ₁	e ₁	e ₁	0
2	e ₂	e ₂	e ₂	e ₂
3	e ₃	e ₃	e ₃	e ₃
4	e ₄	e ₄	e ₄	e ₄
5		0	e ₀	e ₀
6		0	0	e ₁
Range (E)		(0,1,2,...,31)	(0,1,2,...,31)	(0,1,2,...,31)

10

20

【0026】

この表2は、本発明により全5ビットアドレス空間(e₀、e₁、e₂、e₃、e₄)が、2ⁿ S倍精度数をアドレス指定するために使用できることを示している。同時に、物理メモリアドレスは、従来のアドレス指定機構と互換性を維持するように整列されたままである。

30

【0027】

本発明を好ましい実施例に関して説明したが、本発明の精神及び範囲を逸脱しない限度で種々の修正及び変更が当業者によってなされ得ることを理解すべきである。

【図面の簡単な説明】

【図1】従来のアドレスマッピング機構を示す図である。

【図2】本発明の実施例によって使用される命令フォーマットを示す図である。

【図3】マイクロプロセッサのブロック図である。

【図4】従来のアドレス指定論理を示す図である。

40

【図5】アドレスフィールドの5ビット全部を使用する可能性のあるアドレスマッピング解決法を示す図である。

【図6】本発明によるメモリアドレスマッピングを示す図である。

【図7】本発明のアドレス指定論理の実施例を示す図である。

【図8】本発明のプロセスを示すフローチャート図である。

【符号の説明】

202 命令フェッチ装置

204 命令デコーダ

206 アドレス指定論理

208 レジスタファイル

50

【 図 1 】

元のレジスタ

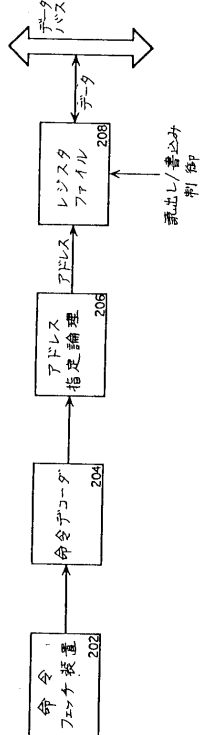
S	D	Q
0	0	0
1	0	0
2	2	
3		
4	4	
5		
6	6	4
7		
8	8	
9		
10	10	8
11		
12	12	
13		
14	14	12
15		
16	16	
17		
18	18	16
19		
20	20	
21		
22	22	20
23		
24	24	
25		
26	26	24
27		
28		
29		
30	30	28
31		

(従来例)

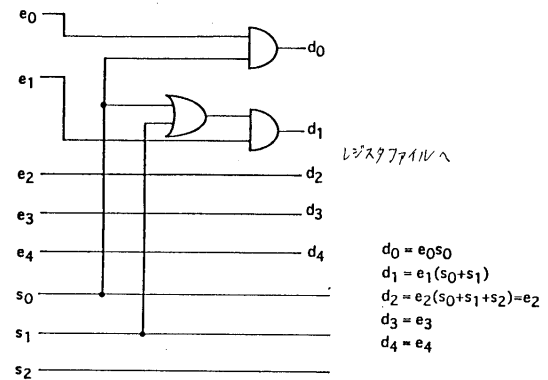
【 図 2 】

31-30	29-25	24-19	18-14	13-7	6-5	4-0
オペレーション コード 符号化情報	アドレス レジスタ番号	浮動小数点 表示子	ソース2 レジスタ番号	オペレーション コード	精度	ソース1 レジスタ番号

【 図 3 】



【 図 4 】



【 図 5 】

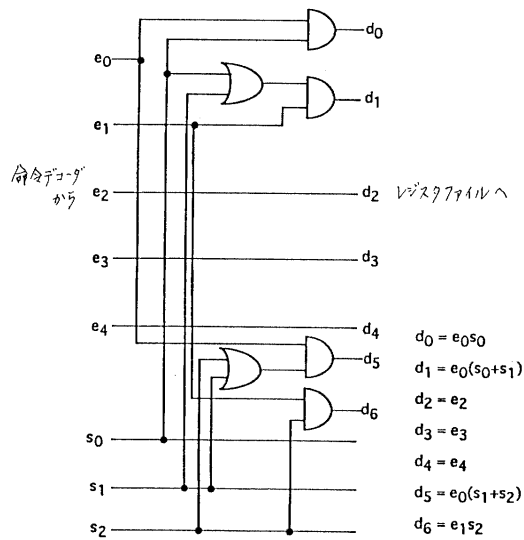
元のレジスタ		単精度	倍精度
0	0		
1	1		
2	2		1
3	3		
4	4		2
5	5		
6	6		3
7	7		
8	8		4
9	9		
10	10		5
11	11		
12	12		6
13	13		
14	14		7
15	15		
16	16		8
17	17		
18	18		9
19	19		
20	20		10
21	21		
22	22		11
23	23		
24	24		12
25	25		
26	26		13
27	27		
28	28		14
29	29		
30	30		15
31	31		

付加レジスタ		単精度	倍精度
32	16		
33			
34	17		
35			
36	18		
37			
38	19		
39			
40	20		
41			
42	21		
43			
44	22		
45			
46	23		
47			
48	24		
49			
50	25		
51			
52	26		
53			
54	27		
55			
56	28		
57			
58	29		
59			
60	30		
61			
62	31		
63			

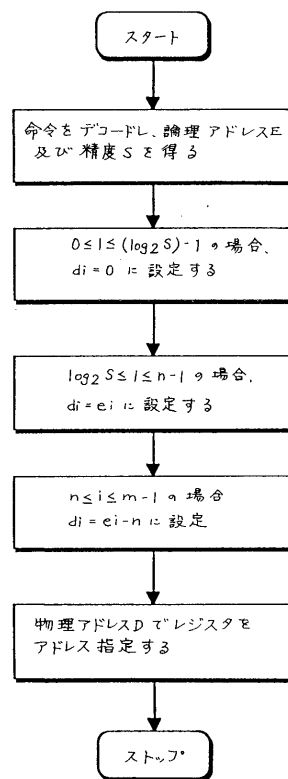
【 図 6 】

元のレジスタ		追加レジスタ "A"		追加レジスタ "B"	
S	D	D	Q	Q	Q
0	0	32	1	64	96
1	0	33	1	65	97
2	2	34	3	66	98
3	2	35	3	67	99
4	4	36	5	68	100
5	4	37	5	69	101
6	6	38	7	70	102
7	6	39	7	71	103
8	8	40	9	72	104
9	8	41	9	73	105
10	10	42	11	74	106
11	10	43	11	75	107
12	12	44	13	76	108
13	12	45	13	77	109
14	14	46	15	78	110
15	14	47	15	79	111
16	16	48	17	80	112
17	16	49	17	81	113
18	18	50	19	82	114
19	18	51	19	83	115
20	20	52	21	84	116
21	20	53	21	85	117
22	22	54	23	86	118
23	22	55	23	87	119
24	24	56	25	88	120
25	24	57	25	89	121
26	26	58	27	90	122
27	26	59	27	91	123
28	28	60	29	92	124
29	28	61	29	93	125
30	30	62	31	94	126
31	30	63	31	95	127

【 図 7 】



【 図 8 】



フロントページの続き

(72)発明者 シン・コン

アメリカ合衆国 94025 カリフォルニア州・メンロ パーク・オリーブ ストリート・33
0

(72)発明者 エドモンド・ケリー

アメリカ合衆国 95136 カリフォルニア州・サン ホゼ・リオ グランデ ドライブ・52
77

審査官 田中 友章

(56)参考文献 特開平06-103062(JP,A)

(58)調査した分野(Int.Cl.⁷, DB名)

G06F 7/00

G06F 9/34 330