

【特許請求の範囲】

【請求項 1】

電源電位が供給される第 1 配線と、
接地電位が供給される第 2 配線と、
電源ノードと、前記第 2 配線に接続された接地ノードと、複数の論理回路と、を含む論理回路ブロックと、
前記第 1 配線と前記電源ノードとの間に設けられたスイッチ回路と、を含み、
前記スイッチ回路は、前記第 1 配線と前記電源ノードとの間にソースドレイン経路が接続された複数の第 1 P チャンネル型 MOS トランジスタを含み、
前記複数の第 1 P チャンネル型 MOS トランジスタは、
オフ状態、ダイオード接続状態、又は、オン状態にされる、
半導体装置。

10

【請求項 2】

請求項 1 に記載の半導体装置において、
前記スイッチ回路は、さらに、
第 2 P チャンネル型 MOS トランジスタと、
第 3 P チャンネル型 MOS トランジスタと、
第 4 P チャンネル型 MOS トランジスタと第 1 N チャンネル型 MOS トランジスタとを含むバッファ回路と、
インバータと、
アンド回路と、を含み、
前記第 4 P チャンネル型 MOS トランジスタのドレインおよび前記第 1 N チャンネル型 MOS トランジスタのドレインは、前記複数の第 1 P チャンネル型 MOS トランジスタのおおののゲート電極に接続され、
前記第 4 P チャンネル型 MOS トランジスタのソースは、前記第 3 P チャンネル型 MOS トランジスタのソースドレイン経路を介して前記複数の P チャンネル型 MOS トランジスタのドレイン電極に接続され、
前記第 1 N チャンネル型 MOS トランジスタのソースは、前記第 2 配線に接続され、
前記第 4 P チャンネル型 MOS トランジスタのゲートおよび前記第 1 N チャンネル型 MOS トランジスタのゲートは、前記アンド回路の出力に接続され、
前記第 2 P チャンネル型 MOS トランジスタは、シャットダウン信号を受ける様に接続されたゲートと、前記第 1 配線に接続されたソースと、前記第 3 P チャンネル型 MOS トランジスタのドレインに接続されたドレインと、を有し、
前記インバータは、前記シャットダウン信号を受ける入力と、前記第 3 P チャンネル型 MOS トランジスタのゲートに接続された出力と、を有し、
前記アンド回路は、前記シャットダウン信号を受ける第 1 入力と、スタンバイ信号を受ける第 2 入力と、前記出力と、を有する、半導体装置。

20

30

【請求項 3】

請求項 2 に記載の半導体装置において、
前記シャットダウン信号がロウレベルとされると、前記複数の P チャンネル型 MOS トランジスタは前記オフ状態とされ、
前記シャットダウン信号がハイレベルとされ、前記スタンバイ信号がロウレベルとされると、前記複数の P チャンネル型 MOS トランジスタは、前記ダイオード接続状態とされ、
前記シャットダウン信号がハイレベルとされ、前記スタンバイ信号がハイレベルとされると、前記複数の P チャンネル型 MOS トランジスタは前記オン状態とされる、半導体装置。

40

【請求項 4】

請求項 3 に記載の半導体装置において、
前記複数の論理回路のおおののは、
N 型ウェルに形成された P チャンネル型 MOS トランジスタと、

50

P型ウェルに形成されたNチャネル型MOSトランジスタと、を含み、
前記N型ウェルは、前記電源電位が供給され、
前記P型ウェルは、前記接地電位が供給される、半導体装置。

【請求項5】

電源電位が供給される第1配線と、
接地電位が供給される第2配線と、
第1機能ブロック、第2機能ブロックおよび第3機能ブロックと、
第1スイッチ回路、第2スイッチ回路および第3スイッチ回路と、
前記第1スイッチ回路、前記第2スイッチ回路および前記第3スイッチ回路を制御する
制御回路と、を含み、

10

前記第1機能ブロック、前記第2機能ブロックおよび前記第3機能ブロックのおの
のは、

電源ノードと、
前記第2配線に接続された接地ノードと、
複数の論理回路と、を含み、

前記第1スイッチ回路は、前記第1配線と前記第1機能ブロックの前記電源ノードとの
間にソースドレイン経路が接続された複数の第1Pチャネル型MOSトランジスタを含み
、

前記第2スイッチ回路は、前記第1配線と前記第2機能ブロックの前記電源ノードとの
間にソースドレイン経路が接続された複数の第1Pチャネル型MOSトランジスタを含み
、

20

前記第3スイッチ回路は、前記第1配線と前記第3機能ブロックの前記電源ノードとの
間にソースドレイン経路が接続された複数の第1Pチャネル型MOSトランジスタを含み
、

前記第1スイッチ回路、前記第2スイッチ回路および前記第3スイッチ回路のおの
のの前記複数の第1Pチャネル型MOSトランジスタは、前記制御回路の制御に基づいて、

オフ状態、ダイオード接続状態、または、オン状態にされる、
半導体装置。

【請求項6】

請求項5に記載の半導体装置において、

30

前記第1機能ブロックは、リアルタイムクロック動作を実施する回路を含み、

前記第2機能ブロックは、システム制御回路を含み、

前記第3機能ブロックは、中央処理装置を含み、

前記第1スイッチ回路の前記複数の第1Pチャネル型MOSトランジスタは、前記オン
状態にされ、

前記第2スイッチ回路の前記複数の第1Pチャネル型MOSトランジスタは、前記ダイ
オード接続状態にされ、

前記第3スイッチ回路の前記複数の第1Pチャネル型MOSトランジスタは、前記オフ
状態にされる、半導体装置。

【請求項7】

40

請求項5に記載の半導体装置において、

前記第1機能ブロックは、リアルタイムクロック動作を実施する回路を含み、

前記第2機能ブロックは、システム制御回路を含み、

前記第3機能ブロックは、中央処理装置を含み、

前記第1スイッチ回路の前記複数の第1Pチャネル型MOSトランジスタは、前記オン
状態にされ、

前記第2スイッチ回路の前記複数の第1Pチャネル型MOSトランジスタは、前記オフ
状態にされ、

前記第3スイッチ回路の前記複数の第1Pチャネル型MOSトランジスタは、前記オフ
状態にされる、半導体装置。

50

【請求項 8】

請求項 5 に記載の半導体装置において、

前記第 1 スイッチ回路、前記第 2 スイッチ回路および前記第 3 スイッチ回路のおおのは、さらに、

第 2 P チャネル型 MOS トランジスタと、

第 3 P チャネル型 MOS トランジスタと、

第 4 P チャネル型 MOS トランジスタと第 1 N チャネル型 MOS トランジスタとを含むバッファ回路と、

インバータと、

アンド回路と、を含み、

前記第 4 P チャネル型 MOS トランジスタのドレインおよび前記第 1 N チャネル型 MOS トランジスタのドレインは、前記複数の第 1 P チャネル型 MOS トランジスタのおおののゲート電極に接続され、

前記第 4 P チャネル型 MOS トランジスタのソースは、前記第 3 P チャネル型 MOS トランジスタのソースドレイン経路を介して前記複数の P チャネル型 MOS トランジスタのドレイン電極に接続され、

前記第 1 N チャネル型 MOS トランジスタのソースは、前記第 2 配線に接続され、

前記第 4 P チャネル型 MOS トランジスタのゲートおよび前記第 1 N チャネル型 MOS トランジスタのゲートは、前記アンド回路の出力に接続され、

前記第 2 P チャネル型 MOS トランジスタは、シャットダウン信号を受ける様に接続されたゲートと、前記第 1 配線に接続されたソースと、前記第 3 P チャネル型 MOS トランジスタのドレインに接続されたドレインと、を有し、

前記インバータは、前記シャットダウン信号を受ける入力と、前記第 3 P チャネル型 MOS トランジスタのゲートに接続された出力と、を有し、

前記アンド回路は、前記シャットダウン信号を受ける第 1 入力と、スタンバイ信号を受ける第 2 入力と、前記出力と、を有する、半導体装置。

【請求項 9】

請求項 8 に記載の半導体装置において、

前記第 1 機能ブロックは、リアルタイムクロック動作を実施する回路を含み、

前記第 2 機能ブロックは、システム制御回路を含み、

前記第 3 機能ブロックは、中央処理装置を含み、

前記制御回路は、

前記第 1 スイッチ回路の前記シャットダウン信号の状態を設定する第 1 制御ビットと

、

前記第 1 スイッチ回路の前記スタンバイ信号の状態を設定する第 2 制御ビットと、

前記第 2 スイッチ回路の前記シャットダウン信号の状態を設定する第 3 制御ビットと

、

前記第 2 スイッチ回路の前記スタンバイ信号の状態を設定する第 4 制御ビットと、

前記第 3 スイッチ回路の前記シャットダウン信号の状態を設定する第 5 制御ビットと

、

前記第 3 スイッチ回路の前記スタンバイ信号の状態を設定する第 6 制御ビットと、を含む、半導体装置。

【請求項 10】

請求項 9 に記載の半導体装置において、

前記第 1 制御ビットおよび前記第 2 制御ビットのおおのはハイレベルとされて、前記第 1 スイッチ回路の前記複数の第 1 P チャネル型 MOS トランジスタは、前記オン状態にされ、

前記第 3 制御ビットはハイレベルとされ、前記第 4 制御ビットはロウレベルとされて、前記第 2 スイッチ回路の前記複数の第 1 P チャネル型 MOS トランジスタは、前記ダイオード接続状態にされ、

10

20

30

40

50

前記第 5 制御ビットはロウレベルとされ、前記第 3 スイッチ回路の前記複数の第 1 P チャンネル型 MOS トランジスタは、前記オフ状態にされる、半導体装置。

【請求項 1 1】

請求項 9 に記載の半導体装置において、

前記第 1 制御ビットおよび前記第 2 制御ビットのおのおのはハイレベルとされて、前記第 1 スイッチ回路の前記複数の第 1 P チャンネル型 MOS トランジスタは、前記オン状態にされ、

前記第 3 制御ビットはロウレベルとされ、前記第 2 スイッチ回路の前記複数の第 1 P チャンネル型 MOS トランジスタは、前記オフ状態にされ、

前記第 5 制御ビットはロウレベルとされ、前記第 3 スイッチ回路の前記複数の第 1 P チャンネル型 MOS トランジスタは、前記オフ状態にされる、半導体装置。

10

【請求項 1 2】

電源電位が供給される第 1 配線と、

接地電位が供給される第 2 配線と、

第 1 機能ブロック、第 2 機能ブロックおよび第 3 機能ブロックと、

第 1 スイッチ回路、第 2 スイッチ回路および第 3 スイッチ回路と、

前記第 1 スイッチ回路、前記第 2 スイッチ回路および前記第 3 スイッチ回路を制御する制御回路と、を含み、

前記第 1 機能ブロック、前記第 2 機能ブロックおよび前記第 3 機能ブロックのおのおのは、

20

電源ノードと、

前記第 2 配線に接続された接地ノードと、

複数の論理回路と、を含み、

前記第 1 機能ブロックは、リアルタイムクロック動作を実施する回路を含み、

前記第 2 機能ブロックは、システム制御回路を含み、

前記第 3 機能ブロックは、中央処理装置を含み、

前記第 1 スイッチ回路は、前記第 1 配線と前記第 1 機能ブロックの前記電源ノードとの間にソースドレイン経路が接続された複数の第 1 P チャンネル型 MOS トランジスタを含み、

、

前記第 2 スイッチ回路は、前記第 1 配線と前記第 2 機能ブロックの前記電源ノードとの間にソースドレイン経路が接続された複数の第 1 P チャンネル型 MOS トランジスタを含み、

30

、

前記第 3 スイッチ回路は、前記第 1 配線と前記第 3 機能ブロックの前記電源ノードとの間にソースドレイン経路が接続された複数の第 1 P チャンネル型 MOS トランジスタを含み、

、

前記第 1 スイッチ回路、前記第 2 スイッチ回路および前記第 3 スイッチ回路のおのおのの前記複数の第 1 P チャンネル型 MOS トランジスタは、前記制御回路の制御に基づいて、

オフ状態、ダイオード接続状態、または、オン状態にされる、

半導体装置。

【請求項 1 3】

40

請求項 1 2 に記載の半導体装置において、

前記第 1 スイッチ回路の前記複数の第 1 P チャンネル型 MOS トランジスタは、前記オン状態にされ、

前記第 2 スイッチ回路の前記複数の第 1 P チャンネル型 MOS トランジスタは、前記ダイオード接続状態にされ、

前記第 3 スイッチ回路の前記複数の第 1 P チャンネル型 MOS トランジスタは、前記オフ状態にされる、半導体装置。

【請求項 1 4】

請求項 1 2 に記載の半導体装置において、

前記第 1 スイッチ回路の前記複数の第 1 P チャンネル型 MOS トランジスタは、前記オン

50

状態にされ、

前記第2スイッチ回路の前記複数の第1Pチャネル型MOSトランジスタは、前記オフ状態にされ、

前記第3スイッチ回路の前記複数の第1Pチャネル型MOSトランジスタは、前記オフ状態にされる、半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、半導体装置に関し、特に、論理回路部を含む半導体装置に適用可能である。

【背景技術】

【0002】

マイクロコントローラ（以下、MCUともいう）等の半導体装置は、中央処理装置（CPU）、記憶装置、各種の周辺機能を構成する複数の周辺回路などから構成される。中央処理装置は、複数の論理回路から構成される論理回路部と見做することができる。また、複数の周辺回路も、アナログ回路を除いて、複数の論理回路から構成される論理回路部と見做することができる。

【0003】

半導体装置の論理回路部において、スタンバイ時に低消費電流とさせるために、論理回路部の電源を遮断する電源遮断技術が提案されている（たとえば、特開2011-60401号公報、特開2014-99165号公報等）。特開2011-60401号公報には、SRAMモジュールの電源制御技術についても開示されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2011-60401号公報

【特許文献2】特開2014-99165号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

電源遮断技術は、スタンバイ時において、論理回路部の消費電流を下げる効果は高い。低消費電流のMCUが用いられる場合、MCUは、通常動作状態（RUN状態）と待機状態（スタンバイ状態）とを繰り返す様な間欠動作とされるのが主流である。スタンバイ状態から通常動作状態への復帰については、高速復帰が必要である。電源遮断を実施した場合、複雑な立上げシーケンスを必要とする為、復帰時間及び消費電流が増加する場合がある。また、電源遮断された論理回路部は電源供給がされない為、スタンバイ時において、情報を保持する事も不可能である。

【0006】

一方、半導体装置の製造プロセスの微細化や論理回路のロジック規模の増加に伴い高温状態において半導体装置のリーク電流が顕在化する。

【0007】

本開示の課題は、半導体装置が高温状態であっても、スタンバイ時において論理回路の消費電流を削減するとともに、スタンバイ状態から通常動作状態へ短時間で復帰することを可能とする技術を提供することにある。

【0008】

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0009】

本開示のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0010】

10

20

30

40

50

一実施の形態に係る半導体装置は、電源電位が供給される第1配線と、接地電位が供給される第2配線と、電源ノードと、前記第2配線に接続された接地ノードと、複数の論理回路と、を含む論理回路ブロックと、前記第1配線と前記電源ノードとの間に設けられたスイッチ回路と、を含む。前記スイッチ回路は、前記第1配線と前記電源ノードとの間にソースドレイン経路が接続された複数の第1 Pチャネル型MOSトランジスタを含む。前記複数の第1 Pチャネル型MOSトランジスタは、オフ状態、ダイオード接続状態、又は、オン状態にされる。

【発明の効果】

【0011】

上記一実施の形態に係る半導体装置によれば、高温時においても、論理回路のリーク電流を削減可能である。 10

【図面の簡単な説明】

【0012】

【図1】図1は、実施の形態1に係る半導体装置の構成例を示す図である。

【図2】図2は、図1の論理回路ブロック、スイッチ回路および保持回路の構成例を説明する図である。

【図3】図3は、図2のバッファ回路の構成例を示す図である。

【図4】図4は、図2のスイッチ回路の状態を説明する図である。

【図5】図5は、比較例に係るスイッチ回路を示す回路図である。

【図6】図6は、変形例に係る半導体装置の構成例を示す図である。 20

【図7】図7は、図6のバッファ回路の構成例を示す図である。

【図8】図8は、実施の形態2に係る半導体装置の構成例を説明する図である。

【図9】図9は、図8の半導体装置の電源電位の供給経路を説明する図である。

【図10】図10は、半導体装置の動作モードおよびその状態遷移を示す図である。

【図11】図11は、図10の動作モードと図9の各機能ブロックの状態とを説明する図である。

【図12】図12は、通常動作モードにおける制御レジスタの設定状態の例を示す図である。

【図13】図13は、第1待機モードにおける制御レジスタの設定状態の例を示す図である。 30

【図14】図14は、第2待機モードにおける制御レジスタの設定状態の例を示す図である。

【図15】図15は、遮断モードにおける制御レジスタの設定状態の例を示す図である。

【図16】図16は、第2待機モードから通常動作状態へ遷移する場合の遷移中の制御レジスタの設定状態の例を示す図である。

【発明を実施するための形態】

【0013】

以下、実施形態、および、実施例について、図面を用いて説明する。ただし、以下の説明において、同一構成要素には同一符号を付し繰り返しの説明を省略することがある。なお、図面は説明をより明確にするため、実際の態様に比べ、模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。 40

【0014】

(実施の形態1)

(半導体装置の構成例)

図1は、実施の形態1に係る半導体装置の構成例を示す図である。

【0015】

半導体装置1は、単結晶シリコンなどの1つの半導体チップの上に、公知のCMOSトランジスタの製造方法を用いて形成されている。半導体装置1は、一例では、マイクロコントローラ（以下、MCUともいう）である。半導体装置1は、第1参照電位とされる電源電位VCCが供給される外部端子T1と、第1参照電位より小さい第2参照電位とされ 50

る接地電位 GND が供給される外部端子 T2 と、コア電圧 V CORE が供給される外部端子 T3 と、を含む。コア電圧 V CORE は、一例では、電源電位 V CC と接地電位 GND との間の電位を有する。

【0016】

半導体装置 1 は、さらに、論理回路部 11 と、回路部 12 と、アナログ回路 13 と、電源回路 14 と、制御回路 (CNT) 15 と、を含む。論理回路部 11 は、一例では、MCU の中央処理装置 (CPU) と見做すことができる。回路部 12 は、タイマー回路などのデジタル論理回路や、デジタルアナログ変換回路などのアナログ回路などを含み、論理回路部 11 からの出力を受けるように、論理回路部 11 に接続されている。アナログ回路 13 は、第 1 外部端子 T1 に供給された電源電位 V CC を受けるようにされ、たとえば、アナログデジタル変換回路 (ADC) などとすることができる。回路部 12 およびアナログ回路 13 は、MCU の周辺機能を構成する周辺回路と見做すことができる。

10

【0017】

電源回路 14 は、バンドギャップリファレンス回路 BGR により生成した基準電位に基づいて、第 1 外部端子 T1 に供給された電源電位 V CC を降圧してコア電圧 V CORE (V dd) (以下、コア電圧 V CORE (V dd) を V dd と称することもある) を生成するレギュレータを含む。電源回路 14 により生成されたコア電圧 V CORE (V dd) は、論理回路部 11 や回路部 12 に供給される。なお、コア電圧 V CORE (V dd) は、第 3 外部端子 T3 に供給されたコア電圧 V CORE を利用することも可能である。

20

【0018】

制御回路 (CNT) 15 は、シャットダウン信号 /SD とスタンバイ信号 /RS と、を生成し、論理回路部 11 の通常動作状態と、スタンバイ状態と、シャットダウン状態と、を制御する。シャットダウン信号 /SD は、通常動作状態において、ハイレベルの様な第 1 状態とされ、シャットダウン状態において、ロウレベルの様な第 2 状態とされる。スタンバイ信号 /RS は、通常動作状態において、ハイレベルの様な第 1 状態とされ、スタンバイ状態において、ロウレベルの様な第 2 状態とされる。シャットダウン信号 /SD は反転シャットダウン信号と言うこともでき、スタンバイ信号 /RS は反転スタンバイ信号と言うこともできる。シャットダウン信号 /SD は第 1 制御信号と言うこともでき、スタンバイ信号 /RS は第 2 制御信号と言うこともできる。また、スタンバイ信号 /RS はレジュームスタンバイ (Resume Standby) 信号と、スタンバイ状態はレジュームスタンバイ状態と、言い換えることも可能である。

30

【0019】

論理回路部 11 は、この例では、コア電圧 V CORE (V dd) 側に設けられた 2 つのスイッチ回路 (SWC) 111, 112 と、2 つの論理回路ブロック (Digital Logic) 113, 114 と、2 つの保持回路 (HOLD) 115, 116 と、を含む。論理回路ブロック 113 は、スイッチ回路 (第 1 スwitch 回路) 111 を介してコア電圧 V CORE (V dd) が供給される電源配線 (第 1 配線) L1 に接続され、接地電位 GND が供給される接地配線 (第 2 配線) L2 に接続される。論理回路ブロック 113 の出力は保持回路 115 を介して回路部 12 に供給される。論理回路ブロック 114 は、スイッチ回路 (第 1 スwitch 回路) 112 を介してコア電圧 V CORE (V dd) が供給される電源配線 L1 に接続され、接地電位 GND が供給される接地配線 L2 に接続される。論理回路ブロック 114 の出力は保持回路 116 を介して回路部 12 に供給される。

40

【0020】

スイッチ回路 111, 112 のおのおのは、後述される図 2 に示されるように、シャットダウン信号 /SD およびスタンバイ信号 /RS に基づいてその動作が制御される複数の P チャネル型 MOS トランジスタ MP1 を含む。複数の P チャネル型 MOS トランジスタのソースドレイン経路は互いに並列に接続されている。

【0021】

(具体的な構成例)

次に、論理回路ブロック 113、スイッチ回路 111、および、保持回路 115 を代表

50

例として、具体的な構成例を説明する。論理回路ブロック114、スイッチ回路112、および、保持回路116の構成は、論理回路ブロック113、スイッチ回路111、および、保持回路115の構成と同じとすることができる。

【0022】

図2は、図1の論理回路ブロック113、スイッチ回路111および保持回路115の構成例を説明する図である。図3は、図2のバッファ回路BUF1の構成例を示す図である。図4は、図2のスイッチ回路111の状態を説明する図である。

【0023】

(スイッチ回路の構成例)

スイッチ回路111は、複数のPチャネル型MOSトランジスタ（第1Pチャネル型MOSトランジスタ）MP1と、Pチャネル型MOSトランジスタ（第2Pチャネル型MOSトランジスタ）MP2と、Pチャネル型MOSトランジスタ（第3Pチャネル型MOSトランジスタ）MP3と、バッファ回路BUF1と、インバータINV1と、アンド回路AND1と、を含む。

【0024】

複数のPチャネル型MOSトランジスタMP1は、一例では、N個のPチャネル型MOSトランジスタMP1である。複数のPチャネル型MOSトランジスタMP1のゲート電極のおおのは、バッファ回路BUF1の出力に接続される。複数のPチャネル型MOSトランジスタMP1のソース電極のおおのは、コア電圧V CORE（Vdd）が供給される電源配線L1に接続される。複数のPチャネル型MOSトランジスタMP1のドレイン電極のおおのは論理回路ブロック113の電源ノードND1に接続される。つまり、複数のPチャネル型MOSトランジスタのソースドレイン経路は、電源配線L1と電源ノードND1とに間に、互いに並列に接続されている。

【0025】

バッファ回路BUF1は、図3に示す様に、Pチャネル型MOSトランジスタ（第4Pチャネル型MOSトランジスタ）PFET1とNチャネル型MOSトランジスタ（第1Nチャネル型MOSトランジスタ）NFET1とを含む。

【0026】

Pチャネル型MOSトランジスタPFET1のゲートは、バッファ回路BUF1の入力とされ、アンド回路AND1の出力に接続される。Pチャネル型MOSトランジスタPFET1のソースは、Pチャネル型MOSトランジスタMP3のドレインに接続される。つまり、Pチャネル型MOSトランジスタPFET1のソースは、Pチャネル型MOSトランジスタMP3のソースドレイン経路を介して、論理回路ブロック113の電源ノードND1、すなわち、複数のPチャネル型MOSトランジスタMP1のドレイン電極に接続される。Pチャネル型MOSトランジスタPFET1のドレインは、バッファ回路BUF1の出力とされ、複数のPチャネル型MOSトランジスタMP1のゲート電極に接続される。

【0027】

Nチャネル型MOSトランジスタNFET1のゲートは、バッファ回路BUF1の入力とされ、アンド回路AND1の出力に接続される。Nチャネル型MOSトランジスタNFET1のソースは、接地電位GNDが供給される接地配線L2に接続される。Nチャネル型MOSトランジスタNFET1のドレインは、バッファ回路BUF1の出力とされ、複数のPチャネル型MOSトランジスタMP1のゲート電極に接続される。

【0028】

Pチャネル型MOSトランジスタMP2は、シャットダウン信号／SDを受ける様に接続されたゲートと、コア電圧V CORE（Vdd）が供給される電源配線L1に接続されたソースと、Pチャネル型MOSトランジスタMP3のドレインに接続されたドレインと、を有する。

【0029】

インバータINV1は、シャットダウン信号／SDを受ける様に接続された入力と、P

10

20

30

40

50

チャンネル型MOSトランジスタMP3のゲートに接続された出力と、を有する。

【0030】

アンド回路AND1は、シャットダウン信号／SDを受ける様に接続された第1入力と、スタンバイ信号／RSを受ける様に接続された第2入力と、バッファ回路BUF1の入力に接続された出力と、を有する。

【0031】

(スイッチ回路の動作および状態)

スイッチ回路111は、電源回路14がコア電圧V CORE (V dd) を生成している状態において、3つの状態をとることができる。3つの状態は、シャットダウン状態と、スタンバイ状態と、通常動作状態と、を含む。

10

【0032】

シャットダウン状態では、Pチャンネル型MOSトランジスタMP1は、図4の第1状態ST1に示す様に、オフ状態となる。したがって、第1状態ST1では、電源配線L1と電源ノードND1との間が非接続(非導通)の状態である。

【0033】

スタンバイ状態では、Pチャンネル型MOSトランジスタMP1は、図4の第2状態ST2に示す様に、ダイオード接続の状態となる。したがって、第2状態ST2では、電源配線L1と電源ノードND1と間にダイオードを接続する状態である。

【0034】

通常動作状態では、Pチャンネル型MOSトランジスタMP1は、図4の第3状態ST3に示す様に、オン状態となる。したがって、第3状態ST3では、電源配線L1と電源ノードND1との間が接続(導通)の状態である。

20

【0035】

したがって、スイッチ回路111は、論理回路ブロック113の電源ノードND1の電位を制御する電圧制御回路と見做すことができる。

【0036】

この明細書において、シャットダウン信号／SDがロウレベルとされる状態は、シャットダウン状態として定義する。シャットダウン信号／SDがハイレベルとされ、スタンバイ信号／RSがロウレベルとされる状態は、スタンバイ状態として定義する。シャットダウン信号／SDがハイレベルとされ、スタンバイ信号／RSがハイレベルとされる状態は、通常動作状態と定義する。

30

【0037】

以下、シャットダウン状態、スタンバイ状態、および、通常動作状態を説明する。

【0038】

(シャットダウン状態)

シャットダウン信号／SDがロウレベルとされると、Pチャンネル型MOSトランジスタMP2はオン状態とされ、Pチャンネル型MOSトランジスタMP3はオフ状態にされる。アンド回路AND1の出力はロウレベルとなるので、バッファ回路BUF1の出力はハイレベルとなる。これにより、図4に示す様に、複数のPチャンネル型MOSトランジスタMP1は第1状態ST1であるオフ状態となる。したがって、スイッチ回路111は、コア電圧V CORE (V dd) を論理回路ブロック113へ供給せず、論理回路ブロック113は電源遮断の状態となる。

40

【0039】

したがって、電源配線L1と論理回路ブロック113の電源ノードND1との電気的接続が遮断されているので、論理回路ブロック113を構成する複数のトランジスタのリーク電流を遮断できる。これにより、半導体装置1が高温状態であっても、半導体装置1の消費電流を削減することができる。

【0040】

(スタンバイ状態)

シャットダウン信号／SDがハイレベルとされ、スタンバイ信号／RSがロウレベルと

50

されると、Pチャネル型MOSトランジスタMP2はオフ状態とされ、Pチャネル型MOSトランジスタMP3はオン状態にされる。アンド回路AND1の出力はロウレベルとなるので、バッファ回路BUF1のPチャネル型MOSトランジスタPFET1がオン状態となる。これにより、Pチャネル型MOSトランジスタMP1のゲート電極とドレイン電極とが、Pチャネル型MOSトランジスタPFET1のソースドレイン経路とPチャネル型MOSトランジスタMP3のソースドレイン経路とを介して接続されるので、複数のPチャネル型MOSトランジスタMP1は、図4に示す様に、第2状態ST2であるダイオード接続の状態となる。したがって、スイッチ回路111は、コア電圧V CORE (V d d) からダイオードの閾値電圧 (V t p) 分だけ低下された第1電位L G V d d (L G V d d = V d d - V t p) を論理回路ブロック113へ供給する。

10

【0041】

論理回路ブロック113には、第1電位L G V d dと接地電位V s sとの間の電位差が供給される。そのため、論理回路ブロック113を構成する内部論理回路は、通常動作状態時の信号状態を保持できる。また、第1電位L G V d dと接地電位V s sとの間の電位差は、電源電位V d dと接地電位V s sの間の電位差より小さいので、論理回路ブロック113を構成する複数のトランジスタのリーク電流を低減することができる。これにより、スタンバイ状態における論理回路ブロック113の消費電流を削減することができる。

【0042】

(通常動作状態)

シャットダウン信号／SDがハイレベルとされ、スタンバイ信号／RSがハイレベルとされると、Pチャネル型MOSトランジスタMP2はオフ状態とされ、Pチャネル型MOSトランジスタMP3はオン状態にされる。アンド回路AND1の出力はハイレベルとなるので、バッファ回路BUF1の出力はロウレベルとなる。これにより、図4に示す様に、複数のPチャネル型MOSトランジスタMP1は第3状態ST3であるオン状態となる。したがって、スイッチ回路111は、コア電圧V CORE (V d d) を論理回路ブロック113へ供給する。

20

【0043】

論理回路ブロック113は、スタンバイ状態で保持されていた信号状態を維持しつつ、スタンバイ状態から通常動作状態へ復帰するので、保持されていた信号状態から通常動作における信号処理を行うことができる。スタンバイ状態から通常動作状態へ復帰は、スタンバイ信号／RSの信号レベルを変化させるだけであり、複雑な立上げシーケンスを必要とせず、復帰時間及び消費電流が増加することもない。

30

【0044】

(論理回路ブロックの構成例)

論理回路ブロック113は、複数の論理回路を含み、これらの複数の論理回路の電源端子と接地端子とは、電源ノードND1と接地ノードND2とにそれぞれ接続されている。論理回路ブロック113は、この例では、複数のインバータINVを含む様に表現している。インバータINVは、拡大図で示す様に、Pチャネル型MOSトランジスタINPとNチャネル型MOSトランジスタINNとを含み、Pチャネル型MOSトランジスタINPのソースドレイン経路とNチャネル型MOSトランジスタINNのソースドレイン経路とが、電源ノードND1と接地ノードND2との間に、直列に接続される。Pチャネル型MOSトランジスタINPのゲート電極とNチャネル型MOSトランジスタINNのゲート電極とは互いに接続されて、インバータINVの入力端子とされる。Pチャネル型MOSトランジスタINPのソースドレイン経路とNチャネル型MOSトランジスタINNのソースドレイン経路の共通接続点は、インバータINVの出力端子とされている。Pチャネル型MOSトランジスタINPは、半導体チップに形成されたN型ウエルに形成されている。Pチャネル型MOSトランジスタINPの基板ゲートは、このN型ウエルで構成されており、このN型ウエルは電源電位V d dに接続されている。また、Nチャネル型MOSトランジスタINNは、半導体チップに形成されたP型ウエルに形成されている。Nチャネル型MOSトランジスタINNの基板ゲートは、このP型ウエルで構成されており、

40

50

このP型ウェルは接地電位 V_{ss} に接続されている。なお、論理回路ブロック113の内部構成は、複数のインバータINVに限定されるわけではない。論理回路ブロック113には、複数のインバータINVの他、複数のアンド回路、複数のナンド回路、複数のオア回路、複数のノア回路、複数のフリップフロップ回路などが含まれても良い。

【0045】

(保持回路の構成例)

保持回路115は、論理回路ブロック113の出力を保持する。保持回路115は、たとえば、Dラッチ回路(D-Latch)115aで構成できる。Dラッチ回路115aにおいて、イネーブル端子Eにはスタンバイ信号/RSが入力され、データ端子Dには論理回路ブロック113の出力が接続され、出力Qには回路部12の入力が接続される。この例では、1つの保持回路115が代表として描かれているが、これに限定されない。論理回路ブロック113が複数の出力を有し、回路部12が複数の入力を持つ場合、論理回路ブロック113の複数の出力と回路部12が複数の入力の間の1つの保持回路115が設けられる様に、複数の保持回路115が設けられる。

【0046】

スタンバイ状態の場合、論理回路ブロック113から出力される信号のハイレベルは、第1電位 LG_{Vdd} ($LG_{Vdd} = V_{dd} - V_{tp}$)の電位であり、論理回路ブロック113から出力される信号のロウレベルは、接地電位 V_{ss} の電位である。一方、論理回路ブロック113の後段に設けられた回路部12には、電源電位 V_{dd} と接地電位 V_{ss} とが供給されているので、論理回路ブロック113から出力される信号のハイレベルを回路部12へ入力すると、回路部12内において不定な信号の伝搬や回路部12内において貫通電流が発生する原因になる場合がある。これを防止する為、論理回路ブロック113と回路部12との間に、論理回路ブロック113の出力信号を保持する保持回路115が設けられている。保持回路115には電源電位 V_{dd} と接地電位 V_{ss} とが供給されているので、保持回路115の出力のハイレベルは電源電位 V_{dd} であり、保持回路115の出力のロウレベルは接地電位 V_{ss} である。これにより、回路部12内において不定な信号の伝搬や貫通電流を抑制することができる。

【0047】

(比較例)

図5は、比較例に係るスイッチ回路を示す回路図である。

【0048】

スイッチ回路111rは、バッファ回路BUF1rと、複数のPチャネル型MOSトランジスタMP1rと、を含む。バッファ回路BUF1rは、スタンバイ信号/RSを受ける入力と、出力と、を含む。複数のPチャネル型MOSトランジスタMP1rは、N個のPチャネル型MOSトランジスタMP1である。複数のPチャネル型MOSトランジスタMP1rのゲート電極のおおのは、バッファ回路BUF1rの出力に接続される。複数のPチャネル型MOSトランジスタMP1rのソース電極のおおのは、コア電圧 V_{CORE} (V_{dd})が供給される電源配線L1に接続される。複数のPチャネル型MOSトランジスタMP1rのドレイン電極のおおのは論理回路ブロック113の電源ノードND1に接続される。つまり、複数のPチャネル型MOSトランジスタのソースドレイン経路は、電源配線L1と電源ノードND1とに間に、互いに並列に接続されている。バッファ回路BUF1rは、図3に示すバッファ回路BUF1と同じ構成とされている。

【0049】

スイッチ回路111rは、通常動作状態とスタンバイ状態とを有する。スタンバイ信号/RSのハイレベルは通常動作状態であり、スタンバイ信号/RSのロウレベルはスタンバイ状態である。

【0050】

スタンバイ状態の場合、バッファ回路BUF1r内のPチャネル型MOSトランジスタPFET1は、スタンバイ信号/RSのロウレベルに基づいて、オン状態にされる。また、バッファ回路BUF1r内のNチャネル型MOSトランジスタNFET1は、スタンバ

イ信号／RSのロウレベルに基づいて、オフ状態にされる。Pチャネル型MOSトランジスタPFET1がオン状態とされると、複数のPチャネル型MOSトランジスタMP1rのドレインとゲートとが同じ電圧になる。したがって、複数のPチャネル型MOSトランジスタMP1は、図4の第2状態ST2に示す様に、ダイオード接続の状態となる。そのため、複数のPチャネル型MOSトランジスタMP1rのドレインの電圧、つまり、論理回路ブロック113の電源ノードND1の電圧は、コア電圧V CORE (V dd) から複数のPチャネル型MOSトランジスタMP1rの閾値電圧 (V t p) 分だけ低下した第1電位LG V dd (LG V dd = V dd - V t p) となる。

【0051】

通常動作状態の場合、バッファ回路BUF1r内のPチャネル型MOSトランジスタPFET1は、スタンバイ信号／RSのハイレベルに基づいて、オフ状態にされる。また、バッファ回路BUF1r内のNチャネル型MOSトランジスタNFET1は、スタンバイ信号／RSのハイレベルに基づいて、オン状態にされる。したがって、複数のPチャネル型MOSトランジスタMP1は、図4の第3状態ST3に示す様に、オン状態となる。複数のPチャネル型MOSトランジスタMP1がオン状態とされるので、論理回路ブロック113の電源ノードND1の電圧は電源電位V ddとなる。

【0052】

図3のスイッチ回路111が図5のスイッチ回路111rと異なる点は、スイッチ回路111がシャットダウン状態を有する点である。シャットダウン状態を設けることでスイッチ回路111を構成する回路素子はスイッチ回路111rと比較して増加する。しかし、増加した回路素子 (MP2, MP3, INV1, AND1) は、複数のPチャネル型MOSトランジスタMP1の全体的なサイズと比較して極めて小さいサイズなので、スイッチ回路111の面積増加は特に問題となることはない。

【0053】

実施の形態1によれば、以下の効果を得ることができる。

【0054】

1) 半導体装置の製造プロセスの微細化や論理回路のロジック規模の増加に伴い高温状態において半導体装置のリーク電流が顕在化するが、スイッチ回路111にシャットダウン状態を設けたので、半導体装置1が85℃の様な高温状態であっても、半導体装置1の消費電流を削減することができる。

【0055】

2) スwitch回路111がスタンバイ状態の時に、論理回路ブロック113には、第1電位LG V dd (LG V dd = V dd - V t p) と接地電位V ssとの間の電位差が供給される。そのため、論理回路ブロック113を構成する内部論理回路は、通常動作状態時の信号状態を保持できる。

【0056】

3) 第1電位LG V ddと接地電位V ssとの間の電位差は、電源電位V ddと接地電位V ssの間の電位差より小さいので、論理回路ブロック113を構成する複数のトランジスタのリーク電流を低減することができる。これにより、スタンバイ状態における論理回路ブロック113の消費電流を削減することができる。

【0057】

4) スタンバイ状態から通常動作状態への復帰は、短時間で復帰することができる。スタンバイ状態から通常動作状態へ復帰は、スタンバイ信号／RSの信号レベルを変化させるだけであり、複雑な立上げシーケンスを必要とせず、復帰時間及び消費電流が増加することもない。

【0058】

(変形例)

図6は、変形例に係る半導体装置の構成例を示す図である。図7は、図6のバッファ回路BUF2の構成例を示す図である。

【0059】

10

20

30

40

50

図6が図2と異なる点は、図6において、論理回路ブロック113の接地ノードND2と接地配線L2との間に、スイッチ回路117が設けられている点である。図6の他の構成は、図2の構成と同じであるので、繰り返しの説明は省略する。以下、図2と異なる点について、主に説明する。

【0060】

スイッチ回路117は、バッファ回路BUF2と、複数のNチャネル型MOSトランジスタMN1と、を含む。バッファ回路BUF2は、スタンバイ信号RSを受ける入力と、出力と、を含む。複数のNチャネル型MOSトランジスタMN1は、一例では、N個のNチャネル型MOSトランジスタMN1である。複数のNチャネル型MOSトランジスタMN1のゲート電極のおおのは、バッファ回路BUF2の出力に接続される。複数のNチャネル型MOSトランジスタMN1のソース電極のおおのは、接地電位GNDが供給される接地配線L2に接続される。複数のNチャネル型MOSトランジスタMN1のドレイン電極のおおのは論理回路ブロック113の接地ノードND2に接続される。つまり、複数のNチャネル型MOSトランジスタのソースドレイン経路は、接地配線L2と接地ノードND2との間に、互いに並列に接続されている。

10

【0061】

バッファ回路BUF2は、図7に示す様に、Pチャネル型MOSトランジスタ（第2のPチャネル型MOSトランジスタ）PFET2とNチャネル型MOSトランジスタ（第2のNチャネル型MOSトランジスタ）NFET2とを含む。Pチャネル型MOSトランジスタPFET2のゲートは、バッファ回路BUF2の入力に接続される。Pチャネル型MOSトランジスタPFET2のソースは、電源電位Vddが供給される電源配線L1に接続される。Pチャネル型MOSトランジスタPFET2のドレインは、バッファ回路BUF2の出力に接続される。Nチャネル型MOSトランジスタNFET2のゲートは、バッファ回路BUF2の入力に接続される。Nチャネル型MOSトランジスタNFET2のソースは、論理回路ブロック113の接地ノードND2、すなわち、複数のNチャネル型MOSトランジスタMN1のドレイン電極に接続される。Nチャネル型MOSトランジスタNFET2のドレインは、バッファ回路BUF2の出力に接続される。つまり、Pチャネル型MOSトランジスタPFET2のソースドレイン経路とNチャネル型MOSトランジスタNFET2のソースドレイン経路は、電源配線L1と接地ノードND2との間に、直列に接続されている。

20

30

【0062】

なお、スイッチ回路117とバッファ回路BUF2は、論理回路ブロック113の接地ノードND2の電位を制御する電圧制御回路と見做すことができる。

【0063】

バッファ回路BUF2内のPチャネル型MOSトランジスタPFET2は、スタンバイ信号RSのハイレベルに基づいて、OFF状態にされる。また、バッファ回路BUF2内のNチャネル型MOSトランジスタNFET2は、スタンバイ信号RSのハイレベルに基づいて、ON状態にされる。Nチャネル型MOSトランジスタNFET2がON状態とされると、複数のNチャネル型MOSトランジスタMN1のドレインとゲートとが同じ電圧になる。したがって、複数のNチャネル型MOSトランジスタMN1はダイオード接続の状態となる。そのため、複数のPチャネル型MOSトランジスタMP1のドレインの電圧、つまり、論理回路ブロック113の接地ノードND2の電圧は、接地電位Vssからダイオードの閾値電圧(V_{tn})分だけ上昇された第2電位LGVss ($LGVss = Vss + V_{tn}$)となる。

40

【0064】

一方、バッファ回路BUF2内のPチャネル型MOSトランジスタPFET2は、スタンバイ信号RSのロウレベルに基づいて、ON状態にされる。バッファ回路BUF2内のNチャネル型MOSトランジスタNFET2は、スタンバイ信号RSのロウレベルに基づいて、OFF状態にされる。Pチャネル型MOSトランジスタPFET2のON状態とされると、複数のNチャネル型MOSトランジスタMN1がON状態とされるので、論理回

50

路ブロック113の接地ノードND2の電圧は接地電位Vssとなる。

【0065】

変形例によれば、以下の効果を得ることができる。

【0066】

1) 変形例においても、実施の形態1と同様な効果を得ることができる。

【0067】

2) シャットダウン状態の時、複数のPチャネル型MOSトランジスタMP1がオフ状態とされるので、論理回路ブロック113は電源配線L1から遮断される。したがって、半導体装置1が高温状態であっても、半導体装置1の消費電流を削減することができる。

【0068】

3) スタンバイ状態の時、第1電位LVddと第2電位LVssとの間の電位差が論理回路ブロック113に供給されるので、論理回路ブロック113を構成する内部論理回路は、通常動作状態時の信号状態を保持できる。つまり、第1電位LVddと第2電位LVssとの間の電位差は、論理回路ブロック113を構成する内部論理回路が通常動作状態時の信号状態を保持できる程度の電位差に設定されている。

【0069】

(実施の形態2)

実施の形態2では、半導体装置であるマイクロコントローラ(MCU)に含まれる複数の機能ブロックごとに、スイッチ回路111を設けた構成を説明する。図8は、実施の形態2に係る半導体装置の構成例を説明する図である。図9は、図8の半導体装置の電源電位の供給経路を説明する図である。なお、図9には、図1、図2で説明した接地配線L2の図示は、図面の簡素化の為、省略している。

【0070】

半導体装置1aは、単結晶シリコンなどの1つの半導体チップの上に、公知のCMOSトランジスタの製造方法を用いて形成されている。図8に示す様に、半導体装置1aであるマイクロコントローラ(MCU)は、複数の機能ブロック130~137と、アナログデジタル変換回路(ADC)13、電源回路(PSC)14、制御回路15、バス140等から構成される。バス140は、マイクロコントローラ(MCU)内の各回路(13、14、15、130~136)を相互に接続するように構成されている。

【0071】

複数の機能ブロック130~137は、この例では、中央処理装置(CPU)130、不揮発性メモリとしてのフラッシュメモリ(FLASH(登録商標))131、揮発性メモリとしてのスタティックランダムアクセスメモリ(SRAM)132、システム制御装置(SYSSS)133、タイマー回路(TM)134aおよびシリアル通信回路(SCI)134bを含む周辺回路(PERI)134、半導体装置1aの動作クロックCLKを生成するオンチップクロック生成回路(OCO)135、現在の時刻を刻むリアルタイムクロック生成回路(RTC)136、RTC136に供給される32KHzの基準クロック信号を生成する発振回路(OSC)137等を含む。FLASH131は、FLASH131の動作を制御するフラッシュサブ制御回路(FLASHSS)131aを含む。

【0072】

リアルタイムクロック動作(RTC動作)である時計機能は、リアルタイムクロック生成回路(RTC)136および発振回路(OSC)137により実現されている。つまり、リアルタイムクロック動作(RTC動作)は、現在の時刻を刻む動作と定義することもできる。

【0073】

図9に示す様に、制御回路CNTは、バス140に接続された制御レジスタREGを含む。制御レジスタREGは、複数の制御ビットbit0~bit9を含む。複数の制御ビットbit0~bit9のおおのこの状態は、たとえば、バス140を介して、CPU130等により設定することができる。制御ビットbit0、bit2、bit4、bit6、bit8は、スタンバイ信号RSの状態を設定するために設けられる。制御ビットb

10

20

30

40

50

bit 1、bit 3、bit 5、bit 7、bit 9は、シャットダウン信号SDの状態を設定するために設けられる。

【0074】

スイッチ回路(SWC)111a~111eのおおのは、図2で説明したスイッチ回路111と同様な構成とされており、図4で説明した3つの状態(ST1~ST3)をとることができる。なお、スイッチ回路(SWC)111a~111eは、図9に点線DLで示す様に、制御回路CNTに含まれる様に構成されても良い。

【0075】

スイッチ回路111aは、制御ビットbit 0、bit 1により制御され、RTC137、OSC138のおおのの電源ノードND1への電源電位Vddの供給、第1電位LVddの供給、および、電源電位Vddの供給の遮断を制御する。スイッチ回路111bは、制御ビットbit 2、bit 3により制御され、SRAM132の電源ノードND1への電源電位Vddの供給、第1電位LVddの供給、および、電源電位Vddの供給の遮断を制御する。スイッチ回路111cは、制御ビットbit 4、bit 5により制御され、FLASH131、CPU130のおおのの電源ノードND1への電源電位Vddの供給、第1電位LVddの供給、および、電源電位Vddの供給の遮断を制御する。スイッチ回路111dは、制御ビットbit 6、bit 7により制御され、OCO135、SYSSS133のおおのの電源ノードND1への電源電位Vddの供給、第1電位LVddの供給、および、電源電位Vddの供給の遮断を制御する。スイッチ回路111eは、制御ビットbit 8、bit 9により制御され、FLASHSS131a、PERI134のおおのの電源ノードND1への電源電位Vddの供給、第1電位LVddの供給、および、電源電位Vddの供給の遮断を制御する。

【0076】

図9では、機能ブロック毎にスイッチ回路111a~111eを設け、レジスタREGの制御により、機能ブロック毎に図4の3つの状態(ST1, ST2, ST3)を個別に制御することが可能にされている。RTC動作に必要な回路(RTC136、OSC137)、半導体装置1aの動作モードを制御するシステム制御回路(SYSSS133、OCO135)、スタンバイ状態かつRTC動作(以下、(Standby状態+RTC動作)と言う)に必要な回路(SRAM132、FLASH131、CPU130、FLASHSS131a、PERI134)で機能ブロックを分割している。

【0077】

ここで、(Standby状態+RTC動作)とは、RTC動作を実行している状態であり(RTC136、OSC137に電源電位Vddが供給されている状態)、システム制御回路(SYSSS133、OCO135)に第1電位LVddが供給され、かつ、RTC136、OSC137、SYSSS133、OCO135以外の論理回路(FLASH131、CPU130、FLASHSS131a、PERI134)に第1電位LVddが供給されているか、又は、論理回路(FLASH131、CPU130、FLASHSS131a、PERI134)への電源電位Vddの供給が遮断されている状態として定義することができる。つまり、後述される図11の第1待機モード(Standby1)や第2待機モード(Standby2)が、(Standby状態+RTC動作)に対応する。

【0078】

また、(Shutdown状態+RTC動作)とは、RTC動作を実行している状態であり(RTC136、OSC137に電源電位Vddが供給されている状態)、かつ、システム制御回路(SYSSS133、OCO135)および論理回路(FLASH131、CPU130、FLASHSS131a、PERI134)への電源電位Vddの供給が遮断されている状態である。つまり、後述される図11の遮断モード(Shutdown)が、(Shutdown状態+RTC動作)に対応する。

【0079】

図10は、半導体装置の動作モードおよびその状態遷移を示す図である。図11は、図

10

20

30

40

50

10の動作モードと図9の各機能ブロックの状態とを説明する図である。図12は、通常動作モードにおける制御レジスタの設定状態の例を示す図である。図13は、第1待機モードにおける制御レジスタの設定状態の例を示す図である。図14は、第2待機モードにおける制御レジスタの設定状態の例を示す図である。図15は、遮断モードにおける制御レジスタの設定状態の例を示す図である。図16は、第2待機モードから通常動作状態へ遷移する場合の遷移中の制御レジスタの設定状態の例を示す図である。なお、図14～図16において、接地電位GNDは、対応するスイッチ回路の複数のPチャネル型MOSトランジスタMP1のオフ状態に基づいて、対応する機能ブロックの電源ノードND1が接地電位GNDにされた状態を示している。

【0080】

図10に示す様に、半導体装置1aの動作モードは、電源電位VCCが供給されないパワーオフ状態(Power OFF)と、電源電位VCCが供給されたパワーオン状態(Power ON)とを有する。パワーオン状態(Power ON)は、リセットモード(Reset)と、通常動作状態(Run)(通常動作モードとも言う)と、第1待機モード(Standby1)と、第2待機モード(Standby2)と、遮断モード(Shutdown)と、を有する。

【0081】

図11には、各動作モードにおける下記回路1)～6)の状態が示されている。各回路1)～6)は次のようにされている。

回路1)論理回路(Logic(RTC)):RTC136

回路2)論理回路(Logic(SYSSS)):SYSSS133、OCO135

回路3)RTC136およびSYSSS133以外の論理回路(Logic(except RTC, SYSSS)):CPU130、FLASH131, FLASHSS131a、PERI134

回路4)SRAM:SRAM132

回路5)PSC:PSC14

回路6)OSC:OSC137

また、図11に示す記号は、以下の様にされている。

【0082】

黒丸(●):対応する回路には、電源電位VCC、または、スイッチ回路から電源電位Vddが供給されている状態であり、対応する回路は動作状態と停止状態とを選択可能な状態を示す。

【0083】

白丸(○):対応する回路にはスイッチ回路から第1電位LVddが供給されている状態であり、対応する回路は遷移前の論理状態を維持する状態を示す。つまり、対応する回路は、レギュームスタンバイ状態とされている。

【0084】

横棒(—):対応する回路は停止状態であることを示す。ただし、対応する回路にはスイッチ回路から電源電位Vddが供給されている。

【0085】

空白(無記号):パワーオフ状態では、対応する回路には、電源電位VCC、又は、スイッチ回路から電源電位Vddが供給されていない状態を示す。

パワーオン状態では、電源電位Vddの供給がスイッチ回路により遮断されている状態を示す。

【0086】

次に、図11の各動作モードについて説明する。

【0087】

リセットモード(Reset):

回路5)である電源回路(PSC)14には電源電位VCCが供給され、電源回路(PSC)14は内部電源電位である電源電位Vddを生成する。

【0088】

通常動作モード (Run) :

回路1) ~ 4)、6) の各電源ノードND1には、電源回路 (PSC) 14から生成された電源電位Vddがスイッチ回路111a~111eを介して供給されている。

つまり、通常動作モード (Run) では、図12に示す様に、制御ビットbit0、bit2、bit4、bit6、bit8はロウレベル (0) の状態 (RS=0) に設定され、制御ビットbit1、bit3、bit5、bit7、bit9はロウレベル (0) の状態 (SD=0) に設定される。

【0089】

第1待機モード (Standby1) :

回路1)、6) の各電源ノードND1には、電源回路 (PSC) 14から生成された電源電位Vddがスイッチ回路111aを介して供給されている。これにより、RTC動作を行うことができる。

回路2)、3)、4) の各電源ノードND1には、スイッチ回路111d、111c、111e、111b、から第1電位LVddが供給されている。回路2)、3)、4) はスタンバイ状態である。

つまり、第1待機モードでは、図13に示す様に、制御ビットbit0はロウレベル (0) の状態 (RS=0) に設定され、制御ビットbit2、bit4、bit6、bit8はハイレベル (1) の状態 (RS=1) に設定される。制御ビットbit1、bit3、bit5、bit7、bit9はロウレベル (0) の状態 (SD=0) に設定される。

【0090】

第2待機モード (Standby2) :

回路1)、6) の各電源ノードND1には、電源回路 (PSC) 14から生成された電源電位Vddがスイッチ回路111aを介して供給されている。これにより、RTC動作を行うことができる。

回路2)、4) の各電源ノードND1には、スイッチ回路111d、111bから第1電位LVddが供給されている。回路2)、4) はスタンバイ状態である。

回路3) の電源ノードND1は、スイッチ回路111c、111eによって電源電位Vddの供給が遮断されている。これにより、回路3) はシャットダウン状態である。

つまり、第2待機モードでは、図14に示す様に、制御ビットbit0、bit4、bit8はロウレベル (0) の状態 (RS=0) に設定され、制御ビットbit2、bit6はハイレベル (1) の状態 (RS=1) に設定される。制御ビットbit1、bit3、bit7はロウレベル (0) の状態 (SD=0) に設定され、制御ビットbit5、bit9はハイレベル (1) の状態 (SD=1) に設定される。

【0091】

遮断モード (Shutdown) :

回路1)、6) の電源ノードND1には、電源回路 (PSC) 14から生成された電源電位Vddがスイッチ回路111aを介して供給されている。これにより、RTC動作を行うことができる。

回路4) の電源ノードND1には、スイッチ回路111bから第1電位LVddが供給されている。回路4) はスタンバイ状態である。

回路2)、3) の電源ノードND1は、スイッチ回路111d、111c、111eによって電源電位Vddの供給が遮断されている。回路2)、3) はシャットダウン状態である。

つまり、遮断モードでは、図15に示す様に、制御ビットbit0、bit2、bit4、bit6、bit8はロウレベル (0) の状態 (RS=0) に設定され、制御ビットbit2はハイレベル (1) の状態 (RS=1) に設定される。制御ビットbit1、bit3はロウレベル (0) の状態 (SD=0) に設定され、制御ビットbit5、bit7、bit9はハイレベル (1) の状態 (SD=1) に設定される。

【0092】

(状態遷移の説明)

図10に戻って、状態遷移について説明する。以下の説明では、シャットダウン命令(SDI)、第1スタンバイ命令(RSI1)および第2スタンバイ命令(RSI2)を用いて説明する。なお、シャットダウン命令(SDI)、第1スタンバイ命令(RSI1)および第2スタンバイ命令(RSI2)は、制御レジスタREGの制御ビットを設定するレジスタ設定命令(または、ビット操作命令)と、レジスタ設定命令の実行後に実行されるストップ命令(STOP)とに変更することも可能である。CPU130は、レジスタ設定命令を実行し、その後、ストップ命令を実行すると、CPU130は、停止状態となり、次に実行すべき処理ないし命令を待つ状態となる。

【0093】

半導体装置1aに電源電位VCCが印加される(Power ON)と、半導体装置1aは、パワーオフ状態から通常動作状態(Run)へ移行する。

【0094】

通常動作モードにおいて、CPU130がシャットダウン命令(SDI)を実行すると、半導体装置1aは遮断モードへ遷移する。シャットダウン命令の実行により、図15に示す様に、制御レジスタREGの各制御ビットが設定される。

【0095】

遮断モードにおいて、半導体装置1aのリセット要因(RST)の発生に基づいて、遮断モードからリセットモードへ遷移する。この時、リセット処理が実行され、制御ビットbit2がハイレベル(1)の状態(RS=1)からロウレベル(0)の状態(SD=0)へ変更され、制御ビットbit5、bit7、bit9がハイレベル(1)の状態(SD=1)からロウレベル(0)の状態(SD=0)へ変更される。その後、リセットモードが解除(リセット解除RSTR)されて、半導体装置1aは通常動作モードへ遷移する。

【0096】

通常動作モードにおいて、CPU130が第1スタンバイ命令(RSI1)を実行すると、半導体装置1aは第1待機モードへ遷移する。第1スタンバイ命令の実行により、図13に示す様に、制御レジスタREGの各制御ビットが設定される。第1待機モードにおいて、CPU130の復帰要因トリガである割り込み要求信号(INT)の発生に基づいて、半導体装置1aは第1待機モードから通常動作モードへ遷移する。この時、図12に示す様に、制御レジスタREGの各制御ビットが設定される。

【0097】

通常動作モードにおいて、CPU130が第2スタンバイ命令(RSI2)を実行すると、半導体装置1aは第2待機モードへ遷移する。第2スタンバイ命令の実行により、図14に示す様に、制御レジスタREGの各制御ビットが設定される。第2待機モードにおいて、CPU130の復帰要因トリガである割り込み要求信号(INT)の発生に基づいて、半導体装置1aは第2待機モードから通常動作モードへ遷移する。第2待機モードから通常動作モードへ遷移する際、図16に記載のウェイクアップ(Wakeup)状態を経由することができる(図14→図16→図12)。図16では、制御ビットbit6が、図14に示すハイレベル(1)の状態(RS=1)からロウレベル(0)の状態(RS=0)へ変更されている。

【0098】

実施の形態2によれば、以下の効果を得ることができる。

【0099】

1) 実施の形態2においても、実施の形態1の効果と同様な効果を得ることができる。

【0100】

2) 図11に示す第2待機モード(Standby2)を設けたので、RTC動作を行いつつ、RTC136、SYSSS133、OCO135以外の論理回路(Logic(except RTC, SYSSS)):CPU130、FLASH131, FLASHSS131a、PERI134)の消費電流を削減することができる。

【0101】

3) 図11に示す遮断モード(Shutdown)を設けたので、RTC動作を行いつつ、論理回路(Logic(SYSSS)):SYSSS133、OCO135)、および、RTC136、SYSSS133、OCO135以外の論理回路(Logic(except RTC, SYSSS)):CPU130、FLASH131, FLASHSS131a、PERI134)の消費電流を削減することができる。遮断モードでは、半導体装置が85℃の様な高温時において、半導体装置1aのリーク電流を、通常動作モードと比較して約75%程度削減でき、第1待機モード(Standby1)と比較して約30%程度削減することができる。

【0102】

4) 複数の制御ビットを含む制御レジスタREGを設け、電源回路14の出力電圧を変更する事なく、複数の制御ビットを設定することにより、短い時間で、遮断モードから通常動作モードへ遷移させることができる。つまり、遮断モードから通常動作モードへ高速に起動できる。

【0103】

5) 上記4)において、第2待機モードおよび遮断モードを設けたので、半導体装置の消費電流を削減することができる。

【0104】

以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は、上記実施形態および実施例に限定されるものではなく、種々変更可能であることはいうまでもない。

【符号の説明】

【0105】

1、1a:半導体装置
 11:論理回路部
 12:回路部
 13:アナログ回路
 14:電源回路
 15制御回路(CNT)
 111、111a、111b、111c、111d、111e、112、117:スイッチ回路(SWC)
 113:論理回路ブロック
 115:保持回路
 130:中央処理装置(CPU)
 131:フラッシュメモリ(FLASH)、
 131a:フラッシュサブ制御回路(FLASHSS)
 132:スタティックランダムアクセスメモリ(SRAM)
 133:システム制御装置(SYSSS)
 134:周辺回路(PERI)
 135:オンチップクロック生成回路(OCO)、
 136:リアルタイムクロック生成回路(RTC)、
 137:発振回路(OSC)
 T1、T2、T3:外部端子
 MP1、MP2、MP3:Pチャネル型MOSトランジスタ
 BUF1:バッファ回路
 L1:電源配線(第1配線)
 L2:接地配線(第2配線)
 ND1:電源ノード
 ND2:接地ノード
 REG:制御レジスタ
 bit0~ビット9:制御ビット

10

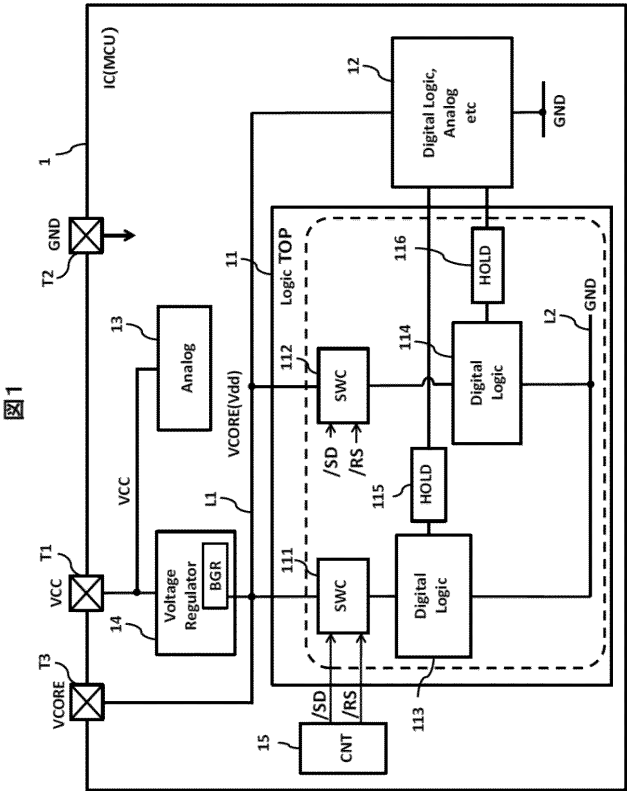
20

30

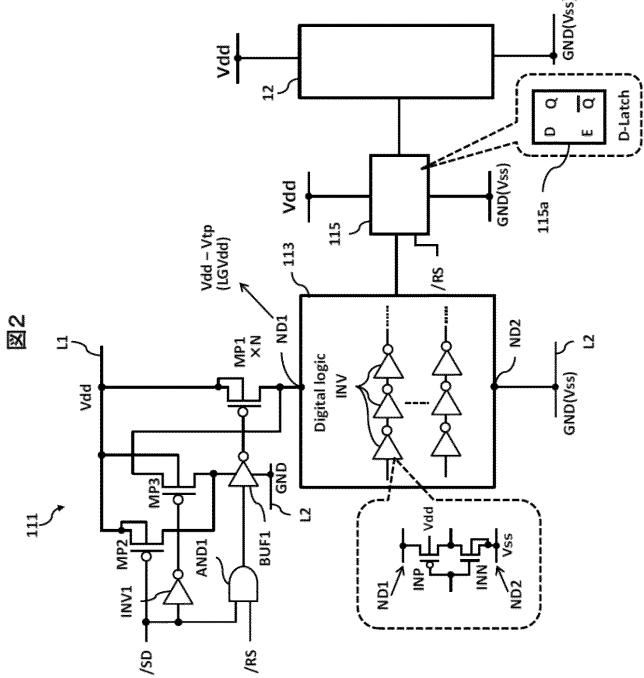
40

50

【図 1】



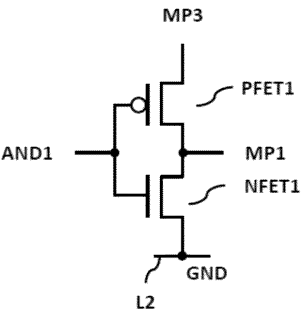
【図 2】



【図 3】

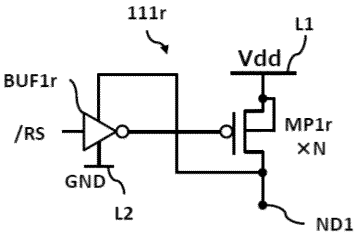
図3

BUF1



【図 5】

図5

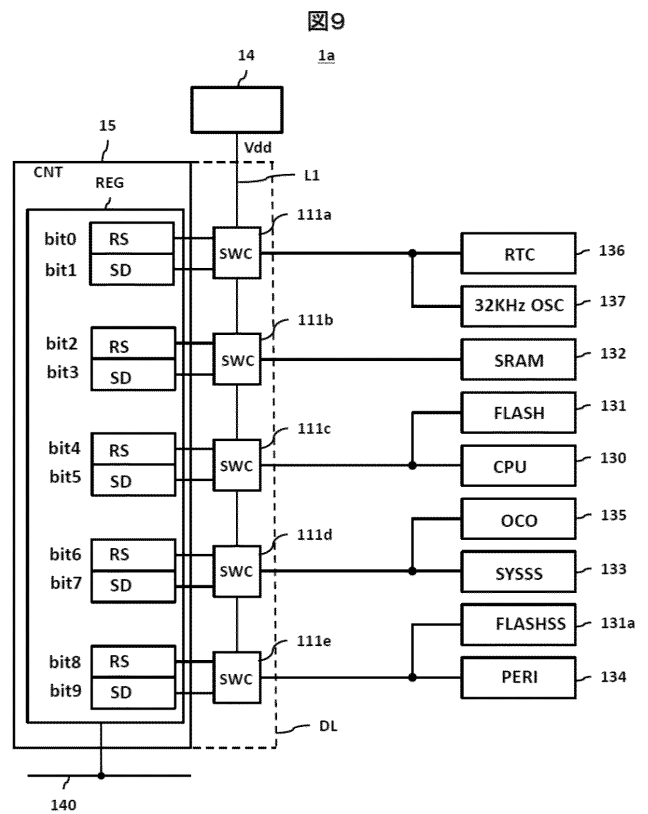
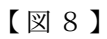


【図 4】

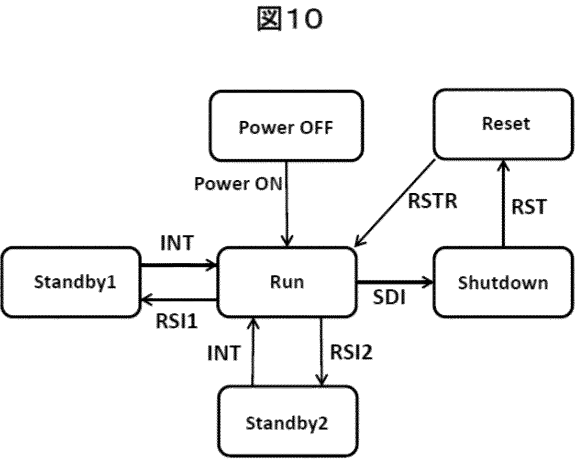
図4

ST1	ST2	ST3

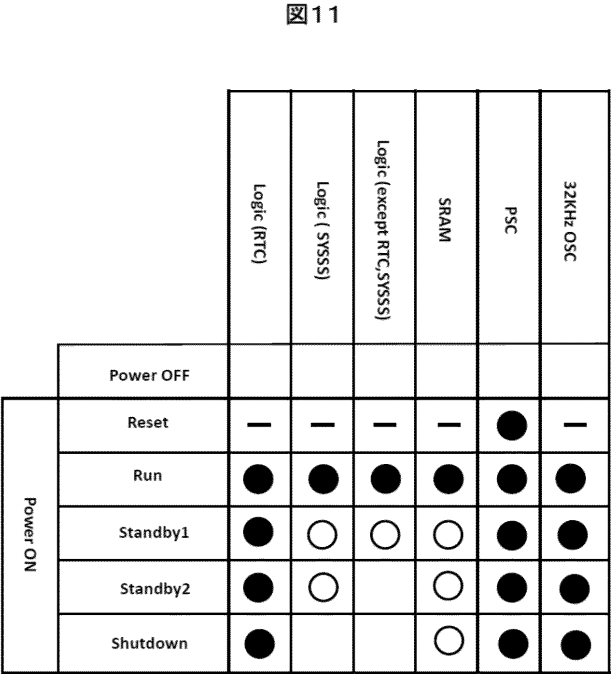
【圖 7】



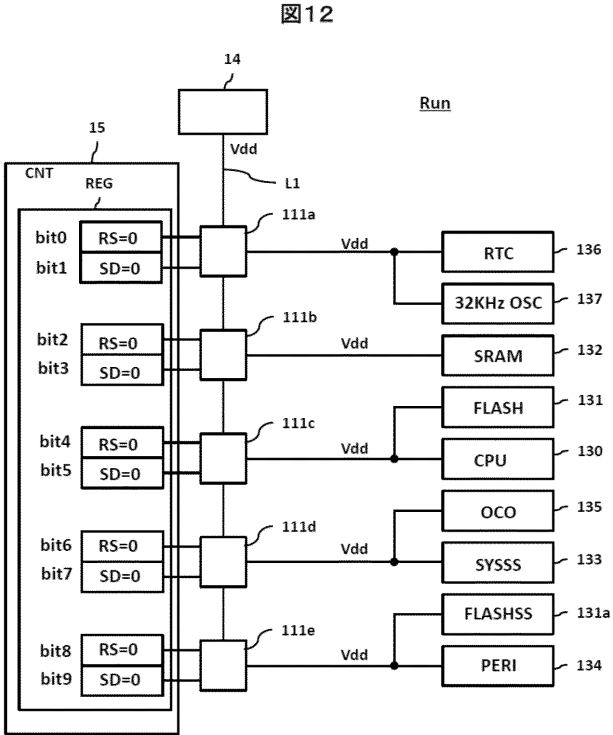
【図 1 0】



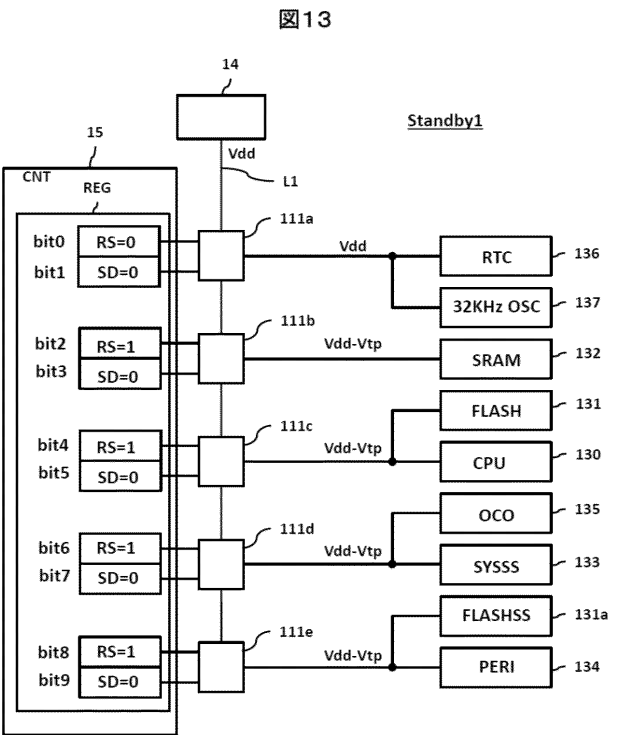
【図 1 1】



【図 1 2】

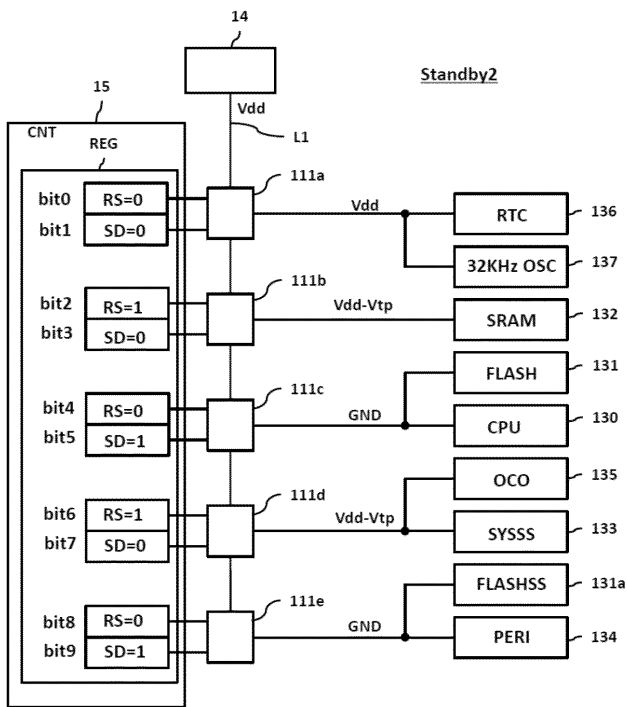


【図 1 3】



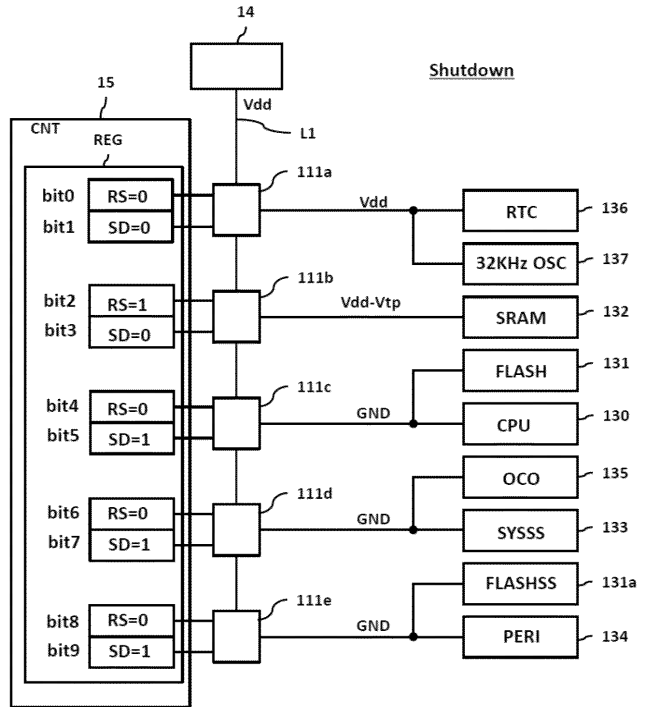
【図 14】

図 14



【図 15】

図 15



【図 16】

図 16

