

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7673263号
(P7673263)

(45)発行日 令和7年5月8日(2025.5.8)

(24)登録日 令和7年4月25日(2025.4.25)

(51)国際特許分類		F I			
G 0 1 R	19/165 (2006.01)	G 0 1 R	19/165	L	
G 0 5 F	1/56 (2006.01)	G 0 5 F	1/56	3 1 0 S	

請求項の数 4 (全15頁)

(21)出願番号	特願2024-4574(P2024-4574)	(73)特許権者	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22)出願日	令和6年1月16日(2024.1.16)	(73)特許権者	317011920 東芝デバイス&ストレージ株式会社 東京都港区芝浦一丁目1番1号
(62)分割の表示	特願2020-159320(P2020-159320))の分割	(74)代理人	110002147 弁理士法人酒井国際特許事務所
原出願日	令和2年9月24日(2020.9.24)	(72)発明者	間島 秀明 東京都港区芝浦一丁目1番1号 東芝デ バイス&ストレージ株式会社内
(65)公開番号	特開2024-41935(P2024-41935A)	審査官	島田 保
(43)公開日	令和6年3月27日(2024.3.27)		
審査請求日	令和6年1月16日(2024.1.16)		

最終頁に続く

(54)【発明の名称】 電流検出回路及び電流検出システム

(57)【特許請求の範囲】

【請求項1】

ソース、ドレイン、及びゲートを有するノーマリオン型の第1のスイッチング素子と、前記第1のスイッチング素子のソースに接続されたドレインと、基準電位に接続されたソースと、ゲートを有するノーマリオフ型の第2のスイッチング素子と、前記第2のスイッチング素子のソースに接続されたソースと、制御信号に応答して電流値が変化する電流源に接続されたドレインと、電流検出時に前記第2のスイッチング素子のゲートに印加される電圧がゲートに印加されるノーマリオフ型の第3のスイッチング素子と、前記電流検出時に前記第2のスイッチング素子のドレイン電圧と前記第3のスイッチング素子のドレイン電圧を比較して検出信号を出力する比較回路と、を具備し、前記電流源は、前記電流検出時に前記第1～第3のスイッチング素子のスイッチング動作に合わせて前記制御信号により前記電流値を変化させ、前記比較回路は、前記第3のスイッチング素子のドレイン電圧が前記第2のスイッチング素子のドレイン電圧を越えた場合に、前記電流値が前記第1のスイッチング素子のソース-ドレイン間を流れる電流を越えた旨の前記検出信号を出力する、ことを特徴とする電流検出回路。

10

【請求項2】

前記電流源の電流値は、正の値から負の値まで変化することを特徴とする請求項1に記載

20

載の電流検出回路。

【請求項 3】

前記第 2 のスイッチング素子と、前記第 3 のスイッチング素子とは、共通の半導体基板上に形成され、

ゲート長が同じでゲート幅が所定の寸法比に設定されている、

請求項 1 に記載の電流検出回路。

【請求項 4】

請求項 1 乃至請求項 3 のいずれかに記載の電流検出回路と、

前記制御信号の基礎データを生成する制御回路と、

前記制御回路と前記電流検出回路の間を絶縁分離し、前記基礎データに基づく信号を前記電流検出回路に供給する第 1 のアイソレータと、

前記比較回路と前記制御回路との間を絶縁分離し、前記検出信号を前記制御回路に供給する第 2 のアイソレータと、

を具備することを特徴とする電流検出システム。

【発明の詳細な説明】

【技術分野】

【0001】

本実施形態は、電流検出回路及び電流検出システムに関する。

【背景技術】

【0002】

従来、ノーマリオン型のスイッチング素子とノーマリオフ型のスイッチング素子をカスコード接続した半導体装置が開示されている。例えば、ノーマリオン型のスイッチング素子は、GaN（窒化ガリウム）やSiC（炭化ケイ素）を材料とするトランジスタで構成される。GaNやSiCで構成されるノーマリオン型のスイッチング素子は高耐圧で低損失である為、高電圧を出力する電源回路への適用に好適する。一方、ノーマリオン型のスイッチング素子を備える為、例えば、ノーマリオン型のスイッチング素子の漏れ電流に反応して、半導体装置の出力電流が正確に検出できない場合がある。例えば、交流電圧を直流電圧に変換するAC/DCコンバータにおいては入力電圧と出力電流の位相を一致させることで力率が高まる為、出力電流を正確に検出できる電流検出回路を備えた構成が望まれる。ノーマリオン型のスイッチング素子を備える半導体装置の特性を活かしつつ、且つ、出力電流を正確に検出することが出来る信頼性の高い電流検出回路、電流検出システム、及び出力電流を正確に検出することが出来る電流検出回路を備えた電源回路が望まれる。

【先行技術文献】

【特許文献】

【0003】

【文献】国際公開第2015/166523号

【文献】特許第5800986号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

一つの実施形態は、ノーマリオン型のスイッチング素子とノーマリオフ型のスイッチング素子をカスコード接続した半導体装置の出力電流を正確に検出することが出来る電流検出回路及び電流検出システムを提供することを目的とする。

【課題を解決するための手段】

【0005】

一つの実施形態によれば、電流検出回路は、ソース、ドレイン、及びゲートを有するノーマリオン型の第1のスイッチング素子と、前記第1のスイッチング素子のソースに接続されたドレインと、基準電位に接続されたソースと、ゲートを有するノーマリオフ型の第2のスイッチング素子と、前記第2のスイッチング素子のソースに接続されたソースと、

10

20

30

40

50

制御信号にตอบสนองして電流値が変化する電流源に接続されたドレインと、電流検出時に前記第2のスイッチング素子のゲートに印加される電圧がゲートに印加されるノーマリオフ型の第3のスイッチング素子と、前記電流検出時に前記第2のスイッチング素子のドレイン電圧と前記第3のスイッチング素子のドレイン電圧を比較して検出信号を出力する比較回路と、を具備し、前記電流源は、前記電流検出時に前記第1～第3のスイッチング素子のスイッチング動作に合わせて前記制御信号により前記電流値を変化させ、前記比較回路は、前記第3のスイッチング素子のドレイン電圧が前記第2のスイッチング素子のドレイン電圧を越えた場合に、前記電流値が前記第1のスイッチング素子のソース・ドレイン間を流れる電流を越えた旨の前記検出信号を出力する。

【図面の簡単な説明】

【0006】

【図1】図1は、第1の実施形態の電流検出回路を示す図。

【図2】図2は、第1の実施形態の電流検出回路の動作を説明する為の図。

【図3】図3は、第2の実施形態の電流検出システムの構成を示す図。

【図4】図4は、電流源の一つの構成例を示す図。

【図5】図5は、図4の電流源の構成例を具体的に示す図。

【図6】図6は、電流源の他の一つの構成例を具体的に示す図。

【図7】図7は、第3の実施形態の電流検出システムを示す図。

【図8】図8は、第4の実施形態の電源回路を示す図。

【図9】図9は、第4の実施形態の電源回路の動作を説明する為の図。

【発明を実施するための形態】

【0007】

以下に添付図面を参照して、実施形態にかかる電流検出回路、電流検出システム、および電源回路を詳細に説明する。なお、これらの実施形態により本発明が限定されるものではない。

【0008】

(第1の実施形態)

図1は、第1の実施形態の電流検出回路を示す図である。本実施形態は駆動回路10、電流検出回路20を有する。電流検出回路20は、ノーマリオン型のスイッチング素子21を有する。スイッチング素子21は、例えば、GaNを材料とするNチャネル型のMOSトランジスタで構成される。例えば、GaNを材料とするMOSトランジスタは、ドレイン・ソース間の主電流路がGaNで構成される。

【0009】

電流検出回路20は、ノーマリオフ型のスイッチング素子22、23を有する。ノーマリオフ型のスイッチング素子22、23は、例えば、Siを材料とするNチャネル型のMOSトランジスタで構成される。例えば、Siを材料とするMOSトランジスタは、ドレイン・ソース間の主電流路がSiで構成される。

【0010】

スイッチング素子21のドレインは、端子26に接続される。端子26は、例えば、600Vの電圧が印加される電源ライン(図示せず)に負荷(図示せず)を介して接続される。スイッチング素子21のソースは、スイッチング素子22のドレインに接続される。

【0011】

スイッチング素子22のソースは、端子27に接続される。すなわち、スイッチング素子22の主電流路であるドレイン・ソース路は、スイッチング素子21の主電流路であるドレイン・ソース路に直列に接続される。端子27には、例えば、接地電位が供給される。

【0012】

スイッチング素子23のソースは、スイッチング素子22のソースに接続され、ドレインは参照電流 I_{REF} を供給する電流源24に接続される。電流源24の参照電流 I_{REF} の電流値は、電流制御信号Contによって制御される。電流源24の他端は、電源電圧VDDが印加される。

10

20

30

40

50

【 0 0 1 3 】

スイッチング素子 2 2 と 2 3 は、共通の半導体基板（図示せず）に形成される。共通の半導体基板に形成することで、両者の素子特性を合わせることが出来る。仮に、製造バラツキが生じたとしても、スイッチング素子 2 2 と 2 3 の素子特性は同じように変動する。例えば、スイッチング素子 2 2 のオン抵抗が増加する様に変動した場合には、スイッチング素子 2 3 のオン抵抗も、同様に増加する様に変動する。

【 0 0 1 4 】

スイッチング素子 2 2 と 2 3 の寸法は、ゲート長が同じで、ゲート幅が $n : m$ の寸法比に設定される。寸法比に従い、スイッチング素子 2 2 のオン抵抗 R_{on2} とスイッチング素子 2 3 のオン抵抗 R_{on3} の比は、式（ 1 ）で示される。

$$R_{on2} : R_{on3} = 1 / n : 1 / m \quad \dots \quad (1)$$

【 0 0 1 5 】

スイッチング素子 2 2 と 2 3 のドレイン電圧 V_1 、 V_2 は、式（ 2 ）、（ 3 ）で示される。端子 2 7 に印加された接地電位、ゼロ（ 0 ） V を基準にした場合のドレイン電圧 V_1 、 V_2 を示す。以降、同様である。

【 0 0 1 6 】

$$V_1 = R_{on2} \times I_d \quad \dots \quad (2)$$

$$V_2 = R_{on3} \times I_{REF} \quad \dots \quad (3)$$

ここで、 I_d は、スイッチング素子 2 1 を流れるドレイン電流 I_d を示す。スイッチング素子 2 2 を流れる電流は、スイッチング素子 2 1 に流れる電流に略等しい為、スイッチング素子 2 2 を流れる電流は、出力電流 I_d に略等しい電流となる。以降、スイッチング素子 2 1 のドレイン電流 I_d を、便宜的に出力電流 I_d として用いる場合がある。

【 0 0 1 7 】

比較回路 2 5 の非反転入力端（ + ）には、スイッチング素子 2 2 のドレイン電圧 V_1 が供給され、反転入力端（ - ）には、スイッチング素子 2 3 のドレイン電圧 V_2 が供給される。比較回路 2 5 は、スイッチング素子 2 2 のドレイン電圧 V_1 がスイッチング素子 2 3 のドレイン電圧 V_2 よりも高くなると H レベルの検出信号を出力端 2 8 から出力する。すなわち、式（ 2 ）と（ 3 ）の関係から、 $R_{on2} \times I_d > R_{on3} \times I_{REF}$ になった時に H レベルの検出信号を出力する。比較回路 2 5 の H レベルの検出信号により、出力電流 I_d が参照電流 I_{REF} に達したことが検出される。

【 0 0 1 8 】

例えば、許容される出力電流 I_d の最大電流 I_{MAX} の値と参照電流 I_{REF} の値、及び、スイッチング素子 2 2、2 3 の寸法比 $m : n$ の設定に従い、出力電流 I_d が最大電流 I_{MAX} を超える過大電流の状態であることを比較回路 2 5 の検出信号によって検出することが出来る。また、出力電流 I_d が最大電流 I_{MAX} を超える過大電流の状態になったことを示す比較回路 2 5 の検出信号を駆動回路 1 0 に供給してスイッチング素子 2 1、2 2 をオフにする構成とすることにより、スイッチング素子 2 1、2 2 を過電流状態から回避させることが出来る。

【 0 0 1 9 】

駆動回路 1 0 は、スイッチング素子 2 1、2 2、2 3 のオン/オフを制御する駆動信号を生成して、夫々のゲートに供給する。例えば、駆動回路 1 0 は、電流検出時にスイッチング素子 2 3 のゲートに印加される電圧に等しい電圧をスイッチング素子 2 2 のゲートに印加して、スイッチング素子 2 2 をオンさせる。スイッチング素子 2 2 と 2 3 をオンさせる時の両者のゲート・ソース間電圧を同じにすることで、スイッチング素子 2 2 と 2 3 のオン抵抗の比をゲート幅の寸法比で設定し、オン抵抗 R_{on2} と R_{on3} の比と電流源 2 4 の参照電流 I_{REF} の値によって出力電流 I_d を精度良く正確に検出することが出来る。

【 0 0 2 0 】

尚、スイッチング素子 2 1 のゲートをスイッチング素子 2 2 のソースに接続し、電流検出時にスイッチング素子 2 3 のゲートに印加される信号と同じ電圧の駆動信号を駆動回路 1 0 によってスイッチング素子 2 2 のゲートに供給しても良い。

10

20

30

40

50

【 0 0 2 1 】

第 1 の実施形態によれば、電流源 2 4 の参照電流 I_{REF} の値を電流制御信号 $Cont$ によって変化させ、スイッチング素子 2 2 と 2 3 のドレイン電圧 V_1 、 V_2 を比較回路 2 5 によって比較する。比較回路 2 5 の H レベルの検出信号は、出力電流 I_d が参照電流 I_{REF} に達したことを示す。従って、参照電流 I_{REF} の値をターゲットの値とした場合には、比較回路 2 5 の H レベルの検出信号は、出力電流 I_d がそのターゲットの電流値に達したことを示す。

【 0 0 2 2 】

検出信号が H レベルになった時の参照電流 I_{REF} の値により出力電流 I_d の値が検出される。従って、参照電流 I_{REF} を変化させることで、出力電流 I_d の値を感知する電流検出回路が提供される。尚、端子 2 6 の出力電圧 V_{out} は、スイッチング素子 2 1 と 2 2 がオン状態の時には、出力電流 I_d によってスイッチング素子 2 1 と 2 2 のオン抵抗に生じた電圧降下の和の値となる。従って、参照電流 I_{REF} が示す出力電流 I_d の値は、端子 2 6 の出力電圧 V_{out} を示すデータとして用いることが出来る。

10

【 0 0 2 3 】

図 2 を用いて、第 1 の実施形態の動作を説明する。図 2 の横軸は時間、縦軸は参照電流 I_{REF} を示す。実線 1 5 は、参照電流 I_{REF} を示す。参照電流 I_{REF} の値を電流制御信号 $Cont$ によって時間と共に増加させる。タイミング t_1 において、比較回路 2 5 の検出信号が H レベルになった場合には、出力電流 I_d の値はその時の参照電流 I_{REF} の値 I_{t_1} であることが検出される。また、タイミング t_2 において比較回路 2 5 の検出信号が H レベルになった場合には、出力電流 I_d の値は、その時の参照電流 I_{REF} の値 I_{t_2} であることが検出される。

20

【 0 0 2 4 】

(第 2 の実施形態)

図 3 は、第 2 の実施形態の電流検出システムの構成を示す図である。既述した実施形態に対応する構成には同一符号を付し、重複した記載は必要な場合にのみ行う。以降、同様である。本実施形態は、制御回路 1 0 0、変調器 1 0 1、復調器 1 0 3、アイソレータ 1 0 2、1 0 5、1 0 6 を有する。電流検出回路 2 0 は、D A コンバータ 1 0 4 と電流源 2 4 を有する。D A コンバータ 1 0 4 と電流源 2 4 を別個に示すが、D A コンバータ 1 0 4 と電流源 2 4 は協働して一つの電流源を構成する。電流源の具体的な構成例については、後述する。

30

【 0 0 2 5 】

制御回路 1 0 0 は、電流源 2 4 の参照電流 I_{REF} を制御する為の基礎データを生成して変調器 1 0 1 に供給する。基礎データは、例えば、正弦波に対応する振幅値を示すデジタル信号データである。定数による 0 次曲線 ($Y = C$)、定数と変数 ($Y = a \times X + b$) による 1 次曲線等の近似曲線により、基礎データを正弦波に近似させることが出来る。近似曲線の次数を上げることで、正弦波に近似した基礎データが得られる。制御回路 1 0 0 は、例えばスイッチング素子 2 1、2 2、2 3 のオン/オフのスイッチング動作に合わせて、基礎データを離散的に出力する。基礎データを離散的に出力することで、データ量を削減することが出来る。

40

【 0 0 2 6 】

変調器 1 0 1 は、制御回路 1 0 0 からのデジタル信号をマンチェスター符号等で符号化した変調信号を生成する。変調器 1 0 1 の変調信号は、アイソレータ 1 0 2 に供給される。アイソレータ 1 0 2 は、トランス、フォトカプラ、あるいは、容量等を用いて構成される。アイソレータ 1 0 2 は、例えば、5 V 程度の低電圧でバイアスされる制御回路 1 0 0 を備える低圧側と、例えば、4 0 0 V を超える高電圧が印加される高圧側を電氣的に絶縁分離する。アイソレータ 1 0 5、1 0 6 は、アイソレータ 1 0 2 と同様の構成とすることが出来る。

【 0 0 2 7 】

復調器 1 0 3 は、アイソレータ 1 0 2 から供給された変調信号を復調し、電流制御信号

50

Contを生成してDAコンバータ104に供給する。DAコンバータ104は、電流制御信号Contをアナログ信号に変換して電流源24に供給する。電流源24は、DAコンバータ104と協働して電流制御信号Contに応じて変化する参照電流 I_{REF} を出力する。

【0028】

比較回路25は、スイッチング素子22のドレイン電圧 V_1 とスイッチング素子23のドレイン電圧 V_2 を比較し、その比較結果に応じてHレベル、又はLレベルの検出信号を出力する。検出信号は、アイソレータ105に供給される。アイソレータ105は、検出信号に応答した信号を制御回路100に供給する。制御回路100は、アイソレータ105からの信号により、出力電流 I_d が参照電流 I_{REF} に達したか否かを検出する。

10

【0029】

制御回路100は、アイソレータ106を介して、駆動回路10に制御信号を供給する。駆動回路10に供給される制御信号は、例えば、PWM制御信号である。駆動回路10は、PWM制御信号に応答して、スイッチング素子21、22、23に供給する駆動信号のデューティ比を調整する。

【0030】

本実施形態によれば、制御回路100の基礎データに基づいて参照電流 I_{REF} を変化させ、出力電流 I_d によって生じるスイッチング素子22のドレイン電圧 V_1 と参照電流 I_{REF} によって生じるスイッチング素子23のドレイン電圧 V_2 を比較する。比較回路25のHレベルの検出信号は、ドレイン電圧 V_1 がドレイン電圧 V_2 に達したことを示す為、出力電流 I_d が参照電流 I_{REF} に達したことが検出される。また、出力電流 I_d が参照電流 I_{REF} に達した時にスイッチング素子21、22をオフにすれば、参照電流 I_{REF} を出力電流 I_d の上限の値とする制御が可能となる。

20

【0031】

制御回路100側と電流検出回路20側をアイソレータ102、105、106によって結合することによって、低電圧でバイアスされる低圧側と高電圧が印加される高圧側とを絶縁分離することが出来る。また、比較回路25を高圧側に設け、比較回路25の検出信号を、アイソレータ105を介して制御回路100に供給する。すなわち、出力電流 I_d の電流値を示すデータではなく、参照電流 I_{REF} と出力電流 I_d を比較した結果に基づく1ビットの検出信号を制御回路100に供給する。これにより、制御回路100に供給するデータ量を減らすことが出来る。

30

【0032】

また、アイソレータ105は、比較回路25の1ビットの検出信号を伝送すれば良い為、伝送速度が比較的遅いアイソレータで構成することが出来る。制御回路100は、アイソレータ102、105による遅延時間を算入したタイミングで比較回路25の検出信号を判定する。基礎データが制御回路100から出力されるタイミング、基礎データに基づいて変化する参照電流 I_{REF} と出力電流 I_d が比較されるタイミング、及び、比較回路25の検出信号が制御回路100に供給されるタイミングを考慮することにより、出力電流 I_d を正確に検出することが出来る。

40

【0033】

図4は、スイッチング素子23に参照電流 I_{REF} を供給する電流源の一つの構成例を示す図である。電流源120は、スイッチング素子23のドレインに接続される電流源124と125を有する。電流源124は、DAコンバータ114と協働して、電流制御信号 $Cont_1$ によって制御される参照電流 I_{REFp} を出力する。電流源125は、DAコンバータ115と協働して、電流制御信号 $Cont_2$ によって制御される参照電流 I_{REFn} を出力する。電流源124の一端に供給される電源電圧 V_{DD} は、スイッチング素子23のソース電圧に対して正の電圧であり、電流源125の一端に供給される電源電圧 V_{SS} はスイッチング素子23のソース電圧に対して負の電圧である。

【0034】

電流源125の参照電流 I_{REFn} は電流源124の参照電流 I_{REFp} に対して負の関

50

係になる為、スイッチング素子 2 3 に供給される参照電流 I_{REF} は、 $I_{REFp} - I_{REFn}$ となる。従って、電流制御信号 $Cont_1$ 、 $Cont_2$ によって参照電流 I_{REFp} 、 I_{REFn} を制御することで、スイッチング素子 2 3 に供給される参照電流 I_{REF} の値を正の値から負の値まで変化させることが出来る。従って、例えば、正弦波に従って変化する参照電流 I_{REF} を生成することが出来る。

【 0 0 3 5 】

図 5 は、図 4 の電流源の一つの具体的な構成例を示す図である。本構成例の電流源は、電流源 1 2 4 と協働する DA コンバータ 1 1 4 を有する。DA コンバータ 1 1 4 は、ダイオード接続された PMOS トランジスタ 3 0 0 を有する。PMOS トランジスタ 3 0 0 のソースは電源電圧 V_{DD} が印加される端子 2 2 0 に接続され、ドレインは電流源 1 2 4 の一端に接続される。電流源 1 2 4 の他端は、電源電圧 V_{SS} が印加される端子 2 2 1 に接続される。

10

【 0 0 3 6 】

DA コンバータ 1 1 4 は、端子 2 2 0 とスイッチング素子 2 3 のドレインとの間に並列接続された PMOS トランジスタ 3 0 1 ~ 3 0 4 を有する。PMOS トランジスタ 3 0 1 ~ 3 0 4 は、PMOS トランジスタ 3 0 0 に対して 2^N 乗の重み付けがされた寸法を有する。具体的には、PMOS トランジスタ 3 0 1 は、PMOS トランジスタ 3 0 0 と同じ寸法を有し、PMOS トランジスタ 3 0 2、3 0 3、3 0 4 は PMOS トランジスタ 3 0 0 の寸法に対して 2^1 、 2^2 、 2^3 の重み付けに応じた寸法を有する。

【 0 0 3 7 】

PMOS トランジスタ 3 0 1 のソース・ゲート間にはスイッチ 3 1 1 が接続され、ゲートとノード ND 1 間には、スイッチ 3 1 2 が接続される。スイッチ 3 1 1 には、インバータ 3 2 0 を介して制御信号 P 0 が供給され、スイッチ 3 1 2 には制御信号 P 0 が供給される。制御信号 P 0 が H レベルの時にスイッチ 3 1 2 は接続状態となり、PMOS トランジスタ 3 0 1 がオンとなる。スイッチ 3 1 3、3 1 5、3 1 7 には、制御信号 P 1、P 2、P 3 がインバータ 3 2 1、3 2 2、3 2 3 を介して供給される。

20

【 0 0 3 8 】

同様に、スイッチ 3 1 3 ~ 3 1 8 に供給される制御信号 P 1 ~ P 3 によって PMOS トランジスタ 3 0 2 ~ 3 0 4 のオン/オフが制御される。PMOS トランジスタ 3 0 1 ~ 3 0 4 は、PMOS トランジスタ 3 0 0 に対する重み付けに応じた電流を出力する。制御信号 P 0 ~ P 3 によりオンさせる PMOS トランジスタ 3 0 1 ~ 3 0 4 の組合せを変更することにより参照電流 I_{REFp} の値を調整することが出来る。復調器 1 0 3 は、制御信号 P 0 ~ P 3 を電流制御信号 $Cont_1$ として出力する。

30

【 0 0 3 9 】

本構成例の電流源は、電流源 1 2 5 と協働する DA コンバータ 1 1 5 を有する。DA コンバータ 1 1 5 は、ダイオード接続された NMOS トランジスタ 4 0 0 を有する。NMOS トランジスタ 4 0 0 のソースは電源電圧 V_{SS} が印加される端子 2 2 5 に接続され、ドレインは電流源 1 2 5 の一端に接続される。電流源 1 2 5 の他端は、電源電圧 V_{DD} が印加される端子 2 2 4 に接続される。電流源 1 2 4 と 1 2 5 は、例えば、バンドギャップ回路によって構成され、電流 I_o を出力する。

40

【 0 0 4 0 】

DA コンバータ 1 1 5 は、端子 2 2 5 とノード ND 4 との間に並列接続された NMOS トランジスタ 4 0 1 ~ 4 0 4 を有する。NMOS トランジスタ 4 0 1 ~ 4 0 4 は、NMOS トランジスタ 4 0 0 に対して 2^N 乗の重み付けがされた寸法を有する。具体的には、NMOS トランジスタ 4 0 1 は、NMOS トランジスタ 4 0 0 と同じ寸法を有し、NMOS トランジスタ 4 0 2、4 0 3、4 0 4 は NMOS トランジスタ 4 0 0 の寸法に対して 2^1 、 2^2 、 2^3 の重み付けに応じた寸法を有する。

【 0 0 4 1 】

NMOS トランジスタ 4 0 1 のソース・ゲート間にはスイッチ 4 1 1 が接続され、ゲートとノード ND 3 間には、スイッチ 4 1 2 が接続される。スイッチ 4 1 1 には、インバー

50

タ 4 2 0 を介して制御信号 N 0 が供給され、スイッチ 4 1 2 には制御信号 N 0 が供給される。制御信号 N 0 が H レベルの時にスイッチ 4 1 2 はオンとなり、NMOS トランジスタ 4 0 1 がオンとなる。スイッチ 4 1 3、4 1 5、4 1 7 には、制御信号 N 1、N 2、N 3 がインバータ 4 2 1、4 2 2、4 2 3 を介して供給される。

【 0 0 4 2 】

同様に、スイッチ 4 1 3 ~ 4 1 8 に供給される制御信号 N 1 ~ N 3 によって NMOS トランジスタ 4 0 2 ~ 4 0 4 のオン/オフが制御される。NMOS トランジスタ 4 0 1 ~ 4 0 4 は、NMOS トランジスタ 4 0 0 に対する重み付けに応じた電流を出力する。制御信号 N 0 ~ N 3 によりオンさせる NMOS トランジスタ 4 0 1 ~ 4 0 4 の組合せを変更することにより参照電流 I_{REFn} の値を調整することが出来る。復調器 1 0 3 は、制御信号 N 0 ~ N 3 を電流制御信号 $Cont_2$ として出力する。本構成例の電流源は、電流制御信号 $Cont_1$ 、 $Cont_2$ に応じた電流を供給することができる。

10

【 0 0 4 3 】

図 6 は、電流源の他の一つの構成例を具体的に示す図である。本実施形態の電流源は、 $R - 2R$ ラダー抵抗で構成される抵抗ラダー回路 5 0 0 を有する。抵抗ラダー回路 5 0 0 は、抵抗値 R の抵抗 5 1 1 ~ 5 1 4 と、2 倍の抵抗値 $2R$ の抵抗 5 2 1 ~ 5 2 3 を有する。右端の抵抗 5 1 4 を介して流れる電流 I_o に対し、隣の抵抗 5 2 3 を介して流れる電流は $2 \times I_o$ となる。同様に、抵抗 5 2 2 を介して流れる電流は $4 \times I_o$ 、抵抗 5 2 1 を介して流れる電流は $8 \times I_o$ となる。スイッチ $S_0 \sim S_3$ の接続先を制御信号 D に応じて切換え、出力端子 5 0 1 に供給される電流の組合せを変えることで出力端子 5 0 1 から出力される参照電流 I_{REF} の値を調整することが出来る。

20

【 0 0 4 4 】

抵抗ラダー回路 5 0 0 の入力端子 5 0 4 の接続先は、切換え信号 S によって制御されるスイッチ S_1 7 によって $+V_{REF}$ が印加された端子 5 0 2 と、 $-V_{REF}$ が印加された端子 5 0 3 との間で切換えられる。入力端子 5 0 4 に印加される電圧を $+V_{REF}$ と $-V_{REF}$ との間で切換えることによって、参照電流 I_{REF} を $+$ の値から $-$ の値まで変化させることが出来る。従って、 $+$ の電流値から $-$ の電流値まで変化する正弦波に対応した参照電流 I_{REF} を供給する電流源を構成することが出来る。制御信号 D 、及び切換え信号 S は、例えば、復調器 1 0 3 から電流制御信号 $Cont_1$ 、 $Cont_2$ として供給される。本構成例の電流源は、電流制御信号 $Cont_1$ 、 $Cont_2$ に応じた電流を供給することができる。

30

【 0 0 4 5 】

(第 3 の実施形態)

図 7 は、第 3 の実施形態の電流検出システムを示す図である。本実施形態は、DA コンバータ 6 0 1、変調器 6 0 2、アイソレータ 6 0 3、復調器 6 0 4 を有する。DA コンバータ 6 0 1 は、制御回路 1 0 0 のデジタル信号をアナログ信号に変換して変調器 6 0 2 に供給する。変調器 6 0 2 は、例えば、AM 変調器、FSK 変調器で構成する。変調器 6 0 2 の出力信号は、アイソレータ 6 0 3 に供給される。アイソレータ 6 0 3 の出力信号は、復調器 6 0 4 に供給される。復調器 6 0 4 は、変調器 6 0 2 に対応して構成される。例えば、変調器 6 0 2 が AM 変調器であれば、AM 復調器で構成される。復調器 6 0 4 は、電流制御信号 $Cont$ を生成して電流源 2 4 に供給する。電流源 2 4 は、電流制御信号 $Cont$ に応じて変化する参照電流 I_{REF} を生成する。例えば、電流制御信号 $Cont$ により電流源 2 4 を構成する MOS トランジスタ (図示せず) のゲート電圧を制御して参照電流 I_{REF} をアナログ的に変化させる構成とすることが出来る。

40

【 0 0 4 6 】

スイッチング素子 2 2 のドレイン電圧 V_1 とスイッチング素子 2 3 のドレイン電圧 V_2 を比較する比較回路 2 5 の検出信号は、アイソレータ 6 0 6 を介して制御回路 1 0 0 に供給される。制御回路 1 0 0 は、アイソレータ 6 0 5 を介して駆動回路 1 0 に制御信号を供給する。

【 0 0 4 7 】

50

本実施形態においては、制御回路100からの基礎データは、DAコンバータ601によってアナログ変換され、アイソレータ603を介して高圧側に供給される。アイソレータ603は、アナログ信号をそのまま高圧側に供給すれば良い為、周波数帯域が比較的狭い構成とすることが出来る。スイッチング素子22のドレイン電圧V1とスイッチング素子23のドレイン電圧V2を比較する比較回路25は高圧側に設けられ、その検出信号がアイソレータ606を介して制御回路100に供給される。比較回路25の検出信号は、スイッチング素子22のドレイン電圧V1とスイッチング素子23のドレイン電圧V2の比較結果に基づく1ビットのデジタル信号である。従って、比較回路25の検出信号を伝送するアイソレータ606は、伝送速度が比較的遅いアイソレータで構成することが出来る。

10

【0048】

(第4の実施形態)

図8は、第4の実施形態の電源回路を示す図である。本実施形態は、交流電圧を直流電圧に変換するAC/DCコンバータを構成する。本実施形態は、電流検出回路20-1、20-2、出力端子712と713の間に接続されるコンデンサ704、ダイオード702、703を有する。入力端子710、711の間には交流電源700、昇圧用インダクタ701が接続される。ダイオード702は、入力端子711から出力端子712に向けて順方向に接続され、ダイオード703は、出力端子713から入力端子711に向けて順方向に接続される。

【0049】

20

電流検出回路20-1は、スイッチング素子22-1のドレイン電圧V1-1とスイッチング素子23-1のドレイン電圧V2-1を比較回路25-1によって比較して、スイッチング素子21-1、22-1を流れる出力電流Id1を検出する。スイッチング素子23-1に参照電流I_{REF1}を供給する電流源24-1は、DAコンバータ104-1に供給される電流制御信号Cont₁₁によって制御される。

【0050】

電流検出回路20-2は、スイッチング素子22-2のドレイン電圧V1-2とスイッチング素子23-2のドレイン電圧V2-2を比較回路25-2によって比較して、スイッチング素子21-2、22-2を流れる出力電流Id2を検出する。スイッチング素子23-2に参照電流I_{REF2}を供給する電流源24-2は、DAコンバータ104-2に供給される電流制御信号Cont₁₂によって制御される。比較回路25-1、25-2の検出信号は、夫々、アイソレータ105-1、105-2を介して制御回路100に供給される。

30

【0051】

制御回路100は、参照電流I_{REF1}、I_{REF2}を制御する基礎データのデジタル信号を変調器101に供給する。基礎データは、例えば、交流電源700の正弦波に基づいて生成されるデジタル信号である。変調器101は、制御回路100からのデジタル信号をマンチェスター符号等で符号化した変調信号を生成し、アイソレータ102-1、102-2を介して復調器103-1、103-2に供給する。復調器103-1、103-2は、電流制御信号Cont₁₁、Cont₁₂を生成してDAコンバータ104-1、104-2に供給する。電流源24-1、24-2は、DAコンバータ104-1、104-2と協働して参照電流I_{REF1}、I_{REF2}を出力する。

40

【0052】

電流検出回路20-1のスイッチング素子21-1、22-1、23-1は駆動回路10-1によって駆動され、電流検出回路20-2のスイッチング素子21-2、22-2、23-2は駆動回路10-2によって駆動される。制御回路100は、比較回路25-1、25-2からの検出信号にตอบสนองして制御信号を生成して駆動回路10-1、10-2に供給する。

【0053】

駆動回路10-1、10-2は、制御回路100からの制御信号にตอบสนองして、電流検出

50

回路 20 - 1 のスイッチング素子 21 - 1、22 - 1 と電流検出回路 20 - 2 のスイッチング素子 21 - 2、22 - 2 のオン/オフを制御する。インダクタ電流 I_L は、電流検出回路 20 - 1 のスイッチング素子 21 - 1、22 - 1 を流れる出力電流 I_{d1} と電流検出回路 20 - 2 のスイッチング素子 21 - 2、22 - 2 を流れる出力電流 I_{d2} となる。電流検出回路 20 - 1 のスイッチング素子 21 - 1、22 - 1 と電流検出回路 20 - 2 のスイッチング素子 21 - 2、22 - 2 を交互にオン/オフすることにより、出力端子 712 を + 側、出力端子 713 を - 側とする出力電圧 V_{out} がコンデンサ 704 にチャージされる。

【0054】

第 4 の実施形態の動作を、図 9 を用いて説明する。図 9 (A) は、入力電圧 V_{in} が正、すなわち、入力端子 710 側の電圧が入力端子 711 側の電圧よりも高い場合を示す。横軸は時間を示す。上段はインダクタ電流 I_L 、次段は電流検出回路 20 - 1 のスイッチング素子 21 - 1、22 - 1 を流れる出力電流 I_{d1} 、下段は電流検出回路 20 - 2 のスイッチング素子 21 - 2、22 - 2 を流れる出力電流 I_{d2} を示す。図 11 (A) の上段の破線 720 は、制御回路 100 から供給される正弦波の基礎データによって生成された参照電流 I_{REF1} を示す。

10

【0055】

入力電圧 V_{in} が正の状態では、電流検出回路 20 - 1 の電流源 24 - 1 の参照電流 I_{REF1} が、正弦波に対応した値になる様に電流制御信号 $Cont_{11}$ が生成される。スイッチング素子 21 - 1、22 - 1 を流れる出力電流 I_{d1} が参照電流 I_{REF1} に達したタイミング t_{11} 、 t_{13} 、 t_{15} 、 t_{17} でスイッチング素子 21 - 1、22 - 1 をオフにし、電流検出回路 20 - 2 のスイッチング素子 21 - 2、22 - 2 をオンにする。

20

【0056】

入力電圧 V_{in} が正の状態では、電流源 24 - 2 の参照電流 I_{REF2} は、電流制御信号 $Cont_{12}$ によってゼロに設定される。電流検出回路 20 - 2 のスイッチング素子 21 - 2、22 - 2 を流れる出力電流 I_{d2} がゼロになるタイミング t_{12} 、 t_{14} 、 t_{16} 、 t_{18} で、電流検出回路 20 - 2 のスイッチング素子 21 - 2、22 - 2 をオフにし、電流検出回路 20 - 1 のスイッチング素子 21 - 1、22 - 1 をオンにする。

【0057】

電流検出回路 20 - 1 のスイッチング素子 21 - 1、22 - 1 を流れる出力電流 I_{d1} が参照電流 I_{REF1} に達したタイミング t_{11} 、 t_{13} 、 t_{15} 、 t_{17} で電流検出回路 20 - 1、20 - 2 のスイッチング素子 21 - 1、22 - 1、21 - 2、22 - 2 のオン/オフを制御することにより、出力電流 I_{d1} の上限の値、従って、インダクタ電流 I_L を制御回路 100 が供給する正弦波に基づく基礎データによって制御することが出来る。すなわち、インダクタ電流 I_L の包絡線を交流電源 700 の正弦波に一致させることが出来る。

30

【0058】

図 9 (B) は、入力電圧 V_{in} が負、すなわち、入力端子 711 側の電圧が入力端子 710 側の電圧よりも高い場合を示す。入力電圧 V_{in} が反転する為、インダクタ電流 I_L の向きは反転するが、便宜的に、上側を正にして示す。図 9 (B) の上段の破線 721 は、制御回路 100 から供給される正弦波の基礎データによって電流源 24 - 2 が出力する参照電流 I_{REF2} を示す。横軸は時間を示す。図 9 (B) の上段はインダクタ電流 I_L 、次段は電流検出回路 20 - 1 のスイッチング素子 21 - 1、22 - 1 を流れる出力電流 I_{d1} 、下段は電流検出回路 20 - 2 のスイッチング素子 21 - 2、22 - 2 を流れる出力電流 I_{d2} を示す。

40

【0059】

入力電圧 V_{in} が負の状態では、電流検出回路 20 - 2 の電流源 24 - 2 の参照電流 I_{REF2} が、正弦波に対応した値になる様に電流制御信号 $Cont_{12}$ が生成される。スイッチング素子 21 - 2、22 - 2 を流れる出力電流 I_{d2} が参照電流 I_{REF2} に達したタイミング t_{21} 、 t_{23} 、 t_{25} 、 t_{27} で電流検出回路 20 - 2 のスイッチング素子 2

50

1 - 2、22 - 2をオフにし、電流検出回路20 - 1のスイッチング素子21 - 1、22 - 1をオンにする。

【0060】

入力電圧 V_{in} が負の状態では、電流源24 - 1の参照電流 I_{REF1} は、電流制御信号 $Cont_{11}$ によってゼロに設定される。電流検出回路20 - 1のスイッチング素子21 - 1、22 - 1を流れる出力電流 I_{d1} がゼロになるタイミング t_{22} 、 t_{24} 、 t_{26} 、 t_{28} で、電流検出回路20 - 1のスイッチング素子21 - 1、22 - 1をオフにし、電流検出回路20 - 2のスイッチング素子21 - 2、22 - 2をオンにする。

【0061】

電流検出回路20 - 2のスイッチング素子21 - 2、22 - 2を流れる出力電流 I_{d2} が参照電流 I_{REF2} に達したタイミング t_{21} 、 t_{23} 、 t_{25} 、 t_{27} で電流検出回路20 - 1のスイッチング素子21 - 1、22 - 1と電流検出回路20 - 2のスイッチング素子21 - 2、22 - 2のオン/オフを制御することにより、出力電流 I_{d2} の下限の値、従って、インダクタ電流 I_L を制御回路100が供給する正弦波に基づく基礎データによって制御することが出来る。すなわち、インダクタ電流 I_L の包絡線を交流電源700の正弦波に一致させることが出来る。

【0062】

本実施形態によれば、インダクタ電流 I_L は制御回路100が出力する交流電源700の正弦波に基づく基礎データに応じて生成される参照電流 I_{REF1} 、 I_{REF2} によって制御される。これによって、インダクタ電流 I_L の包絡線を交流電源700の正弦波に一致させることが出来る。すなわち、入力電圧 V_{in} の位相と出力電流の位相を一致させて電源回路の力率を高めることが出来る。また、電流検出回路20 - 1、20 - 2により出力電流 I_{d1} 、 I_{d2} を検出することによりインダクタ電流 I_L を検出することが出来る為、インダクタ電流 I_L を検出する為の回路を別途設ける必要がない。更に、制御回路100が設けられる低圧側と入力電圧 V_{in} が印加される高圧側との間にアイソレータ102 - 1、102 - 2、105 - 1、105 - 2、106 - 1、106 - 2を設けることにより、低圧側と高圧側を電氣的に絶縁分離して結合することが出来る。比較回路25 - 1、25 - 2の検出信号は、スイッチング素子21 - 1、22 - 1、21 - 2、22 - 2のスイッチングサイクル毎に出力されるドレイン電圧 V_{1-1} とドレイン電圧 V_{2-1} 、及びドレイン電圧 V_{1-2} とドレイン電圧 V_{2-2} の比較結果を示す1ビットの信号で有る為、アイソレータ105 - 1、105 - 2は、伝送速度が比較的遅いアイソレータで構成することが出来る。

【0063】

ノーマリオン型のスイッチング素子は、JFET (Junction Field Effect Transistor) で構成してもよい。

【0064】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

【0065】

10 駆動回路、20、20 - 1、20 - 2 電流検出回路、21 ~ 23 スwitchング素子、24 電流源、25 比較回路、100 制御回路、700 交流電源、701 昇圧用インダクタ、702、703 ダイオード、704 コンデンサ。

10

20

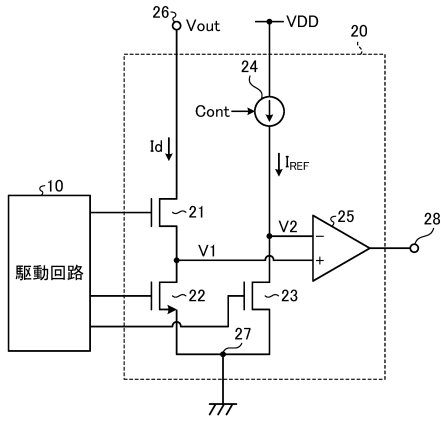
30

40

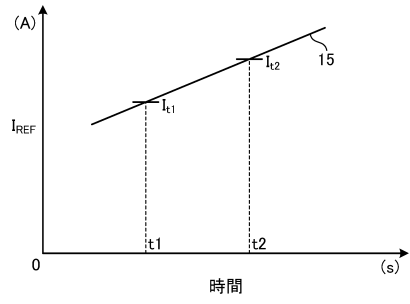
50

【図面】

【図 1】

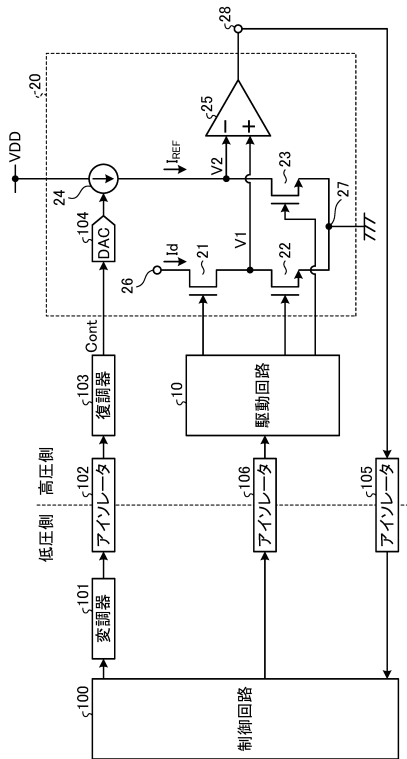


【図 2】

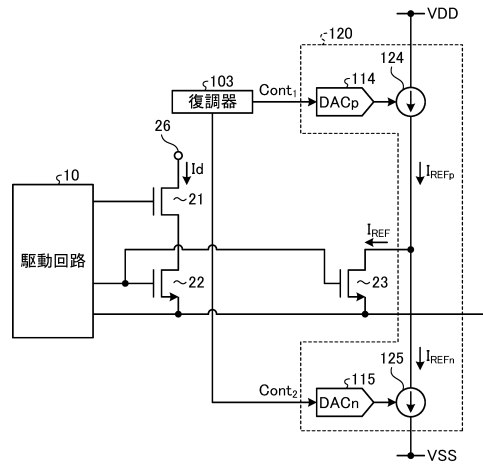


10

【図 3】



【図 4】



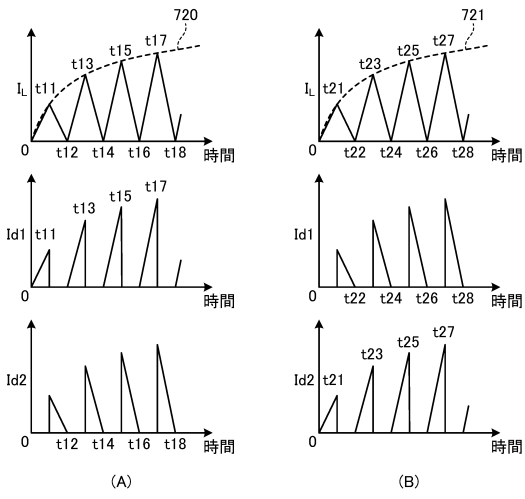
20

30

40

50

【 図 9 】



10

20

30

40

50

フロントページの続き

- (56)参考文献 特開2019-004686(JP,A)
特開2014-121236(JP,A)
特開2004-140423(JP,A)
特開2020-107966(JP,A)
特開2004-289750(JP,A)
国際公開第2012/120788(WO,A1)
- (58)調査した分野 (Int.Cl., DB名)
G01R 19/00 - 19/32
G05F 1/56