

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年5月22日(22.05.2020)



(10) 国際公開番号

WO 2020/100338 A1

(51) 国際特許分類:

H01L 21/3065 (2006.01) *H01L 21/76* (2006.01)
H01L 21/31 (2006.01) *H01L 29/78* (2006.01)
H01L 21/336 (2006.01)

(21) 国際出願番号: PCT/JP2019/024708

(22) 国際出願日: 2019年6月21日(21.06.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人: 株式会社日立ハイテク
(**HITACHI HIGH-TECH CORPORATION**) [JP/
JP]; 〒1056409 東京都港区虎ノ門一丁目
17番1号 Tokyo (JP).

(72) 発明者: 長光 優典 (**NAGAMITSU, Yusuke**);
〒1058717 東京都港区西新橋一丁目24番14

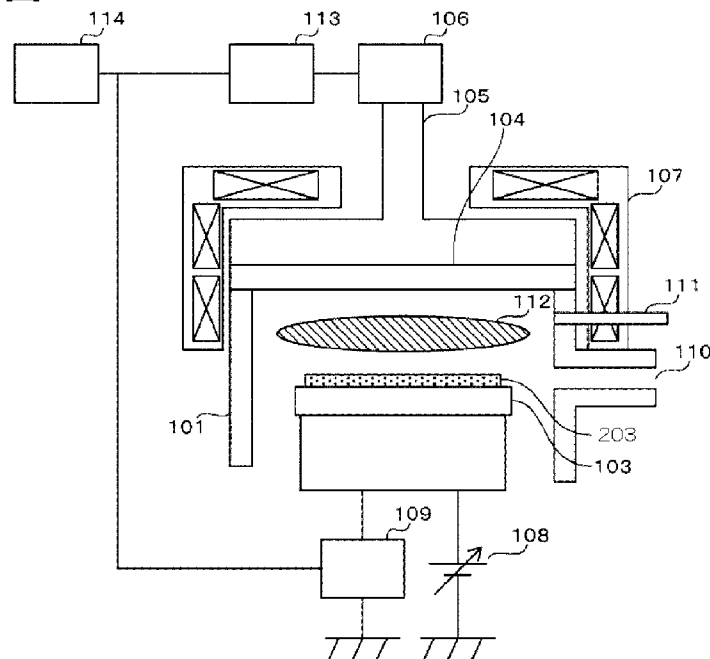
号 株式会社日立ハイテクノロジーズ内 Tokyo
(JP). 島 剛志(**SHIMA, Takeshi**); 〒1058717 東京都
港区西新橋一丁目24番14号 株式会
社日立ハイテクノロジーズ内 Tokyo (JP). 島
田 剛(**SHIMADA, Takeshi**); 〒1058717 東京都
港区西新橋一丁目24番14号 株式会
社日立ハイテクノロジーズ内 Tokyo (JP). 渡邊 勇
人(**WATANABE, Hayato**); 〒1058717 東京都港
区西新橋一丁目24番14号 株式会社日立
ハイテクノロジーズ内 Tokyo (JP).

(74) 代理人: 特許業務法人第一国際特許事務所
(**Patent Corporate Body Dai-ichi Kokusai Tokkyo
Jimusho**); 〒1010032 東京都千代田区岩本町
三丁目5番12号 Tokyo (JP).

(54) **Title:** PLASMA PROCESSING METHOD

(54) 発明の名称: プラズマ処理方法

図1



(57) **Abstract:** This plasma processing method is a plasma processing method for forming a STI on a silicon substrate, said method comprising a trench formation step in which a trench is formed in the silicon substrate by means of plasma generated using pulse-modulated high frequency power, and an oxidation step in which the silicon substrate is oxidized using only oxygen gas subsequent to the trench formation step, wherein the trench formation step and the oxidation step are repeated a plurality of times.



WO 2020/100338 A1

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))
- 請求の範囲の補正の期限前の公開であり、補正を受理した際には再公開される。(規則48.2(h))
- 出願人の請求に基づく第21条(2)(a)による期間経過前の公開。

(57) 要約: プラズマ処理方法は、シリコン基板にSTIを形成するプラズマ処理方法において、パルス変調された高周波電力により生成されたプラズマを用いて前記シリコン基板にトレンチを形成するトレンチ形成工程と、前記トレンチ形成工程後、酸素ガスのみを用いて前記シリコン基板を酸化させる酸化工程とを有し、前記トレンチ形成工程と前記酸化工程を複数回、繰り返す。

明 細 書

発明の名称： プラズマ処理方法

技術分野

[0001] 本発明は、プラズマ処理方法に関する。

背景技術

[0002] 近年、半導体の微細化が促進され、デバイスの構造にも影響を与えている。例えば、従来のトランジスタ構造では、ゲート長の縮小に伴うソースドレイン間の短チャネル効果による閾値電圧低下を無視できなくなっている。そこで、F i n（以下、f i nともいう）と呼ばれるソース、ドレイン電極をゲート電極側壁に設けるF i n F E T（Fin-Field Effect Transistor）構造が用いられるようになった。

[0003] 一般的なF i n F E Tにおいては、ポリシリコンゲート電極に交差するF i nにイオン打ち込みを行ってソース、ドレイン電極が形成され、トランジスタの駆動電流が制御される。この際、所望のF i nの高さが得られないと、F i nの面積が減少することから、トランジスタの駆動電流の低下の要因となる。また、F i nの側壁形状にラフネスが発生すると、デバイスパフォーマンスが低下するため、F i nの側壁は極力垂直に近い形状が求められる。

[0004] 一方、半導体の製造分野においては、素子分離技術として浅溝分離（Shallow Trench Isolation:以下S T Iと略称する）が用いられている。S T Iでは、例えば異方性エッチングによりシリコン基板にトレンチ（エッチング溝とも言う）が形成される。そして、このトレンチを組み合わせ、F i nを形成することができる。

[0005] ところで、一般的なシリコン基板には、トレンチの幅が比較的狭く、かつトレンチが比較的密に設けられている領域（以下、密部パターンと略称する）と、トレンチ幅が広く、かつトレンチが比較的疎に設けられている領域（以下、疎部パターンと略称する）が形成される。

- [0006] そして、エッチングによるシリコン基板にトレンチを形成する工程では、密部パターンおよび疎部パターンにおいて、トレンチの深さおよび形状が同じになるようにエッチングすることが、安定したデバイスパフォーマンスを確保する上で必要不可欠である。しかしながら、密部パターンおよび疎部パターンが混在するシリコン基板をエッチングすると、密部パターンにおけるエッチング速度は遅く、疎部パターンにおけるエッチング速度は速くなって、均一なトレンチ深さが得られない。かかる現象を疎密マイクロローディングという。
- [0007] さらに上述したように、Fin FET構造を有するデバイスでは、Finのシリコン側壁に極力垂直に近い形状が求められる。
- [0008] 特許文献1には、第1の工程と、第2の工程と、第3の工程とを複数回繰り返すことにより、所定の深さのトレンチをシリコン基板に形成する技術が開示されている。より具体的には、第1の工程では Cl_2 ガスを用いてエッチングし、第2の工程ではArガスと CF_4 ガスにてトレンチ側面に堆積した堆積物を除去し、第3の工程では O_2 ガスとArガスとの混合ガスにてトレンチ側面および底面を酸化させることが開示されている。さらに、以上の3つの工程を複数回繰り返すことによって、疎密マイクロローディングを軽減することも開示されている。
- [0009] 更に、特許文献2には、パルス変調電力の印加方法として、プラズマはパルス変調により制御し、基板バイアスは連続電力にパルス状電力を重畳させるように制御するプラズマエッチング方法が開示されている。

先行技術文献

特許文献

- [0010] 特許文献1：特開2015-50440号公報
特許文献2：特開2014-220360号公報

発明の概要

発明が解決しようとする課題

[0011] 上面にハードマスクを設けたシリコン基板を、特許文献１に開示された技術によりエッチングを行うことで、疎密マイクロローディングを低減することはできる。しかしながら、特許文献１に開示された処理は第二の工程を含むため、それによりF i nのシリコン側壁にラフネスが発生するという問題がある。

[0012] 特許文献１の技術を使用してエッチングを行った後の形状を図４に示す。特許文献１に開示された第二の工程は、A rガスとC F₄ガスを用いたプロセスであり、シリコン系の反応生成物を除去する目的で行われる。しかし、フッ素がF i nのシリコン側壁２０１のエッチングに関与して、図４に示すようにラフネス（凹凸）が発生する原因となっている。

[0013] シリコン側壁２０１のラフネスを低減するには、第二の工程を省いて繰り返しエッチングする必要があるが、それにより第一の工程によって付着する堆積物の低減が不十分となる。

[0014] 一方、特許文献２には、三フッ化窒素ガスと酸素ガスの混合ガスを用いたプラズマにより溝の内部に堆積した堆積膜を除去する工程が開示されている。しかし、このような工程を追加で実行すると、処理時間が長くなるから好ましくない。

[0015] 本発明は、シリコン基板のエッチングにおいて、シリコン側壁のラフネスを低減しつつ、疎密マイクロローディングを低減できるプラズマ処理方法を提供することを目的とする。

課題を解決するための手段

[0016] 上記課題を解決するために、代表的な本発明のプラズマ処理方法は、シリコン基板にS T Iを形成するプラズマ処理方法において、

パルス変調された高周波電力により生成されたプラズマを用いて前記シリコン基板にトレンチを形成するトレンチ形成工程と、

前記トレンチ形成工程後、酸素ガスのみを用いて前記シリコン基板を酸化させる酸化工程とを有し、

前記トレンチ形成工程と前記酸化工程を複数回、繰り返すことにより達成

される。

発明の効果

[0017] 本発明により、シリコン基板のエッチングにおいて、シリコン側壁のラフネスの低減及び疎密マイクロローディングの低減を両立するプラズマ処理方法を提供することができる。

上記した以外の課題、構成及び効果は、以下の実施形態の説明により明らかにされる。

図面の簡単な説明

[0018] [図1]図1は、本実施形態におけるプラズマエッチング装置の概略図である。

[図2]図2は、本実施形態における半導体の製造工程を説明する半導体基板の要部断面図である。

[図3]図3は、本実施形態における半導体の製造工程中の図2と同じ箇所の要部断面図である。

[図4]図4は、従来技術における半導体の製造工程中の図2と同じ箇所の要部断面図である。

[図5]図5は、本実施形態における半導体の製造工程中の図2と同じ箇所の要部断面図である。

[図6]図6は、本実施形態における半導体の製造工程中の図2と同じ箇所の要部断面図である。

[図7]図7は、本実施形態における半導体の製造工程中の図2と同じ箇所の要部断面図である。

[図8]図8は、本実施形態における半導体の製造工程のフローチャートである。

発明を実施するための形態

[0019] 以下、本願発明の実施形態について、図面を参照しながら説明する。図1は本実施形態にかかるプラズマ処理方法を実施するために使用するプラズマ処理装置の概略全体構成を示す断面図である。

[0020] プラズマ処理装置は、真空処理室101と、この真空処理室101内に設

けられた下部電極（試料台）１０３と、石英などのマイクロ波透過窓１０４と、その上方に設けられた導波管１０５と、マグネトロン（プラズマ発生装置）１０６と、マグネトロン駆動電源１１３と、真空処理室１０１の周りに設けられたソレノイドコイル１０７と、下部電極１０３に接続された静電吸着電源１０８と、基板バイアス電源１０９と、マグネトロン駆動電源１１３及び基板バイアス電源１０９の供給電力を制御するための電力制御部１１４と、から成る。下部電極１０３は、シリコン基板２０３を保持するウエハ載置面を備えている。

[0021] マグネトロン駆動電源１１３がプラズマ発生用電力をマグネトロン１０６に供給し、基板バイアス電源１０９は、基板バイアス電力を下部電極１０３に供給する。

[0022] さらに、真空処理室１０１にシリコン基板２０３を搬入し又はそこから搬出するためにウエハ搬入口１１０が設けられ、真空処理室１０１にガスを供給するためのガス供給口１１１が設けられている。

[0023] 次に、上記のように構成されたプラズマ処理装置の動作を説明する。真空処理室１０１の内部を減圧した後、エッチングガスをガス供給口１１１から真空処理室１０１内に供給し、所望の圧力に調整する。

[0024] 続いて、静電吸着電源１０８により直流電圧を数百Ｖ印加することで、シリコン基板２０３を下部電極１０３の上の配置面に静電吸着させる。その後、マグネトロン駆動電源１１３からプラズマ発生用電力を供給されたとき（オン時）に、マグネトロン１０６から周波数２．４５ＧＨｚのマイクロ波を発振する。このマイクロ波は、導波管１０５を通して真空処理室１０１内に伝播される。なお、プラズマ発生用電力が供給されないとき（オフ時）は、マグネトロン１０６はマイクロ波の発振を停止する。

[0025] 真空処理室１０１内には、ソレノイドコイル１０７によって磁場が発生させられており、この磁場と、発振されたマイクロ波の相互作用により、真空処理室１０１内に高密度のプラズマ１１２が生成される。

[0026] プラズマ１１２が生成された後、基板バイアス電源１０９から下部電極１

03に高周波電力が供給され、プラズマ中のイオンがウエハへ入射するエネルギーを制御することで、シリコン基板203のエッチング処理を行うことができる。

[0027] そして、マグネトロン106に供給される電力をパルス変調することで、パルスプラズマを発生させることができる。より具体的には、0%を超え、100%未満のデューティー比でプラズマ発生用電力がオン／オフされると、定常放電時と比べてプラズマ発生時の電子密度や電子温度、ラジカル密度が高くなる。なお、この際に生じるプラズマを、パルスプラズマと称する。

[0028] また、基板バイアス電源109の出力もパルス変調されて、パルス変調された電力を下部電極103に印加することができる。プラズマ発生用電力あるいは基板バイアス電力は、電力制御部114によって制御される。

[0029] ここで、デューティー比とは、電力のオン／オフ合計時間に対する、オン時間の割合をいうものとする。

[0030] なお、仕様条件に合わせて、プラズマ発生用電力のデューティー比は15～40%の範囲内で適宜変更でき、また基板バイアス電力のデューティー比は5～40%の範囲内で適宜変更できる。ただし、プラズマ発生用電力がオンの時のみ、基板バイアス電力がオンされるように制御される。

[0031] 以下に、図2～図8を参照して、このプラズマ処理装置を用いたSTIのプラズマ処理方法の実施形態を述べる。図2に示すように、初期構造として、シリコン基板203の上にハードマスク202を形成する。ハードマスク202は、所定間隔にパターニングされた密部パターンDPと、密部パターンDPより広い間隔でパターニングされた疎部パターンSPとを有する。密部パターンDPにおける隣り合うハードマスク202の間隔は、20nm以下、例えば10nm程度である。

[0032] プラズマ処理により、Finが形成されたシリコン基板203の形状を図3に示す。Finを形成するプロセスは、以下の通りである。

(1) 真空処理室101内にC_l₂ガスを供給して0.4Pa以下の圧力とし、且つパルスプラズマを形成するためのプラズマ発生用電力のデューティー

比を40%以下とするプロセス条件で、シリコン基板203をエッチングする（第一の工程、図8のステップS11）。

（2）真空処理室101内に SF_6 と CHF_3 の混合ガスを供給し、シリコン基板203を垂直加工処理する（第二の工程、図8のステップS12）。ここで、垂直加工処理とは、シリコン基板203の表面に対して略垂直に加工する処理をいう。

（3）真空処理室101内に O_2 ガスを供給し、基板バイアス電源の電力5W以下、処理時間10秒以下とするプロセス条件で、シリコン基板203の表面を酸化させる（第三の工程、図8のステップS13）。

（4）第一工程から第三の工程を複数回繰り返し、トレンチ深さが40nm以上になるまでエッチング処理を行う。第一工程から第三の工程を複数回繰り返す工程を、fin FETのfinを形成するfin形成工程という。

[0033] 本実施形態では第一工程から第三の工程を7回繰り返してエッチング処理を行い、それによりトレンチ深さを65nmとした。並行して形成したトレンチの間がFinとなる。

[0034] なお、本実施形態ではトレンチ深さが65nmとなるまでエッチング処理したが、これに限らずFinを形成できる所定の深さまでエッチング処理すれば足りる。

[0035] また、Finの形成後は、疎密マイクロローディングによるトレンチ深さの差が25nmとなったが、シリコン側壁201にはラフネスが発生していない。次のSTIを形成する工程にて、疎密マイクロローディングを低減するプラズマエッチング処理を実施する。

[0036] 本実施形態のプラズマエッチング処理方法として、fin形成工程後に、さらにパルスプラズマ及び Cl_2 ガスを用いた第四の工程（トレンチ形成工程）と、連続放電によるプラズマ及び O_2 ガスのみを用いた第五の工程（酸化工程）を繰り返し行う。これにより、Finを構成するシリコン側壁201にラフネスを発生させずに、エッチング処理することが可能になる。

[0037] より具体的に、STIを形成する工程を説明する。表1に、本実施形態に

おける第四の工程及び第五の工程にかかる処理条件の一例をまとめて示す。

[0038] [表1]

工程	ガス流量				圧力	プラズマ発生用電源		基板バイアス電源	
	Ar	CH4	O2	Cl2		電力値	デューティー比	電力値	デューティー比
	(mL/min)					(Pa)	(W)	(%)	(W)
4	30	4	-	100	0.1	800	40	400	25
5	-	-	100	-	0.8	900	100	5	100

[0039] まず、図5に示すように、第四の工程（図8のステップS14）でハードマスク202を用いたエッチングにより、シリコン基板203にトレンチを形成する。処理条件としてCl₂ガスを用い、Cl₂ガスの流量を200ml/min以下、圧力を0.3Pa以下とすると好ましい。代表的にはCl₂ガス流量を100ml/min、Arガス流量を30ml/min、CH₄ガスを4ml/min以下、圧力を0.1Paとした。

第四の工程は、パルス変調された高周波電力をシリコン基板203が載置される下部電極103に供給しながら行われると好ましい。また、プラズマを生成するためのパルス変調された高周波電力のデューティー比は、下部電極103に供給されパルス変調された高周波電力のデューティー比より大きいと好ましい。

[0040] なお、本実施形態ではArガスを使用したか、Heガスに置き換えまたは適宜混合させてもよく、それによっても、Arガス単独の場合と同等の効果が得られる。

[0041] ここで、プラズマ発生用電力を800W、デューティー比を40%とし、基板バイアス電力を400W、デューティー比を25%とし、プラズマ発生用電力と基板バイアス電力をパルス変調させるDual TM (Time Modulation)によって同期させた。

[0042] また、第四の工程ではDual TMによってパルス変調させることで、ハードマスク202への堆積物の付着を抑制することができる。さらに、ガス圧力を低くすることでエッチング中の反応生成物は減少し、ハードマスク2

O₂に付着する堆積物がより減少する。

[0043] そのため、従来技術の第二の工程のようなシリコン系の反応生成物を除去する工程は不要となり、Finのラフネスを低減できる。また、第四の工程の処理時間が長すぎると、疎部パターンSPのエッチングが進行しやすく疎密マイクロローディングの悪化を招くため、第四の工程の処理時間は8秒とした。

[0044] 次に図6に示すように、第五の工程（図8のステップS15）で、ハードマスク202の側面および上面、ならびにシリコン表面に酸化部分204を形成する。この酸化部分204を設けることによって、その後に第四の工程が繰り返されて実行されるときに、シリコン基板203をさらに深さ方向にエッチングする際、ハードマスク202の側面およびシリコン側壁201のエッチングを防ぐことが出来る。

[0045] 第五の工程の処理条件として、O₂ガスのみを用いて、プラズマ発生用電力900Wの連続波でプラズマを生成し、基板バイアス電力5Wの連続波を印加させつつプラズマ処理をした。基板バイアス電力を印加させることで、密部パターンDPのシリコン側壁201が酸化されやすくなり、ラフネスの発生を防止する。しかし、10W以上印加させると、深さ方向のエッチングが抑制されるので、疎密マイクロローディングが悪化する。よって、基板バイアス電力は5Wの連続波とした。

第五の工程は、変調されていない高周波電力を下部電極103に供給しながら行われると好ましい。

[0046] 第五の工程ではO₂ガスの流量が多く、処理時間が長いと密部パターンDPの領域において露出したシリコン表面が過剰に酸化されるため、その後に第四の工程が繰り返されて実行されるときに、シリコン基板203のエッチングが阻害される。また、圧力が低すぎると疎部パターンSPに露出したシリコン表面が酸化しにくいので、深さ方向のエッチングを抑制できず、疎密マイクロローディング悪化の原因となる。そのため、O₂のガス流量は100 ml/min以下、圧力を0.8 Pa以下、処理時間は7秒とした。

- [0047] 本実施形態では、第四の工程の処理時間は8秒、第五の工程の処理時間は7秒としたが、いずれも処理時間が長すぎると、疎密マイクロローディング悪化の原因となる。そのため、第四の工程と第五の工程は、処理時間が10秒以内であることが好ましく、それにより同様な効果が得られる。
- [0048] 表1に示す処理条件で、図5（第四の工程）、図6（第五の工程）を用いて説明した二つの工程を所定の深さになるように繰り返しエッチングする。本実施形態では、トレンチ深さが110nmになるように5回繰り返した。
- [0049] 図7に示すように、疎密マイクロローディングによるトレンチ深さの差は10nmまで減少した。本実施形態ではトレンチ深さが110nmとなるまでエッチングをしたが、第四の工程と第五の工程を5回以上多く繰り返すと好ましく、それによりトレンチ深さが110nm以上となるようエッチングすることができる。
- [0050] 以上述べたように、本実施形態によれば、第四の工程によりエッチング中に反応生成物を減らし、第五の工程にてシリコン表面を過度な保護を回避することにより、堆積物の堆積を抑制しつつ、疎密マイクロローディングの低減と、Finのシリコン側壁におけるラフネスの低減との両立を実現することができる。
- [0051] なお、本発明は上記した実施の形態に限定されるものではなく、様々な変形例が含まれる。例えば、上記した実施の形態は本発明を分かりやすく説明するために詳細に説明したものであり、必ずしも説明した全ての構成を備えるものに限定されるものではない。また、ある実施の形態における構成の一部を他の実施の形態の構成に置き換えることが可能であり、また、ある実施の形態の構成に他の実施の形態の構成を加えることも可能である。また、各実施の形態における構成の一部について、他の構成の追加・削除・置換をすることも可能である。

符号の説明

- [0052] 101・・・真空処理室、102・・・ウエハ、103・・・下部電極、104・・・マイクロ波透過窓、105・・・導波管、106・・・マグネット

ロン、１０７・・・ソレノイドコイル、１０８・・・静電吸着電源、１０９
・・・基板バイアス電源、１１０・・・ウエハ搬入口、１１１・・・ガス供
給口、１１２・・・プラズマ、１１３・・・マグネトロン駆動電源、２０１
・・・シリコン側壁、２０２・・・ハードマスク、２０３・・・シリコン基
板、２０４・・・酸化部分

請求の範囲

- [請求項1] シリコン基板にS T Iを形成するプラズマ処理方法において、
パルス変調された高周波電力により生成されたプラズマを用いて前記シリコン基板にトレンチを形成するトレンチ形成工程と、
前記トレンチ形成工程後、酸素ガスのみを用いて前記シリコン基板を酸化させる酸化工程とを有し、
前記トレンチ形成工程と前記酸化工程を複数回、繰り返すことを特徴とするプラズマ処理方法。
- [請求項2] 請求項1に記載のプラズマ処理方法において、
前記酸化工程は、連続放電によるプラズマを用いて行われることを特徴とするプラズマ処理方法。
- [請求項3] 請求項1に記載のプラズマ処理方法において、
前記トレンチ形成工程は、パルス変調された高周波電力を前記シリコン基板が載置される試料台に供給しながら行われることを特徴とするプラズマ処理方法。
- [請求項4] 請求項2に記載のプラズマ処理方法において、
前記トレンチ形成工程は、パルス変調された高周波電力を前記シリコン基板が載置される試料台に供給しながら行われることを特徴とするプラズマ処理方法。
- [請求項5] 請求項4に記載のプラズマ処理方法において、
前記プラズマを生成するためのパルス変調された高周波電力のデューティー比は、前記試料台に供給されパルス変調された高周波電力のデューティー比より大きいことを特徴とするプラズマ処理方法。
- [請求項6] 請求項5に記載のプラズマ処理方法において、
前記トレンチ形成工程は、塩素ガスとメタンガスとアルゴンガスの混合ガスを用いて行われることを特徴とするプラズマ処理方法。
- [請求項7] 請求項1に記載のプラズマ処理方法において、
f i n F E Tのf i nを形成するf i n形成工程をさらに有し、

前記トレンチ形成工程は、前記 *f i n* 形成工程後に行われることを特徴とするプラズマ処理方法。

[請求項8] 請求項2に記載のプラズマ処理方法において、
f i n F E T の *f i n* を形成する *f i n* 形成工程をさらに有し、
前記トレンチ形成工程は、前記 *f i n* 形成工程後に行われることを特徴とするプラズマ処理方法。

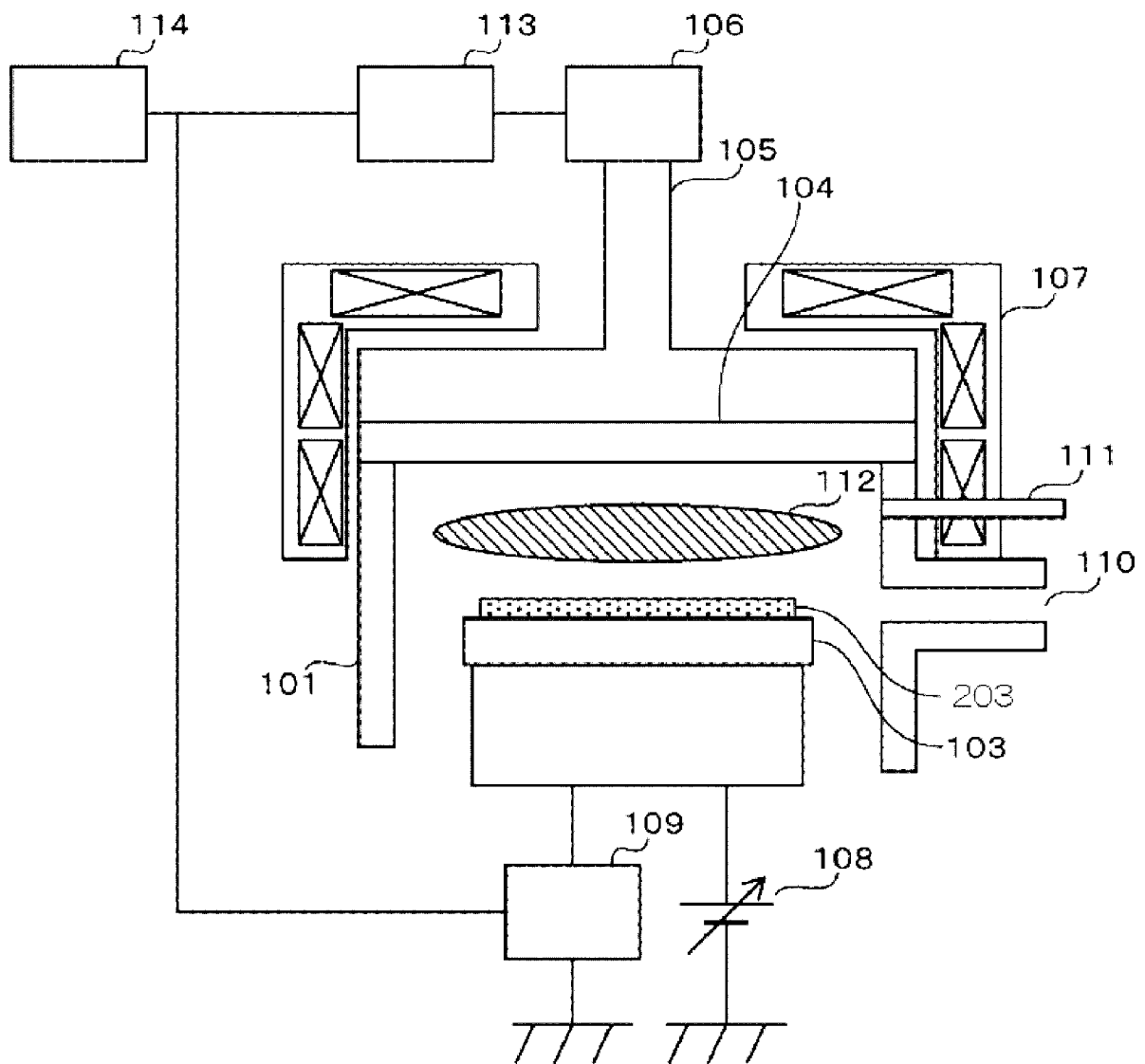
[請求項9] 請求項5に記載のプラズマ処理方法において、
f i n F E T の *f i n* を形成する *f i n* 形成工程をさらに有し、
前記トレンチ形成工程は、前記 *f i n* 形成工程後に行われることを特徴とするプラズマ処理方法。

[請求項10] 請求項6に記載のプラズマ処理方法において、
f i n F E T の *f i n* を形成する *f i n* 形成工程をさらに有し、
前記トレンチ形成工程は、前記 *f i n* 形成工程後に行われることを特徴とするプラズマ処理方法。

[請求項11] 請求項10に記載のプラズマ処理方法において、
前記酸化工程は、変調されていない高周波電力を前記試料台に供給しながら行われることを特徴とするプラズマ処理方法。

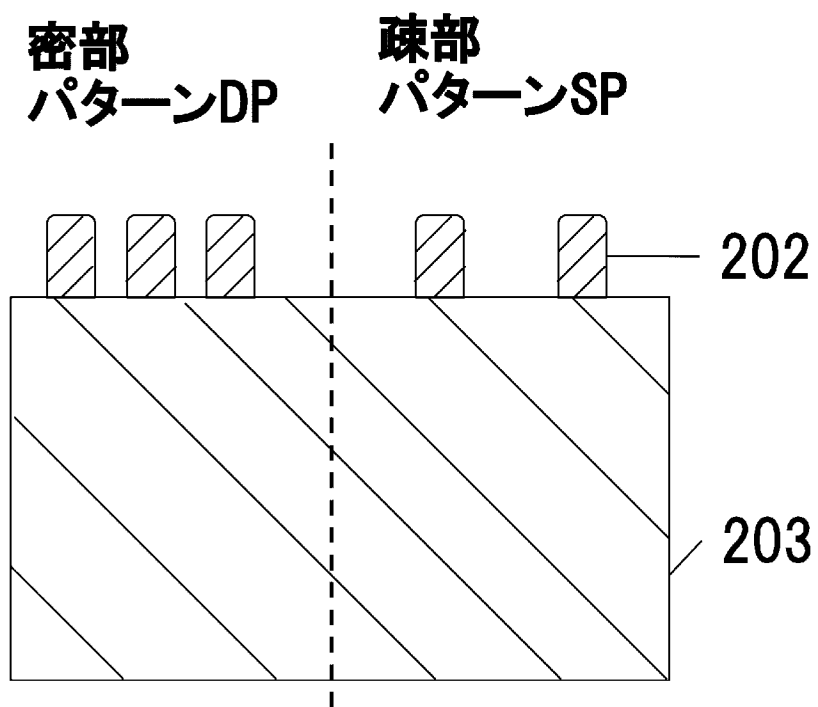
[図1]

圖 1



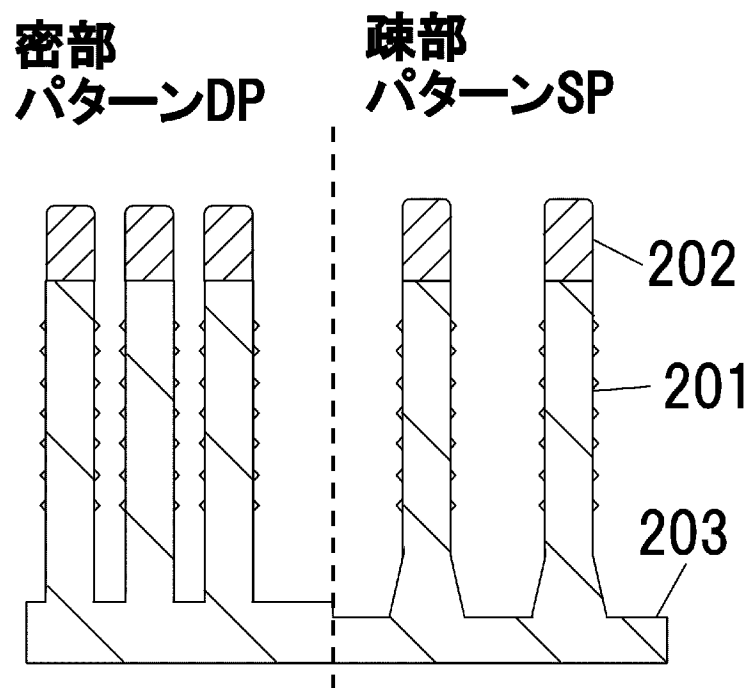
[図2]

図2



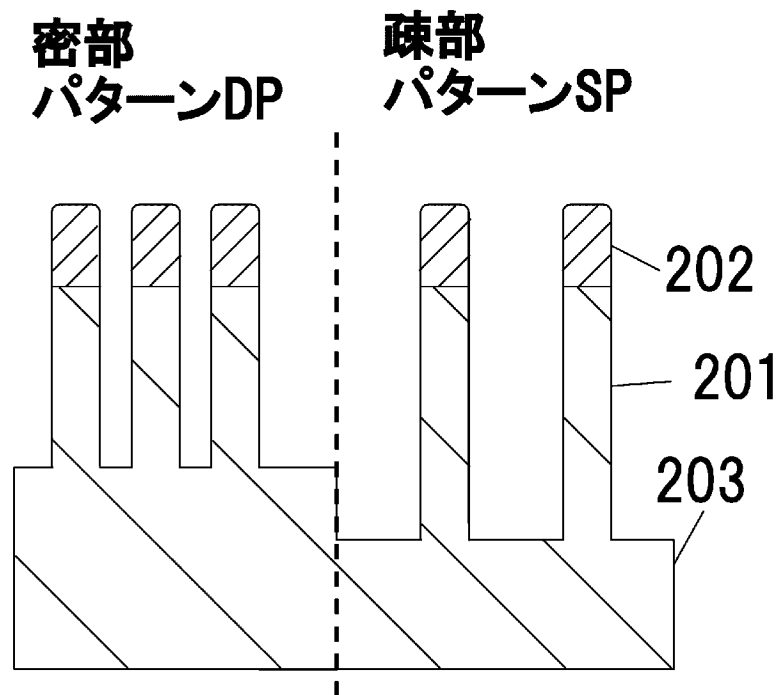
[図3]

図3



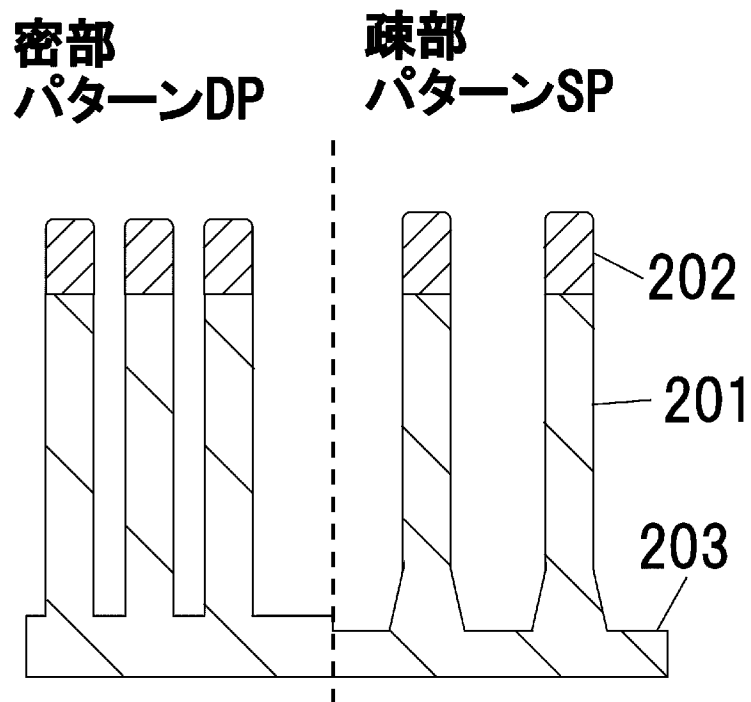
[図4]

図4



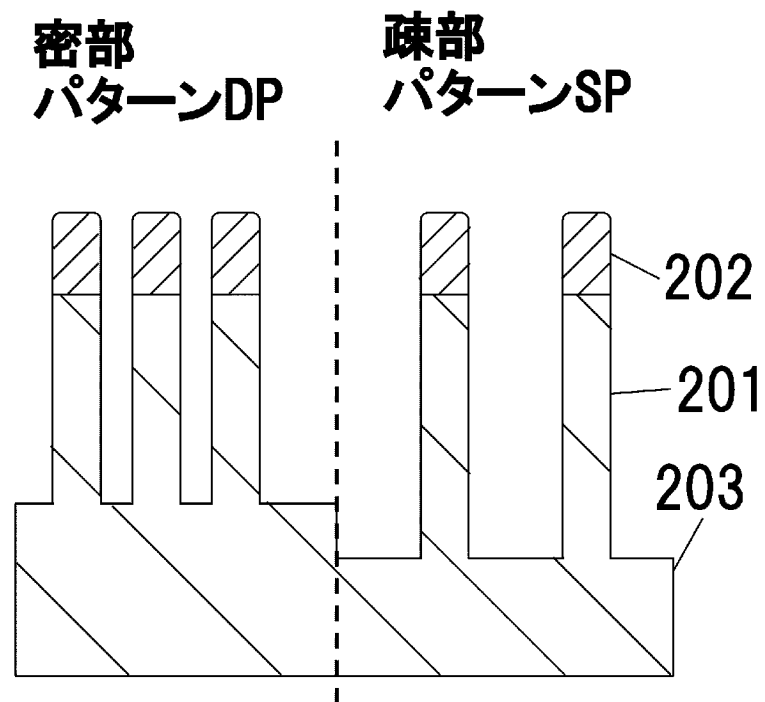
[図5]

図5



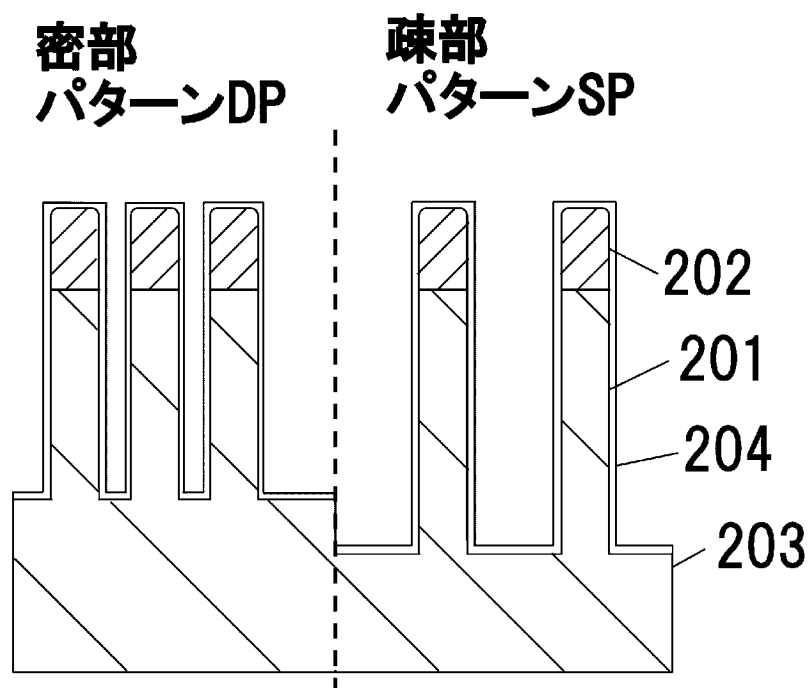
[図6]

図6

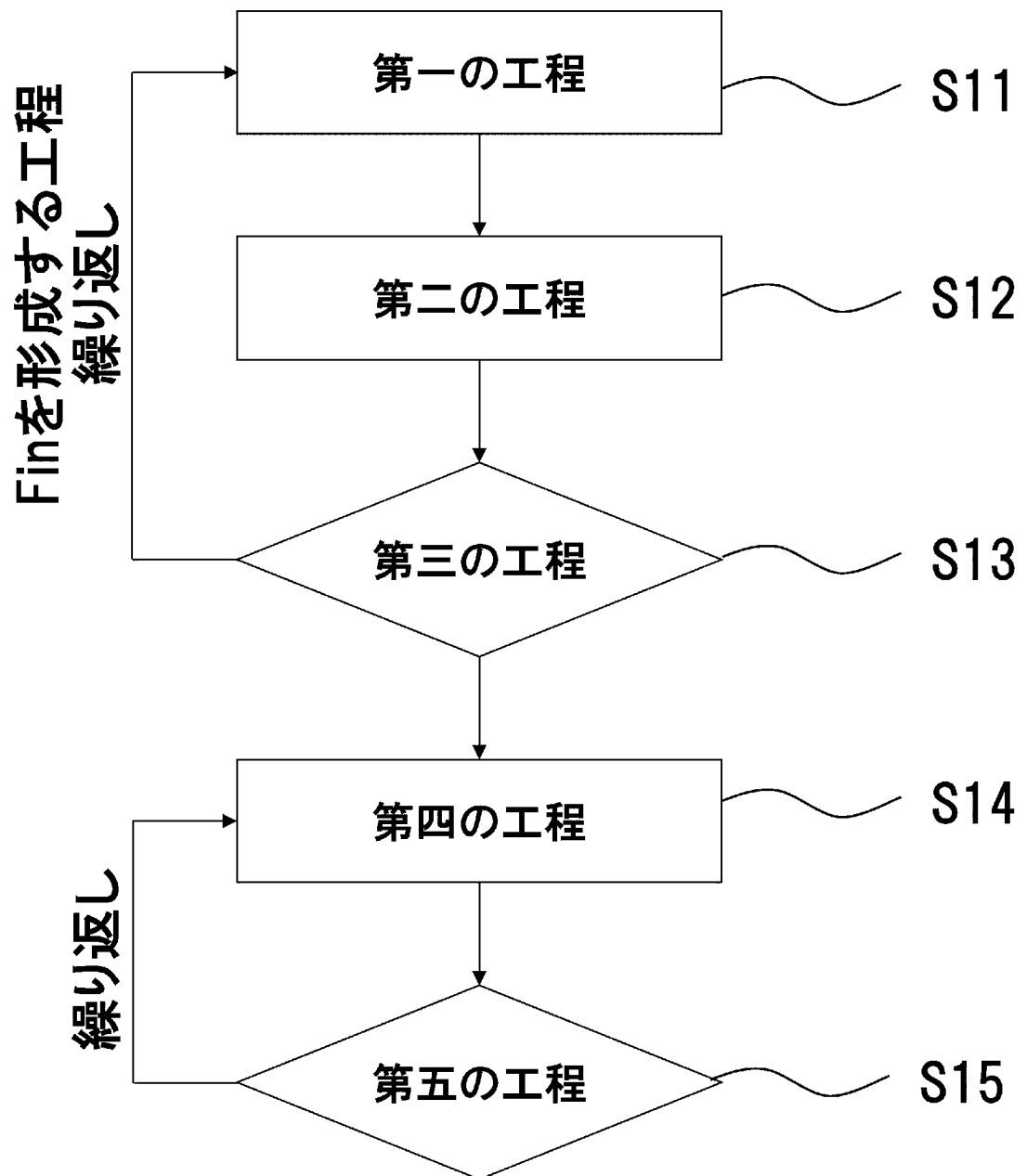


[図7]

図7



[図8]

図8

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/024708

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L21/3065(2006.01)i, H01L21/31(2006.01)i, H01L21/336(2006.01)i,
H01L21/76(2006.01)i, H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L21/3065, H01L21/31, H01L21/336, H01L21/76, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2015-050440 A (HITACHI HIGH-TECHNOLOGIES CORP.)	1-4
Y	16 March 2015, paragraphs [0017]-[0036], [0051]-[0053], fig. 1-6 (Family: none)	1-11
Y	JP 2014-204050 A (HITACHI HIGH-TECHNOLOGIES CORP.) 27 October 2014, paragraphs [0015]-[0055], [0056]-[0061], [0074], fig. 1-6 & US 2014/0302682 A1, paragraphs [0027]-[0063], [0067]-[0069], [0081] & CN 104103486 A & KR 10-2014-0122157 A	1-11



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
04 September 2019 (04.09.2019)

Date of mailing of the international search report
17 September 2019 (17.09.2019)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/024708

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-110783 A (HITACHI, LTD.) 20 April 2001, claim 49 (Family: none)	6-11
Y	JP 2013-030776 A (ADVANCED ION BEAM TECHNOLOGY, INC.) 07 February 2013, paragraph [0025] & US 2013/0026539 A1, paragraph [0029] & KR 10-2013-0014030 A	7-11
Y	JP 2010-287823 A (DENSO CORP.) 24 December 2010, paragraphs [0024]-[0026], [0044]-[0075], [0090]-[0092], [0112], fig. 1-3 (Family: none)	1-11

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L21/3065(2006.01)i, H01L21/31(2006.01)i, H01L21/336(2006.01)i, H01L21/76(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L21/3065, H01L21/31, H01L21/336, H01L21/76, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2015-050440 A (株式会社日立ハイテクノロジーズ)	1-4
Y	2015.03.16, 段落[0017]-[0036], [0051]-[0053], 図 1-6 (ファミリーなし)	1-11
Y	JP 2014-204050 A (株式会社日立ハイテクノロジーズ) 2014.10.27, 段落[0015]-[0055], [0056]-[0061], [0074], 図 1-6 & US 2014/0302682 A1, 段落[0027]-[0063], [0067]-[0069], [0081] & CN 104103486 A & KR 10-2014-0122157 A	1-11

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

04.09.2019

国際調査報告の発送日

17.09.2019

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

長谷川 直也

50

4549

電話番号 03-3581-1101 内線 3559

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2001-110783 A (株式会社日立製作所) 2001.04.20, [請求項 49] (ファミリーなし)	6-11
Y	JP 2013-030776 A (アドバンスド イオン ビーム テクノロジー, インコーポレイテッド) 2013.02.07, 段落[0025] & US 2013/0026539 A1, 段落[0029] & KR 10-2013-0014030 A	7-11
Y	JP 2010-287823 A (株式会社デンソー) 2010.12.24, 段落[0024]-[0026], [0044]-[0075], [0090]-[0092], [0112], 図 1-3 (ファミリーなし)	1-11