

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-8937

(P2013-8937A)

(43) 公開日 平成25年1月10日(2013.1.10)

(51) Int.Cl.	F 1	テーマコード (参考)
H01L 21/8242 (2006.01)	H01L 27/10	681F 5FO83
H01L 27/108 (2006.01)	H01L 27/10	495 5F110
H01L 27/10 (2006.01)	H01L 27/10	671C 5MO24
H01L 29/786 (2006.01)	H01L 29/78	613B
G11C 11/401 (2006.01)	H01L 29/78	618B

審査請求 未請求 請求項の数 7 O L (全 61 頁) 最終頁に続く

(21) 出願番号 特願2011-241767 (P2011-241767)
 (22) 出願日 平成23年11月3日 (2011.11.3)
 (31) 優先権主張番号 特願2010-249111 (P2010-249111)
 (32) 優先日 平成22年11月5日 (2010.11.5)
 (33) 優先権主張国 日本国 (JP)
 (31) 優先権主張番号 特願2011-113176 (P2011-113176)
 (32) 優先日 平成23年5月20日 (2011.5.20)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 加藤 清
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

最終頁に続く

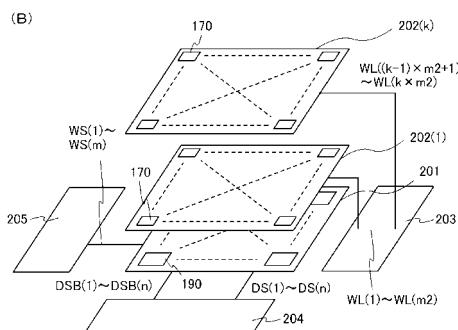
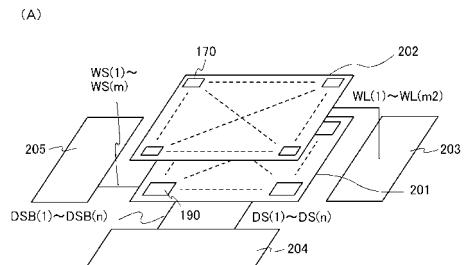
(54) 【発明の名称】半導体装置

(57) 【要約】

【課題】電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限がない、新たな構造の半導体装置を提供する。

【解決手段】酸化物半導体を用いたトランジスタ（より広義には、十分にオフ電流が小さいトランジスタ）を用いた記憶回路と、酸化物半導体以外の材料を用いたトランジスタ（換言すると、十分な高速動作が可能なトランジスタ）を用いた駆動回路などの周辺回路と、を一体に備える半導体装置とする。また、周辺回路を下部に設け、記憶回路を上部に設けることで、半導体装置の面積の縮小化及び小型化を実現することができる。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

半導体基板に設けられたセンスラッチャレイと、前記センスラッチャレイ上に設けられたメモリセルアレイと、を有し、

前記センスラッチャレイは、マトリクス状に配置された複数のセンスラッチを有し、

前記メモリセルアレイは、マトリクス状に配置された複数のメモリセルを有し、

前記複数のメモリセルのそれぞれは、ゲート電極、ソース電極、ドレイン電極、ゲート絶縁層、及び酸化物半導体層を含むトランジスタと、容量素子と、を有し、

前記センスラッチャの第1の端子及び第2の端子の少なくとも一つは、前記センスラッチャの上部に設けられた前記トランジスタの前記ソース電極または前記ドレイン電極と、電気的に接続される、半導体装置。 10

【請求項 2】

半導体基板に設けられたセンスラッチャレイと、前記センスラッチャレイ上に積層された複数のメモリセルアレイと、を有し、

前記センスラッチャレイは、マトリクス状に配置された複数のセンスラッチを有し、

前記複数のメモリセルアレイのそれぞれは、マトリクス状に配置された複数のメモリセルを有し、

前記複数のメモリセルのそれぞれは、ゲート電極、ソース電極、ドレイン電極、ゲート絶縁層、及び酸化物半導体層を含むトランジスタと、容量素子と、を有し、

前記センスラッチャの第1の端子及び第2の端子の少なくとも一つは、前記複数のメモリセルアレイのそれれにおいて、前記センスラッチャの上部に設けられたトランジスタそれぞれの前記ソース電極または前記ドレイン電極と、電気的に接続される、半導体装置。 20

【請求項 3】

請求項1または2において、

第1ワード線駆動回路と、第2ワード線駆動回路と、データ線駆動回路と、をさらに有し、

前記第1ワード線駆動回路は、前記複数のメモリセルと第1ワード線を介して電気的に接続され、

前記第2ワード線駆動回路は、前記複数のセンスラッチャと第2ワード線を介して電気的に接続され、 30

前記データ線駆動回路は、前記複数のセンスラッチャと第1データ線及び第2データ線を介して電気的に接続される、半導体装置。

【請求項 4】

半導体基板に設けられたセンスラッチャレイと、前記センスラッチャレイ上に積層された第1のメモリセルアレイ及び第2のメモリセルアレイと、を有し、

前記センスラッチャレイは、マトリクス状に配置された複数のセンスラッチを有し、

前記第1のメモリセルアレイ及び第2のメモリセルアレイのそれぞれは、マトリクス状に配置された複数のメモリセルを有し、

前記第1のメモリセルアレイが有する前記複数のメモリセルのそれぞれは、第1のゲート電極、第1のソース電極、第1のドレイン電極、第1のゲート絶縁層、及び第1の酸化物半導体層を含む第1のトランジスタと、第1の容量素子と、を有し、 40

前記第2のメモリセルアレイが有する前記複数のメモリセルのそれぞれは、第2のゲート電極、第2のソース電極、第2のドレイン電極、第2のゲート絶縁層、及び第2の酸化物半導体層を含む第2のトランジスタと、第2の容量素子と、を有し、

前記センスラッチャの第1の端子及び第2の端子の少なくとも一つは、前記センスラッチャの上部に設けられた前記第1のトランジスタの前記第1のソース電極または前記第1のドレイン電極と、前記第2のトランジスタの前記第2のソース電極または前記第2のドレイン電極と、電気的に接続する、半導体装置。 50

【請求項 5】

請求項4において、

第1ワード線駆動回路と、第2ワード線駆動回路と、データ線駆動回路と、をさらに有し、

前記第1ワード線駆動回路は、前記第1のメモリセルアレイ及び前記第2のメモリセルアレイが有する複数のメモリセルのそれぞれと第1ワード線を介して電気的に接続され、

前記第2ワード線駆動回路は、前記複数のセンスラッチと第2ワード線を介して電気的に接続され、

前記データ線駆動回路は、前記複数のセンスラッチと第1データ線及び第2データ線を介して電気的に接続される、半導体装置。

【請求項6】

請求項4又は5において、

前記第1の酸化物半導体層と、前記第2の酸化物半導体層とは、同じ酸化物半導体材料を含む、半導体装置。

【請求項7】

請求項1乃至6のいずれか一において、

前記半導体基板は、前記酸化物半導体層とは異なる半導体材料を含む、半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

開示する発明は、半導体素子を利用した半導体装置およびその駆動方法に関するものである。

20

【背景技術】

【0002】

半導体素子を利用した記憶装置は、電力の供給がなくなると記憶内容が失われる揮発性のものと、電力の供給がなくなっても記憶内容は保持される不揮発性のものとに大別される。

【0003】

揮発性記憶装置の代表的な例としては、DRAM (Dynamic Random Access Memory) がある。DRAMは、記憶素子を構成するトランジスタを選択してキャパシタに電荷を蓄積することで、情報を記憶する。

【0004】

上述の原理から、DRAMでは、情報を読み出すとキャパシタの電荷は失われるため、情報の読み出しの度に、再度の書き込み動作が必要となる。また、記憶素子を構成するトランジスタにおいてはオフ状態でのソースとドレイン間のリーク電流（オフ電流）等によって、トランジスタが選択されていない状況でも電荷が流出、または流入するため、情報の保持期間が短い。このため、所定の周期で再度の書き込み動作（リフレッシュ動作）が必要であり、消費電力を十分に低減することは困難である。また、電力の供給がなくなると記憶内容が失われるため、長期間の記憶の保持には、磁性材料や光学材料を利用した別の記憶装置が必要となる。

【0005】

揮発性記憶装置の別の例としてはSRAM (Static Random Access Memory) がある。SRAMは、フリップフロップなどの回路を用いて記憶内容を保持するため、リフレッシュ動作が不要であり、この点においてはDRAMより有利である。しかし、フリップフロップなどの回路を用いているため、記憶容量あたりの単価が高くなるという問題がある。また、電力の供給がなくなると記憶内容が失われるという点については、DRAMと変わることはない。

【0006】

不揮発性記憶装置の代表例としては、フラッシュメモリがある。フラッシュメモリは、トランジスタのゲート電極とチャネル形成領域との間にフローティングゲートを有し、当該フローティングゲートに電荷を保持させることで記憶を行うため、情報の保持期間は極めて長く（半永久的）、揮発性記憶装置で必要なリフレッシュ動作が不要であるという利点

30

40

50

を有している（例えば、特許文献1参照）。

【0007】

しかし、書き込みの際に生じるトンネル電流によって記憶素子を構成するゲート絶縁層が劣化するため、所定回数の書き込みによって記憶素子が機能しなくなるという問題が生じる。この問題の影響を緩和するために、例えば、各記憶素子の書き込み回数を均一化する手法が採られるが、これを実現するためには、複雑な周辺回路が必要になってしまう。そして、このような手法を採用しても、根本的な寿命の問題が解消するわけではない。つまり、フラッシュメモリは、情報の書き換え頻度が高い用途には不向きである。

【0008】

また、フローティングゲートに電荷を注入させるため、または、その電荷を除去するためには、高い電圧が必要であり、また、そのための回路も必要である。さらに、電荷の注入、または除去のために比較的長い時間を要し、書き込み、消去の高速化が容易ではないという問題もある。

【0009】

不揮発性記憶装置の別の例としては、磁性材料を用いた記憶装置であるM R A M (M a g n e t o r e s i s t i v e R a n d o m A c c e s s M e m o r y) がある。M R A M は、書き込み動作における消費電流が比較的高いため、複数のメモリセルに並列に書き込み動作を行うことが難しいという問題がある。

【先行技術文献】

【特許文献】

【0010】

【特許文献1】特開昭57-105889号公報

【発明の概要】

【発明が解決しようとする課題】

【0011】

上述の問題に鑑み、開示する発明の一態様では、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い、新たな構造の半導体装置を提供することを目的の一とする。

【課題を解決するための手段】

【0012】

本発明の一態様では、トランジスタのオフ電流を十分に小さくすることができる材料、例えば、ワイドギャップ半導体である酸化物半導体材料を用いて記憶回路を構成する。トランジスタのオフ電流を十分に小さくすることができる半導体材料を記憶回路に用いることで、長期間にわたって記憶内容を保持することが可能である。また、酸化物半導体以外の半導体材料を用いて駆動回路や制御回路などの周辺回路を構成する。酸化物半導体材料よりも高速動作が可能な酸化物半導体以外の半導体材料を、周辺回路に用いることで、記憶回路を高速動作させることができる。

【0013】

本発明の一態様は、半導体基板に設けられたセンスラッチアレイと、センスラッチアレイ上に設けられたメモリセルアレイと、を有し、センスラッチアレイは、マトリクス状に配置された複数のセンスラッチを有し、メモリセルアレイは、マトリクス状に配置された複数のメモリセルを有し、複数のメモリセルのそれぞれは、ゲート電極、ソース電極、ドレイン電極、ゲート絶縁層、及び酸化物半導体層を含むトランジスタと、容量素子と、を有し、センスラッチの第1の端子及び第2の端子の少なくとも一つは、センスラッチの上部に設けられたトランジスタのソース電極またはドレイン電極と、電気的に接続される、半導体装置である。

【0014】

また、本発明の一態様は、半導体基板に設けられたセンスラッチアレイと、センスラッチアレイ上に積層された複数のメモリセルアレイと、を有し、センスラッチアレイは、マトリクス状に配置された複数のセンスラッチを有し、複数のメモリセルアレイのそれぞれは

10

20

30

40

50

、マトリクス状に配置された複数のメモリセルを有し、複数のメモリセルのそれぞれは、ゲート電極、ソース電極、ドレイン電極、ゲート絶縁層、及び酸化物半導体層を含むトランジスタと、容量素子と、を有し、センスラッチの第1の端子及び第2の端子の少なくとも一つは、複数のメモリセルアレイのそれぞれにおいて、センスラッチの上部に設けられたトランジスタそれぞれのソース電極またはドレイン電極と、電気的に接続される、半導体装置である。

【0015】

上記各半導体装置において、第1ワード線駆動回路と、第2ワード線駆動回路と、データ線駆動回路と、をさらに有し、第1ワード線駆動回路は、複数のメモリセルと第1ワード線を介して電気的に接続され、第2ワード線駆動回路は、複数のセンスラッチと第2ワード線を介して電気的に接続され、データ線駆動回路は、複数のセンスラッチと第1データ線及び第2データ線を介して電気的に接続される。 10

【0016】

また、本発明の一態様は、半導体基板に設けられたセンスラッチアレイと、センスラッチアレイ上に積層された第1のメモリセルアレイ及び第2のメモリセルアレイと、を有し、センスラッチアレイは、マトリクス状に配置された複数のセンスラッチを有し、第1のメモリセルアレイ及び第2のメモリセルアレイのそれぞれは、マトリクス状に配置された複数のメモリセルを有し、第1のメモリセルアレイが有する複数のメモリセルのそれぞれは、第1のゲート電極、第1のソース電極、第1のドレイン電極、第1のゲート絶縁層、及び第1の酸化物半導体層を含む第1のトランジスタと、第1の容量素子と、を有し、第2のメモリセルアレイが有する複数のメモリセルのそれぞれは、第2のゲート電極、第2のソース電極、第2のドレイン電極、第2のゲート絶縁層、及び第2の酸化物半導体層を含む第2のトランジスタと、第2の容量素子と、を有し、センスラッチの第1の端子及び第2の端子の少なくとも一つは、センスラッチの上部に設けられた第1のトランジスタの第1のソース電極または第1のドレイン電極と、第2のトランジスタの第2のソース電極または第2のドレイン電極と、電気的に接続する、半導体装置である。 20

【0017】

上記半導体装置において、第1ワード線駆動回路と、第2ワード線駆動回路と、データ線駆動回路と、をさらに有し、第1ワード線駆動回路は、第1のメモリセルアレイ及び第2のメモリセルアレイが有する複数のメモリセルのそれぞれと第1ワード線を介して電気的に接続され、第2ワード線駆動回路は、複数のセンスラッチと第2ワード線を介して電気的に接続され、データ線駆動回路は、複数のセンスラッチと第1データ線及び第2データ線を介して電気的に接続される。 30

【0018】

また、上記半導体装置において、第1の酸化物半導体層と、第2の酸化物半導体層とは、同じ酸化物半導体材料を含むことが好ましい。

【0019】

また、上記半導体装置において、半導体基板は、酸化物半導体層とは異なる半導体材料を含むことが好ましい。

【0020】

なお、上記半導体装置において、酸化物半導体材料を用いてトランジスタを構成することができるが、開示する発明はこれに限定されない。酸化物半導体材料と同等のオフ電流特性が実現できる材料、例えば、炭化シリコンをはじめとするワイドギャップ材料（より具体的には、例えば、エネルギーギャップ E_g が 3 eV より大きい半導体材料）などを適用しても良い。 40

【0021】

なお、本明細書等において「上」や「下」の用語は、構成要素の位置関係が「直上」または「直下」であることを限定するものではない。例えば、「ゲート絶縁層上のゲート電極」の表現であれば、ゲート絶縁層とゲート電極との間に他の構成要素を含むものを除外しない。また、「上」「下」の用語は説明の便宜のために用いる表現に過ぎない。 50

【0022】

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

【0023】

また、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書等においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができるものとする。

10

【0024】

なお、本明細書等において、「電気的に接続」には、「何らかの電気的作用を有するもの」を介して接続されている場合が含まれる。ここで、何らかの電気的作用を有するものは、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。

【発明の効果】**【0025】**

酸化物半導体材料を用いたトランジスタはオフ電流が極めて小さいため、これを記憶回路に用いることにより、極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合（ただし、電位は固定されていることが望ましい）であっても、長期にわたって記憶内容を保持することが可能である。

20

【0026】

また、酸化物半導体材料を用いたトランジスタを含む記憶回路は、情報の書き込みに高い電圧を必要とせず、記憶素子の劣化の問題もない。例えば、従来の不揮発性記憶装置のように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行う必要がないため、ゲート絶縁層の劣化といった問題が全く生じない。すなわち、酸化物半導体材料を用いたトランジスタを含む記憶回路では、従来の不揮発性記憶装置で問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。また、情報を消去するための動作が不要であるというメリットもある。

30

【0027】

また、酸化物半導体以外の半導体材料を用いたトランジスタは、酸化物半導体材料を用いたトランジスタよりも十分な高速動作が可能である。よって、酸化物半導体以外の半導体材料を用いたトランジスタを周辺回路（制御回路、駆動回路など）に用いることにより、高速動作を十分に確保した周辺回路を好適に実現することが可能である。したがって、これを、酸化物半導体材料を用いたトランジスタを含む記憶回路と組み合わせて用いることにより、半導体装置の動作（例えば、情報の読み出し動作や書き込み動作など）の高速動作を十分に確保することができる。

40

【0028】

このように、酸化物半導体以外の半導体材料を用いたトランジスタ（換言すると、十分な高速動作が可能なトランジスタ）を用いた周辺回路と、酸化物半導体材料を用いたトランジスタ（より広義には、十分にオフ電流が小さいトランジスタ）を用いた記憶回路とを一体に備えることで、これまでにない特徴を有する半導体装置を実現することができる。

【図面の簡単な説明】**【0029】**

【図1】半導体装置の概念図。

【図2】半導体装置の回路図。

【図3】半導体装置の回路図。

50

- 【図 4】タイミングチャート図。
- 【図 5】タイミングチャート図。
- 【図 6】半導体装置の回路図。
- 【図 7】半導体装置の断面図。
- 【図 8】半導体装置の作製工程に係る断面図。
- 【図 9】半導体装置の作製工程に係る断面図。
- 【図 10】半導体装置の作製工程に係る断面図。
- 【図 11】半導体装置の作製工程に係る断面図。
- 【図 12】半導体装置の作製工程に係る断面図。
- 【図 13】電子機器を示す図。 10
- 【図 14】半導体装置の断面図。
- 【図 15】酸化物材料の結晶構造を説明する図。
- 【図 16】酸化物材料の結晶構造を説明する図。
- 【図 17】酸化物材料の結晶構造を説明する図。
- 【図 18】計算によって得られた移動度のゲート電圧依存性を説明する図。
- 【図 19】計算によって得られたドレイン電流と移動度のゲート電圧依存性を説明する図。
- 。
- 【図 20】計算によって得られたドレイン電流と移動度のゲート電圧依存性を説明する図。 20
- 。
- 【図 21】計算によって得られたドレイン電流と移動度のゲート電圧依存性を説明する図。
- 。
- 【図 22】計算に用いたトランジスタの断面構造を説明する図。
- 【図 23】酸化物半導体層を用いたトランジスタ特性のグラフ。
- 【図 24】試料 1 のトランジスタの BT 試験後の $V_g - I_d$ 特性を示す図。
- 【図 25】試料 2 のトランジスタの BT 試験後の $V_g - I_d$ 特性を示す図。
- 【図 26】試料 A および試料 B の XRD スペクトルを示す図。
- 【図 27】トランジスタのオフ電流と測定時基板温度との関係を示す図。
- 【図 28】 I_d および電界効果移動度の V_g 依存性を示す図。
- 【図 29】基板温度としきい値電圧の関係および基板温度と電界効果移動度の関係を示す図。 30
- 【図 30】半導体装置の上面図及び断面図。
- 【図 31】半導体装置の上面図及び断面図。
- 【発明を実施するための形態】
- 【0030】
- 本発明の実施の形態の一例について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。
- 【0031】 40
- なお、図面等において示す各構成の、位置、大きさ、範囲などは、理解の簡単のため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等に開示された位置、大きさ、範囲などに限定されない。
- 【0032】
- なお、本明細書等における「第 1」、「第 2」、「第 3」などの序数は、構成要素の混同を避けるために付したものであり、数的に限定するものではないことを付記する。
- 【0033】
- (実施の形態 1)
- 本発明の一態様に係る半導体装置の構成について、図 1 乃至図 6 を参照して説明する。
- 【0034】
- 半導体装置の構成 50

図1は、本発明の一態様に係る半導体装置の構成の一例を示す概念図である。本発明の一態様に係る半導体装置は、上部に記憶回路を有し、下部に記憶回路を駆動させるために高速動作が必要な駆動回路や制御回路などの周辺回路を有する、積層構造の半導体装置である。なお、駆動回路や制御回路は、論理回路であってもよいし、アナログ回路を有していても構わない。また、駆動回路や制御回路は、演算回路を有していてもよい。

【0035】

図1(A)に示す半導体装置は、下部にマトリクス状に配置された複数のセンスラッチ190を有するセンスラッチアレイ201を有し、上部にマトリクス状に配置された複数のメモリセル170(記憶素子とも記す)を有するメモリセルアレイ202(記憶回路とも記す)を有する。また、下部には、センスラッチアレイ201の他、第1ワード線駆動回路203、データ線駆動回路204、第2ワード線駆動回路205等の周辺回路が設けられている。なお、センスラッチアレイ201以外の第1ワード線駆動回路203、データ線駆動回路204及び第2ワード線駆動回路205を外部回路とも記す。

10

【0036】

データ線駆動回路204は、読み出し回路、書き込み回路を有する。また、データ線駆動回路204は、センスラッチアレイ201が有する複数のセンスラッチ190と、n本の第1データ線DS(1)～DS(n)及び第2データ線DSB(1)～DSB(n)を介して接続される。また、データ線駆動回路204は、アドレス信号に従って、センスラッチアレイ201から、所定のセンスラッチ190の列を選択する。読み出し回路は、選択された列のセンスラッチ190の出力信号を入力信号として、センスラッチ190に格納された情報を読み出す。また、書き込み回路は、選択された列のセンスラッチ190へ書き込む情報に対応する信号を出力する。なお、データ線駆動回路204は、プリチャージ回路を有していてもよい。プリチャージ回路は、選択された列のセンスラッチの入出力端子に所定の電位(プリチャージ電位Vpc)を与える。

20

【0037】

第1ワード線駆動回路203は、メモリセルアレイ202が有する複数のメモリセル170と、m2本の第1ワード線WL(1)～WL(m2)を介して接続される。また、第1ワード線駆動回路203は、アドレス信号に従って、メモリセルアレイ202の所定のメモリセル170の行を選択する。選択する行は、一行であってもよいし、複数行であってもよい。

30

【0038】

第2ワード線駆動回路205は、センスラッチアレイ201が有する複数のセンスラッチ190と、m本の第2ワード線WS(1)～WS(m)を介して接続される。また、第2ワード線駆動回路205は、アドレス信号に従って、センスラッチアレイ201の所定のセンスラッチ190の行を選択する。選択する行は、一行であっても良いし、複数の行であってもよい。

【0039】

図1(B)に、図1(A)とは一部異なる半導体装置の例を示す。図1(B)に示す半導体装置は、下部にマトリクス状に配置された複数のセンスラッチ190を有するセンスラッチアレイ201を有し、上部にマトリクス状に配置された複数のメモリセル170を有する複数のメモリセルアレイ202(1)～202(k)を有する。また、下部には、センスラッチアレイ201の他、第1ワード線駆動回路203、データ線駆動回路204、第2ワード線駆動回路205等の周辺回路が設けられている。なお、図1(B)に示す半導体装置の1層目はセンスラッチアレイ201とし、2層目はメモリセルアレイ202(1)とし、(k+1)層目はメモリセルアレイ202(k)とする。ここで、kは自然数とする。

40

【0040】

データ線駆動回路204は、読み出し回路、書き込み回路を有する。また、データ線駆動回路204は、センスラッチアレイ201が有する複数のセンスラッチ190と、n本の第1データ線DS(1)～DS(n)及び第2データ線DSB(1)～DSB(n)を介

50

して接続される。また、データ線駆動回路 204 は、アドレス信号に従って、センスラッチアレイ 201 から、所定のセンスラッチ 190 の列を選択する。読み出し回路は、選択された列のセンスラッチ 190 の出力信号を入力信号として、センスラッチ 190 に格納された情報を読み出す。また、書き込み回路は、選択された列のセンスラッチ 190 へ書き込む情報に対応する信号を出力する。なお、データ線駆動回路 204 は、プリチャージ回路を有していてもよい。プリチャージ回路は、選択された列のセンスラッチの入出力端子に所定の電位（プリチャージ電位 V_{PC} ）を与える。

【0041】

第1ワード線駆動回路 203 は、メモリセルアレイ 202 (1) ~ 202 (k) のそれぞれが有する複数のメモリセル 170 と、 $k \times m$ 本の第1ワード線 $WL(1) \sim WL(k \times m 2)$ を介して接続される。また、第1ワード線駆動回路 203 は、メモリセルアレイを有する層を選択するアドレス信号に従って、メモリセルアレイ 202 (1) ~ 202 (k) の所定のメモリセルアレイを選択し、行を選択するアドレス信号に従って、選択された層のメモリセルアレイの所定のメモリセル 170 の行を選択する。また、選択するメモリセル 170 の行は、一行であってもよいし、複数行であってもよい。

10

【0042】

第2ワード線駆動回路 205 は、センスラッチアレイ 201 が有する複数のセンスラッチ 190 と、m 本の第2ワード線 $WS(1) \sim WS(m)$ を介して接続される。また、第2ワード線駆動回路 205 は、アドレス信号に従って、センスラッチアレイ 201 から所定のセンスラッチ 190 の行を選択する。選択するセンスラッチの行は、一行であってもよいし、複数の行であってもよい。

20

【0043】

メモリセル及びセンスラッチの構成

図2に、図1における半導体装置において、($iz + 1$) 層目のメモリセルアレイ 202 (iz) の $i \times$ 行 i_y 列におけるメモリセル 170 (i_x, i_y, iz) と、1 層目のセンスラッチアレイ 201 の $i \times$ 行 i_y 列におけるセンスラッチ 190 ($i_x, i_y, 1$) の回路構成を示す。

【0044】

図2に示すメモリセル 170 (i_x, i_y, iz) は、酸化物半導体材料を用いたトランジスタ 162 と、容量素子 164 とによって構成される。なお、図2において、酸化物半導体材料を用いたことを明示するために、OS の符号を合わせて付している。

30

【0045】

図2に示すメモリセル 170 (i_x, i_y, iz) は、第1ワード線 $WL(i_x, iz)$ とトランジスタ 162 のゲート電極とは電気的に接続され、容量線 $CP(i_x, iz)$ と容量素子 164 の一方の端子とは電気的に接続され、容量素子 164 の他方の端子とトランジスタ 162 のソース電極又はドレイン電極とは電気的に接続され、トランジスタ 162 のソース電極又はドレイン電極とセンスラッチ 190 ($i_x, i_y, 1$) のノード p とは電気的に接続されている。なお、第1ワード線 $WL(i_x, iz)$ とは、メモリセルアレイ 202 (iz) において、 $i \times$ 行目の第1ワード線 WL を表し、容量線 $CP(i_x, iz)$ とは、メモリセルアレイ 202 (iz) において、 $i \times$ 行目の容量線 CP を表す。

40

【0046】

また、図2に示すセンスラッチ 190 ($i_x, i_y, 1$) は、酸化物半導体以外の半導体材料を用いたトランジスタ 181 ~ 188 によって構成される。なお、酸化物半導体以外の半導体材料として、例えば、シリコン等を用いることができる。また、トランジスタ 181 ~ 183 は、p チャネル型トランジスタであり、トランジスタ 184 ~ 188 は、n チャネル型トランジスタである。

【0047】

図2に示すセンスラッチ 190 ($i_x, i_y, 1$) は、第1データ線 $DS(i_y)$ とトランジスタ 184 のソース電極又はドレイン電極と電気的に接続され、第2データ線 $DSB(i_y)$ とトランジスタ 185 のソース電極又はドレイン電極と電気的に接続されている

50

。また、信号線 S_p(i_x)は、トランジスタ 181 のゲート電極と電気的に接続され、第 2 ワード線 W_S(i_x)は、トランジスタ 184 のゲート電極及びトランジスタ 185 のゲート電極と電気的に接続され、信号線 S_n(i_x)は、トランジスタ 188 のゲート電極と電気的に接続されている。

【0048】

また、p チャネル型トランジスタであるトランジスタ 182 と、n チャネル型トランジスタであるトランジスタ 186 とによって、CMOS 回路 A が構成されている。同様に、p チャネル型トランジスタであるトランジスタ 183 と、n チャネル型トランジスタであるトランジスタ 187 とによって、CMOS 回路 B が構成されている。CMOS 回路 A の出力端子は、CMOS 回路 B の入力端子と、トランジスタ 185 のソース電極又はドレイン電極と接続され、CMOS 回路 A の入力端子は、CMOS 回路 B の出力端子と、トランジスタ 184 のソース電極又はドレイン電極と接続されている。また、トランジスタ 182 のソース電極及びトランジスタ 183 のソース電極は、トランジスタ 181 のドレイン電極と接続され、トランジスタ 186 のソース電極及びトランジスタ 187 のソース電極は、トランジスタ 188 のドレイン電極と接続されている。

10

【0049】

ここで、CMOS 回路 A の出力端子と、トランジスタ 184 のソース電極又はドレイン電極との間のノードをノード p とする。また、CMOS 回路 B の出力端子と、トランジスタ 185 のソース電極又はドレイン電極との間のノードをノード q とする。

20

【0050】

図 2においては、センスラッチ 190(i_x、i_y、1)のノード p にメモリセル 170(i_x、i_y、i_z)が接続される場合について説明したが、センスラッチ 190(i_x、i_y、1)のノード q にメモリセル 170 が接続されてもよいし、センスラッチ 190(i_x、i_y、1)のノード p 及びノード q のそれぞれにメモリセル 170 が接続されてもよい。センスラッチ 190(i_x、i_y、1)のノード p 及びノード q のそれぞれにメモリセルが接続される場合には、メモリセルアレイ 202 の集積度を高めることができる。

20

【0051】

また、図 2においては、センスラッチ 190(i_x、i_y、1)のノード p に、メモリセル 170(i_x、i_y、i_z)が接続される場合について示したが、本発明の一態様はこれに限定されない。センスラッチ 190(i_x、i_y、1)のノード p に複数のメモリセルが接続されていてもよい。例えば、センスラッチャレイ 201 上に、複数のメモリセルアレイが積層されている場合、複数のメモリセルアレイが有するメモリセルのそれぞれと接続することができる。具体的には、メモリセルアレイが i_z 層積層されている場合、センスラッチ 190(i_x、i_y、1)のノード p に、メモリセル 170(i_x、i_y、2)～メモリセル 170(i_x、i_y、i_z+1)のそれぞれを接続することができる。なお、ノード q においても同様である。

30

【0052】

次に、図 2 に示すメモリセル 170(i_x、i_y、i_z)に、情報の書き込み及び保持を行う場合について説明する。

40

【0053】

まず、第 1 ワード線 WL(i_x、i_z)の電位を、トランジスタ 162 がオン状態となる電位として、トランジスタ 162 をオン状態とする。これにより、センスラッチ 190(i_x、i_y、1)のノード p の電位が、容量素子 164 の第 1 端子に与えられる(書き込み)。その後、第 1 ワード線 WL(i_x、i_z)の電位を、トランジスタ 162 がオフ状態となる電位として、トランジスタ 162 をオフ状態とすることにより、容量素子 164 の第 1 の端子の電位(あるいは、容量素子 164 に蓄積された電荷)が保持される(保持)。

【0054】

トランジスタ 162 のチャネル形成領域には、酸化物半導体材料が用いられている。チャ

50

ネル形成領域に酸化物半導体材料が用いられたトランジスタは、オフ電流が極めて小さいという特徴を有している。これにより、トランジスタ162をオフ状態とすることで、容量素子164の第1の端子の電位（あるいは、容量素子164に蓄積された電荷）を極めて長時間にわたって保持することが可能となる。また、チャネル形成領域に酸化物半導体材料を用いたトランジスタ162では、短チャネル効果が現れにくいというメリットもある。

【0055】

次に、メモリセル170（ i_x 、 i_y 、 i_z ）に保持された情報の読み出しについて説明する。まず、第1ワード線WL（ i_x 、 i_z ）の電位を、トランジスタ162がオン状態となる電位として、トランジスタ162をオン状態とする。これにより、浮遊状態であるノードpと、容量素子164とが導通し、ノードpと容量素子164の間で電荷が再分配される。その結果、ノードpの電位が変化する。ノードpの電位の変化量は、容量素子164の第1の端子の電位（あるいは、容量素子164に蓄積された電荷）によって、異なる値をとる。

10

【0056】

例えば、容量素子164の第1の端子の電位をV、容量素子164の容量をC、ノードpが有する容量成分（以下、ノードpの容量とも呼ぶ）をCB、電荷が再分配される前のノードpの電位をVB0とすると、電荷が再分配された後のノードpの電位は、 $V_p = (C_B \times V_{B0} + C \times V) / (C_B + C)$ となる。したがって、メモリセル170（ i_x 、 i_y 、 i_z ）の状態として、容量素子164の第1の端子の電位が、V1とV0（ $V1 > V0$ ）の2状態をとるとすると、電位V1を保持している場合のノードpの電位 V_{p1} （= $C_B \times V_{B0} + C \times V_1) / (C_B + C)$ ）は、電位V0を保持している場合のノードpの電位 V_{p0} （= $C_B \times V_{B0} + C \times V_0) / (C_B + C)$ ）よりも高くなることがわかる。

20

【0057】

そして、ノードpの電位を所定の電位と比較することで、情報を読み出すことができる。センスラッチ190（ i_x 、 i_y 、1）においては、ノードpの電位 V_p をノードqの電位 V_q と比較する。ノードqの電位 V_q は、ノードpの電位 V_{p0} と V_{p1} の間の値とすればよい。

30

【0058】

酸化物半導体材料を用いたトランジスタはオフ電流が極めて小さいため、これをメモリセルに用いることにより、極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合（ただし、電位は固定されていることが望ましい）であっても、長期にわたって記憶内容を保持することが可能である。これにより、磁性材料や光学材料を利用した別の記憶装置が不要となるため、半導体装置の小型化を図ることができる。

【0059】

また、酸化物半導体材料を用いたトランジスタを含むメモリセルは、情報の書き込みに高い電圧を必要とせず、メモリセルの劣化の問題もない。例えば、従来の不揮発性記憶装置のように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行う必要がないため、ゲート絶縁層の劣化といった問題が全く生じない。すなわち、酸化物半導体材料を用いたトランジスタを含むメモリセルでは、従来の不揮発性記憶装置で問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。また、情報を消去するための動作が不要であるというメリットもある。

40

【0060】

また、酸化物半導体以外の半導体材料を用いたトランジスタは、酸化物半導体材料を用いたトランジスタよりも十分な高速動作が可能である。よって、酸化物半導体以外の半導体

50

材料を用いたトランジスタを含むセンスラッチと、酸化物半導体材料を用いたトランジスタを含むメモリセルとを組み合わせて用いることにより、半導体装置の動作（例えば、情報の読み出し動作や書き込み動作など）の高速動作を十分に確保することができる。

【0061】

半導体装置の駆動方法

次に、図2に示す半導体装置において、メモリセルアレイからセンスラッチアレイへの情報の読み出し、センスラッチアレイからメモリセルアレイへの情報の書き込み、及びメモリセルアレイの情報の保持について、図3乃至図6を参照して説明する。なお、メモリセルは、容量素子の第1端子に電位VDDまたは電位VSSの2状態を保持するとし、電位VDDを保持している状態をデータ”1”、電位VSSを保持している状態をデータ”0”とする。
10

【0062】

図3に、データ線駆動回路204と、センスラッチアレイ201と、メモリセルアレイ202(i_z)と、を示す。また、図3は、図1(B)に示す半導体装置の一部である。メモリセルアレイ202(i_z)は、m本の第1ワード線WL(1, i_z)～WL(m, i_z)及び容量線CP(1, i_z)～CP(m, i_z)と、マトリクス状に配置された縦m個×横n個のメモリセル170(1, 1, i_z)～170(m, n, i_z)と、を有する。また、センスラッチアレイ201は、m本の信号線Sp(1)～Sp(m)、信号線Sn(1)～Sn(m)、及び第2ワード線WS(1)～WS(m)と、マトリクス状に配置された縦m個×横n個のセンスラッチ190(1, 1, 1)～190(m, n, 1)と、を有する。なお、ここでは、第1ワード線の本数と第2ワード線の本数mとを等しい構成とした（図1(B)におけるm₂をmとした）。なお、容量線CP(1, i_z)～CP(m, i_z)は共通の信号線としてもよい。
20

【0063】

また、(1+i_z)層目のメモリセルアレイ202(i_z)において、i_x行i_y列のメモリセル170(i_x, i_y, i_z)は、1層目のセンスラッチアレイ201において、i_x行i_y列のセンスラッチ190(i_x, i_y, 1)のノードpと接続される。他のメモリセル及びセンスラッチにおいても同様である。

【0064】

また、データ線駆動回路204は、第1データ線DS(1)～DS(n)、第2データ線DSB(1)～DSB(n)を介してセンスラッチアレイ201と接続される。データ線駆動回路204は、信号線pcと、n個の読み出し回路241(1)～241(n)と、n個の書き込み回路242(1)～242(n)と、n個のプリチャージ回路243(1)～243(n)と、を有する。例えば、i_y列において、読み出し回路241(i_y)と、書き込み回路242(i_y)と、プリチャージ回路243(i_y)と、センスラッチ190(1, i_y, 1)～190(m, i_y, 1)とは、第1データ線DS(i_y)及び第2データ線DSB(i_y)を介して電気的に接続される。
30

【0065】

ここでは、(i_z+1)層目のメモリセルアレイ202(i_z)において、i_x行目のメモリセル170(i_x, 1, i_z)～170(i_x, n, i_z)から、情報を読み出し、書き込み、及び保持を行う場合について、図4に示すタイミングチャートを参照して説明する。
40

【0066】

図4(A)は、信号線pc及び第2ワード線WS(i_x)のタイミングチャートであり、図4(B)は、信号線Sp(i_x)、信号線Sn(i_x)及び第1ワード線WL(i_x, i_z)のタイミングチャートであり、図4(C)は、データ”1”を読み出す、あるいは書き込む場合に、メモリセル170に接続されるノードp及びノードqのタイミングチャートであり、図4(D)は、データ”0”を読み出す、あるいは書き込む場合に、メモリセル170に接続されるノードp及びノードqのタイミングチャートである。

【0067】

10

20

30

40

50

メモリセルアレイ 202 (i z)において、 ix 行目のメモリセル 170 (ix, 1, iz) ~ 170 (ix, n, iz)から、情報を読み出すためには、まず、信号線 Sp (ix)に電位 VDD を与え、信号線 Sn (ix)に電位 VSS を与えることで、 ix 行目のセンスラッチ 190 (ix, 1, 1) ~ 190 (ix, n, 1)を非アクティブにする。

【 0068 】

また、 ix 行目のセンスラッチ 190 (ix, 1, 1) ~ 190 (ix, n, 1)のそれぞれが有するノード p 及びノード q に電位 Vpc を与えることで、プリチャージを行う。例えば、信号線 pc に電位 VDD を与え、第 2 ワード線 WS (ix)に電位 VDD を与えることで、センスラッチ 190 (ix, 1, 1) ~ 190 (ix, n, 1)のそれぞれが有するノード p 及びノード q に、電位 Vpc が与えられる。電位 Vpc は、例えば、(VDD / 2)とする。そして、信号線 pc 及び第 2 ワード線 WS (ix)に与えられる電位を VSS とすることで、プリチャージを終了させる。10

【 0069 】

次に、 ix 行目の第 1 ワード線 WL (ix, iz)をアクティブにして、メモリセル 170 (ix, 1, iz) ~ 170 (ix, n, iz)のそれぞれが有するトランジスタをオン状態とする。ここでは、第 1 ワード線 WL (ix, iz)に電位 VDD より高い電位 VDH を与えることとする。

【 0070 】

その結果、メモリセル 170 (ix, 1, iz) ~ 170 (ix, n, iz)のうち、データ "1" が格納されたメモリセル 170 に接続されるノード p は、ノード p が有する容量成分とメモリセル 170 が有する容量素子との間で電荷が分配され、ノード p の電位はわずかに上昇する。また、メモリセル 170 (ix, 1, iz) ~ 170 (ix, n, iz)のうち、データ "0" が格納されたメモリセル 170 に接続されるノード p は、ノード p が有する容量成分とメモリセル 170 が有する容量素子との間で電荷が分配され、ノード p の電位はわずかに下降する。20

【 0071 】

次に、 ix 行目のセンスラッチ 190 (ix, 1, 1) ~ 190 (ix, n, 1)をアクティブにする。具体的には、信号線 Sn (ix)に与えられる電位を、電位 VSS から電位 VDD とし、信号線 Sp (ix)に与えられる電位を、電位 VDD から電位 VSS とする。

【 0072 】

その結果、 ix 行目のセンスラッチ 190 (ix, 1, 1) ~ 190 (ix, n, 1)はアクティブとなり、ノード p とノード q との電位差を增幅する。データ "1" が格納されたメモリセル 170 に接続されるセンスラッチ 190 のノード p は、電荷の再分配によりノード q と比較して電位がわずかに高い状態となっている。これにより、この電位差がセンスラッチにより増幅され、センスラッチに格納される。つまり、ノード p には電位 VDD が、ノード q には電位 VSS がそれぞれ与えられる。また、データ "0" が格納されたメモリセル 170 に接続されるセンスラッチ 190 のノード p は、電荷の再分配によりノード q と比較して電位がわずかに低い状態となっている。これにより、この電位差がセンスラッチにより増幅され、センスラッチに格納される。つまり、ノード p には電位 VSS が、ノード q には電位 VDD がそれぞれ与えられる。このようにして、メモリセル 170 (ix, 1, iz) ~ 170 (ix, n, iz)から、センスラッチ 190 (ix, 1, 1) ~ 190 (ix, n, 1)へ、情報が読み出される。30

【 0073 】

その後、第 1 ワード線 WL (ix, iz)を、非アクティブ（ここでは、電位 VSS を与える。）として、メモリセル 170 (ix, 1, iz) ~ 170 (ix, n, iz)のそれぞれが有するトランジスタをオフ状態とする。このとき、メモリセル 170 (ix, 1, iz) ~ 170 (ix, n, iz)には、もともと格納されていた情報が、再び格納されることになる。

【 0074 】

10

20

30

40

50

以上のようにして、メモリセル $170(ix, 1, iz) \sim 170(ix, n, iz)$ から、センスラッチ $190(ix, 1, 1) \sim 190(ix, n, 1)$ に情報を読み出すことができる。

【0075】

次に、 $(iz + 1)$ 層目のメモリセルアレイ $202(iz)$ において、 ix 行目のメモリセル $170(ix, 1, iz) \sim 170(ix, n, iz)$ に、センスラッチ $190(ix, 1, 1) \sim 190(ix, n, 1)$ に格納された情報を書き込む場合について、図4に示すタイミングチャートを参照して説明する。

【0076】

メモリセルアレイ $202(iz)$ において、 ix 行目のメモリセル $170(ix, 1, iz) \sim 170(ix, n, iz)$ に、センスラッチ $190(ix, 1, 1) \sim 190(ix, n, 1)$ に格納された情報を書き込むためには、 ix 行目の第1ワード線 $WL(ix, iz)$ をアクティブにすればよい。ここでは、第1ワード線 $WL(ix, iz)$ に電位 VDD より高い電位 $VDDH$ を与えることとする。10

【0077】

その結果、センスラッチ 190 にデータ”1”が格納されている場合には、ノードpには VDD が、ノードqには VSS がそれぞれ与えられる。これにより、データ”1”が格納されたセンスラッチ 190 のノードpと接続されたメモリセル 170 の容量素子の第1端子には、 VDD が与えられる。また、センスラッチ 190 にデータ”0”が格納されている場合には、ノードpには VSS が、ノードqには VDD がそれぞれ与えられる。これにより、データ”0”が格納されたセンスラッチ 190 のノードpと接続されたメモリセル 170 の容量素子の第1端子には、 VSS が与えられる。20

【0078】

その後、第1ワード線 $WL(ix, iz)$ を非アクティブ（ここでは、電位 VSS を与える。）にして、メモリセル $170(ix, 1, iz) \sim 170(ix, n, iz)$ のそれぞれが有するトランジスタをオフ状態とする。

【0079】

以上のようにして、センスラッチ $190(ix, 1, 1) \sim 190(ix, n, 1)$ から、メモリセル $170(ix, 1, iz) \sim 170(ix, n, iz)$ へ情報を書き込むことができる。30

【0080】

メモリセル $170(ix, 1, iz) \sim 170(ix, n, iz)$ に格納された情報を保持する場合には、メモリセル $170(ix, 1, iz) \sim 170(ix, n, iz)$ に接続される第1ワード線 $WL(ix, iz)$ を非アクティブ（ここでは、電位 VSS を与える。）とすればよい。これにより、メモリセル $170(ix, 1, iz) \sim 170(ix, n, iz)$ のそれぞれが有するトランジスタがオフ状態となるため、容量素子の第1端子の電位（あるいは、容量素子に蓄積された電荷）は保持される。

【0081】

次に、 $(iz + 1)$ 層目のメモリセルアレイ $202(iz)$ において、1行目～m行目のメモリセル $170(1, 1, iz) \sim 170(m, n, iz)$ から、情報を読み出し、書き込み、及び保持を行う場合について、図5に示すタイミングチャートを参照して説明する。40

【0082】

図5(A)は、信号線 p_c 及び第2ワード線 $WS(1) \sim WS(m)$ のタイミングであり、図5(B)は、信号線 $S_p(1) \sim S_p(m)$ 、信号線 $S_n(1) \sim S_n(m)$ 及び第1ワード線 $WL(1, iz) \sim WL(m, iz)$ のタイミングであり、図5(C)は、データ”1”が格納されたメモリセル 170 に接続されるノードp及びノードqのタイミングであり、図5(D)は、データ”0”が格納されたメモリセル 170 に接続されるノードp及びノードqのタイミングである。

【0083】

50

20

30

40

50

メモリセルアレイ 202 (i z)において、1行目～m行目のメモリセル 170 (1、1、i z)～170 (m、n、i z)から、情報を読み出すためには、まず、信号線 S p (1)～S p (m)に電位 V DD を与え、信号線 S n (1)～S n (m)に電位 V SS を与えることで、1行目～m行目のメモリセル 170 (1、1、i z)～170 (m、n、i z)を非アクティブにする。

【 0084 】

次に、センスラッチ 190 (1、1、1)～190 (m、n、1)のそれぞれが有するノード p 及びノード q に電位 V pc を与えることで、プリチャージを行う。例えば、信号線 pc に電位 V DD を与え、第2ワード線 W S (1)～W S (m)に電位 V DD を与えることで、センスラッチ 190 (1、1、1)～190 (m、n、1)のそれぞれが有するノード p 及びノード q に、電位 V pc が与えられる。電位 V pc は、例えば、(V DD / 2)とする。そして、信号線 pc 及び第2ワード線 W S (1)～W S (m)に与えられる電位を V SS とすることで、プリチャージを終了させる。10

【 0085 】

次に、1行目～m行目の第1ワード線 W L (1、i z)～W L (m、i z)をアクティブにして、メモリセル 170 (1、1、i z)～170 (m、n、i z)のそれぞれが有するトランジスタをオン状態とする。ここでは、第1ワード線 W L (1、i z)～W L (m、i z)に電位 V DD より高い電位 V DDH を与えることとする。

【 0086 】

その結果、メモリセル 170 (1、1、i z)～170 (m、n、i z)のうち、データ " 1 " が格納されたメモリセル 170 に接続されるノード p は、ノード p が有する容量成分とメモリセル 170 が有する容量素子との間で電荷が分配され、ノード p の電位はわずかに上昇する。また、メモリセル 170 (1、1、i z)～170 (m、n、i z)のうち、データ " 0 " が格納されたメモリセル 170 に接続されるノード p は、ノード p が有する容量成分とメモリセル 170 が有する容量素子との間で電荷が分配され、ノード p の電位はわずかに下降する。20

【 0087 】

次に、1行目～m行目のセンスラッチ 190 (1、1、1)～190 (m、n、1)をアクティブにする。具体的には、信号線 S n (1)～S n (m)に与えられる電位を、電位 V SS から電位 V DD とし、信号線 S p (1)～S p (m)に与えられる電位を、電位 V DD から電位 V SS とする。30

【 0088 】

その結果、センスラッチ 190 (1、1、1)～190 (m、n、1)はアクティブとなり、ノード p とノード q との電位差を増幅する。データ " 1 " が格納されたメモリセル 170 に接続されるセンスラッチ 190 のノード p は、電荷の再分配によりノード q と比較して電位がわずかに高い状態となっている。これにより、この電位差がセンスラッチにより増幅され、センスラッチに格納される。つまり、ノード p には電位 V DD が、ノード q には電位 V SS がそれぞれ与えられる。また、データ " 0 " が格納されたメモリセル 170 に接続されるセンスラッチ 190 のノード p は、電荷の再分配によりノード q と比較して電位がわずかに低い状態となっている。これにより、この電位差がセンスラッチにより増幅され、センスラッチに格納される。つまり、ノード p には電位 V SS が、ノード q には電位 V DD がそれぞれ与えられる。このようにして、メモリセル 170 (1、1、i z)～170 (m、n、i z)から、センスラッチ 190 (1、1、1)～190 (m、n、1)へ、情報が読み出される。40

【 0089 】

その後、第1ワード線 W L (1、i z)～W L (m、i z)を、非アクティブ（ここでは、電位 V SS を与える。）として、メモリセル 170 (1、1、i z)～170 (m、n、i z)のそれぞれが有するトランジスタをオフ状態とする。このとき、メモリセル 170 (1、1、i z)～170 (m、n、i z)には、もともと格納されていた情報が、再び格納されることになる。50

【0090】

以上のようにして、メモリセル $170(1, 1, iz) \sim 170(m, n, iz)$ から、センスラッチ $190(1, 1, 1) \sim 190(m, n, 1)$ に情報を読み出すことができる。

【0091】

次に、($iz + 1$)層目のメモリセルアレイ $202(iz)$ において、1行目～m行目のメモリセル $170(1, 1, iz) \sim 170(m, n, iz)$ に、センスラッチ $190(1, 1, 1) \sim 190(m, n, 1)$ に格納された情報を書き込む場合について、図5に示すタイミングチャートを参照して説明する。

【0092】

メモリセルアレイ $202(iz)$ において、1行目～m行目のメモリセル $170(1, 1, iz) \sim 170(m, n, iz)$ に、センスラッチ $190(1, 1, 1) \sim 190(m, n, 1)$ に格納された情報を書き込むためには、1行目～m行目の第1ワード線WL($1, iz \sim WL(m, iz)$)をアクティブにすればよい。ここでは、第1ワード線WL($1, iz \sim WL(m, iz)$)に電位VDDより高い電位VDDHを与えることとする。

10

【0093】

その結果、センスラッチ 190 にデータ”1”が格納されている場合には、ノードpにはVDDが、ノードqにはVSSがそれぞれ与えられる。これにより、データ”1”が格納されたセンスラッチ 190 のノードpと接続されたメモリセル 170 の容量素子の第1端子には、VDDが与えられる。また、センスラッチにデータ”0”が格納されている場合には、ノードpにはVSSが、ノードqにはVDDがそれぞれ与えられる。これにより、データ”0”が格納されたセンスラッチ 190 のノードpと接続されたメモリセル 170 の容量素子の第1端子には、VSSが与えられる。

20

【0094】

その後、第1ワード線WL($1, iz \sim WL(m, iz)$)を非アクティブ(ここでは、電位VSSを与える。)にして、メモリセル $170(1, 1, iz) \sim 170(m, n, iz)$ のそれぞれが有するトランジスタをオフ状態とする。

【0095】

以上のようにして、センスラッチ $190(1, 1, 1) \sim 190(m, n, 1)$ から、メモリセル $170(1, 1, iz) \sim 170(m, n, iz)$ へ情報を書き込むことができる。

30

【0096】

メモリセル $170(1, 1, iz) \sim 170(m, n, iz)$ に格納された情報を保持する場合には、メモリセル $170(1, 1, iz) \sim 170(m, n, iz)$ に接続される第1ワード線WL($1, iz \sim WL(m, iz)$)を非アクティブ(ここでは、電位VSSを与える。)とすればよい。これにより、メモリセル $170(1, 1, iz) \sim 170(m, n, iz)$ のそれぞれが有するトランジスタがオフ状態となるため、容量素子の第1端子の電位(あるいは、容量素子に蓄積された電荷)は保持される。

40

【0097】

次に、図6に、図1(B)に示す半導体装置の一部を示す。図6に示すセンスラッチ 190 は、図3に示すセンスラッチ 190 と、一部異なる。つまり、図3に示すセンスラッチ 190 では、8個のトランジスタで構成されているのに対し、図6に示すセンスラッチ 190 では、6個のトランジスタで構成されている。また、図6に示すセンスラッチ 190 では、図2においてトランジスタ $181, 188$ に相当するトランジスタが、各行に設けられている構成となっている。このような構成とすることで、センスラッチャレイ 201 の占める面積を、図3と比較して、縮小することができる。

【0098】

また、図6に示すセンスラッチ 190 のノードp及びノードqそれぞれにメモリセルを設ける構成としている。これにより、メモリセルアレイ 202 を、図3と比較して、高集積

50

化することができる。

【0099】

図6において、メモリセルアレイ202(i_z)は、ノードpに接続されるm本の第1ワード線WL(1,i_z,1)～WL(m,i_z,1)及びノードpに接続される容量線CP(1,i_z,1)～CP(m,i_z,1)と、ノードpに接続されるマトリクス状に配置された縦m個×横n個のメモリセル170(1,1,i_z,1)～170(m,n,i_z,1)と、を有する。また、ノードqに接続されるm本の第1ワード線WL(1,i_z,2)～WL(m,i_z,2)及びノードqに接続される容量線CP(1,i_z,2)～CP(m,i_z,2)と、ノードqに接続されるマトリクス状に配置された縦m個×横n個のメモリセル170(1,1,i_z,2)～170(m,n,i_z,2)と、を有する。つまり、メモリセルアレイ202(i_z)は、m×2本の第1ワード線WLと、m×2本の容量線CPと、縦(m×2)個×横n個のメモリセル170と、を有する。また、センスラッチアレイ201は、m本の信号線Sp(1)～Sp(m)、信号線Sn(1)～Sn(m)、及び第2ワード線WS(1)～WS(m)と、マトリクス状に配置された縦m個×横n個のセンスラッチ190(1,1,1)～190(m,n,1)と、を有する。つまり、ここでは、第1ワード線WLの本数は第2ワード線WSの本数の2倍である構成とした(図1(B)におけるm₂を2×mとする)。なお、容量線CP(1,i_z,1)～CP(m,i_z,1)及びCP(1,i_z,2)～CP(m,i_z,2)は共通の信号線としてもよい。

10

20

【0100】

また、(1+i_z)層目のメモリセルアレイ202(i_z)において、i_x行i_y列のメモリセル170(i_x,i_y,i_z,1)は、1層目のセンスラッチアレイ201において、i_x行i_y列のセンスラッチ190(i_x,i_y,1)のノードpと接続される。また、i_x行i_y列のメモリセル170(i_x,i_y,i_z,2)は、1層目のセンスラッチアレイ201において、i_x行i_y列のセンスラッチ190(i_x,i_y,1)のノードqと接続される。他のメモリセル及びセンスラッチにおいても同様である。

30

【0101】

また、データ線駆動回路204は、第1データ線DS(1)～DS(n)、第2データ線DSB(1)～DSB(n)を介してセンスラッチアレイ201と接続される。データ線駆動回路204は、n個の読み出し回路241(1)～241(n)と、n個の書き込み回路242(1)～242(n)と、n個のプリチャージ回路243(1)～243(n)と、を有する。例えば、i_y列において、読み出し回路241(i_y)と、書き込み回路242(i_y)と、プリチャージ回路243(i_y)と、センスラッチ190(1,i_y,1)～190(m,i_y,1)とは、第1データ線DS(i_y)及び第2データ線DSB(i_y)を介して電気的に接続される。

40

【0102】

図6に示す回路の動作については、図3に示す回路の動作と同様である。つまり、(i_z+1)層目のメモリセルアレイ202(i_z)において、i_x行目のメモリセル170(i_x,1,i_z,1)～170(i_x,n,i_z,1)から、情報を読み出し、書き込み、及び保持を行う場合については、図4に示すタイミングチャートにおいて、第1ワード線WL(i_x,i_z)を第1ワード線WL(i_x,i_z,1)と置き換えることで、そのまま適用することができる。また、(i_z+1)層目のメモリセルアレイ202(i_z)において、i_x行目のメモリセル170(i_x,1,i_z,2)～170(i_x,n,i_z,2)から、情報を読み出し、書き込み、及び保持を行う場合については、図4に示すタイミングチャートにおいて、第1ワード線WL(i_x,i_z)を第1ワード線WL(i_x,i_z,2)と置き換えることで、そのまま適用することができる。

40

【0103】

また、(i_z+1)層目のメモリセルアレイ202(i_z)において、ノードpに接続された1行目～m行目のメモリセル170(1,1,i_z,1)～170(m,n,i_z,1)から、情報を読み出し、書き込み、及び保持を行う場合については、図5に示すタイ

50

ミングチャートにおいて、第1ワード線WL(1, iz)～WL(m, iz)を第1ワード線WL(1, iz, 1)～WL(m, iz, 1)と置き換えることで、そのまま適用することができる。また、(iz+1)層目のメモリセルアレイ202(iz)において、ノードqに接続された1行目～m行目のメモリセル170(1, 1, iz, 2)～170(m, n, iz, 2)から、情報を読み出し、書き込み、及び保持を行う場合については、図5に示すタイミングチャートにおいて、第1ワード線WL(1, iz)～WL(m, iz)を第1ワード線WL(1, iz, 2)～WL(m, iz, 2)と置き換えることで、そのまま適用することができる。

【0104】

なお、本実施の形態では、第(iz+1)層目のメモリセルアレイ202(iz)として、縦m個×横n個のメモリセルを有する場合と、縦(m×2)個×横n個のメモリセルを有する場合と、を示した。本発明の一態様に係る半導体装置はこれに限定されない。第(iz+1)層目のメモリセルアレイ202(iz)として、各センスラッチのノードpにip個のメモリセルが接続され、各センスラッチのノードqにiq個のメモリセルが接続されていても構わない(ip, iqは自然数)。この場合、第(iz+1)層目のメモリセルアレイ202(iz)に接続される第1ワード線WLの本数は第2ワード線WSの本数の(ip+iq)倍となる(図1(B)においてm2=(ip+iq)×mとなる)。

【0105】

以上のように、本発明の一態様に係る半導体装置は、1層目に酸化物半導体以外の半導体材料を用いたセンスラッチアレイと、2層目(または2層目以上)に酸化物半導体材料を用いたメモリセルアレイと、を有することにより、高速書き込み及び読み出し、かつ実質的に不揮発なメモリを実現できる。特に、上記のように、センスラッチの数(縦m個×横n個)のメモリセルから並列に情報を読み出すことや書き込むことが可能であるため、メモリセルからセンスラッチへのビットあたりの読み出し速度やビットあたりの書き込み速度は、非常に高速とすることができます。勿論、外部回路からセンスラッチアレイへの書き込み動作、センスラッチアレイから外部回路への読み出し動作においても高速動作を実現することができる。

【0106】

また、酸化物半導体を用いたトランジスタを含むメモリセルは、従来のフラッシュメモリと比較すると、動作原理の違いにより、1ビットあたりの書き込み動作が非常に高速である。例えば、従来のフラッシュメモリを記憶回路として用い、一つのメモリセルに着目すると、トンネル電流による書き込みを行う場合、微少な電流を用いて電荷の注入・放出を行うため高速な動作は困難である。ホットエレクトロン書き込みを行う場合には、より高速な書き込みが可能であるが、消費電流が高く、一度に多くのビット数の書き込みを行うことは困難である。また、いずれの方式においても、書き込み動作では高電位が必要となるため、高電位を生成するための昇圧回路が必要となる。また、磁性材料を用いた記憶装置であるMRAMは、書き込み動作における消費電流が比較的高いといった問題がある。したがって、MRAMを記憶回路として用い、1度に多くのビット数の書き込みを行う場合、消費電流が非常に高くなるという問題が生じる。

【0107】

これに対し、酸化物半導体を用いたトランジスタを含むメモリセルでは、トンネル電流を流すような高電圧を必要とせず、消費電流も非常に低い。したがって、本発明の一態様に係る半導体装置は、1度に1層目のセンスラッチアレイ201と同じビット数を上層のメモリセルアレイ202に書き込むことが可能である。これにより、ビットあたりの書き込み速度が非常に速いメモリセルアレイを実現することができる。

【0108】

さらに、酸化物半導体を用いたトランジスタはオフ電流が極めて小さいため、従来のDRAMのように、リフレッシュ動作なしでは1秒以下で記憶内容が失われるような揮発性ではなく、従来のDRAMより極めて長期にわたり記憶内容を保持することができる。したがって、酸化物半導体をも用いたトランジスタを、メモリセルとして用いることにより、

10

20

30

40

50

実質的に不揮発なメモリセルを実現することができる。

【0109】

また、酸化物半導体以外の半導体材料を用いたトランジスタは、酸化物半導体材料を用いたトランジスタよりも十分な高速動作が可能である。よって、酸化物半導体以外の半導体材料を用いたトランジスタをセンスラッッチに用いることにより、高速動作を十分に確保したセンスラッチアレイ及びデータ線駆動回路などの周辺回路を好適に実現することが可能である。したがって、これを、酸化物半導体材料を用いたトランジスタを含むメモリセルアレイと組み合わせて用いることにより、半導体装置の動作（例えば、情報の読み出し動作や書き込み動作など）の高速動作を十分に確保することができる。

【0110】

このように、酸化物半導体以外の半導体材料を用いたトランジスタ（換言すると、十分な高速動作が可能なトランジスタ）を用いた駆動回路などの周辺回路と、酸化物半導体を用いたトランジスタ（より広義には、十分にオフ電流が小さいトランジスタ）を用いた記憶回路とを一体に備えることで、これまでにない特徴を有する半導体装置を実現することができる。

【0111】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することができる。

【0112】

（実施の形態2）

本実施の形態では、本発明の一態様に係る半導体装置の構成及びその作製方法について、図7乃至図11を参照して説明する。

【0113】

半導体装置の断面構成

図7に、本発明の一態様に係る半導体装置の断面図を示す。図7において、A1-A2は、トランジスタのチャネル長方向に垂直な断面図であり、B1-B2は、ノードpにおける断面図である。図7に示す半導体装置は下部にセンスラッチアレイ201を有し、上部にメモリセルアレイ202(1)～202(k)を有する。下部のセンスラッチアレイ201では、酸化物半導体以外の半導体材料を用いたトランジスタ180を有し、上部のメモリセルアレイ202(1)～202(k)では、酸化物半導体材料を用いたトランジスタ162を有する。

【0114】

図7に示す半導体装置の1層目には、酸化物半導体以外の半導体材料を含むトランジスタ180を有する。トランジスタ180は、半導体材料（例えば、シリコンなど）を含む基板100に設けられたチャネル形成領域116と、チャネル形成領域116を挟むように設けられた不純物領域120と、不純物領域120に接する金属化合物領域124と、チャネル形成領域116上に設けられたゲート絶縁層108と、ゲート絶縁層108上に設けられたゲート電極110と、金属化合物領域124と電気的に接続するソース電極又はドレイン電極130a、130bと、を有する。また、トランジスタ180を覆うように、絶縁層128が設けられている。ソース電極又はドレイン電極130a、130bは、絶縁層128に形成された開口を通じて、金属化合物領域124と電気的に接続されている。また、絶縁層128上には、ソース電極又はドレイン電極130aに接して導電層136aが形成され、ソース電極又はドレイン電極130bに接して導電層136bが形成されている。なお、トランジスタ180は、nチャネル型またはpチャネル型のいずれであってもよい。酸化物半導体以外の半導体材料を用いたトランジスタ180を含むセンスラッチ190をマトリクス状に設けることにより、センスラッチアレイ201を設けることができる。また、酸化物半導体以外の半導体材料を含むトランジスタ180を、複数組み合わせることによって、第1ワード線駆動回路203等の周辺回路も構成することができる。

【0115】

10

20

30

40

50

また、基板 100 上にはトランジスタ 180 を囲むように素子分離絶縁層 106 が設けられている。なお、高集積化を実現するためには、図 7 に示すようにトランジスタ 180 がサイドウォール絶縁層を有しない構成とすることが望ましい。一方で、トランジスタ 180 の特性を重視する場合には、ゲート電極 110 の側面にサイドウォール絶縁層を設け、そのサイドウォール絶縁層と重畠する領域に形成された不純物濃度が異なる領域を含めて不純物領域 120 を設けても良い。

【0116】

メモリセルアレイ 202(1) は、センスラッチアレイ 201 上に絶縁層 140 を介して設けられている。また、メモリセルアレイ 202(1) はメモリセル 170 を有し、メモリセル 170 は、トランジスタ 162 及び容量素子 164 を用いて構成されている。トランジスタ 162 は、絶縁層 140 などの上に設けられた酸化物半導体層 144 と、酸化物半導体層 144 と電気的に接続されているソース電極又はドレイン電極 142a、およびソース電極又はドレイン電極 142b と、酸化物半導体層 144、ソース電極又はドレイン電極 142a、およびソース電極又はドレイン電極 142b、を覆うゲート絶縁層 146 と、ゲート絶縁層 146 上に酸化物半導体層 144 と重畠するように設けられたゲート電極 148a と、を有する。酸化物半導体材料を用いたトランジスタ 162 を含むメモリセル 170 をマトリクス状に設けることにより、メモリセルアレイ 202(1) を設けることができる。また、メモリセルアレイ 202(k) におけるトランジスタ 172 の構成もトランジスタ 162 と同様である。

【0117】

ここで、メモリセル 170 のトランジスタに用いられる酸化物半導体層 144 は水素などの不純物が十分に除去されることにより、または、十分な酸素が供給されることにより、高純度化されたものであることが望ましい。具体的には、例えば、酸化物半導体層 144 の水素濃度は $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、望ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より望ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。なお、上述の酸化物半導体層 144 中の水素濃度は、二次イオン質量分析法 (SIMS: Secondary Ion Mass Spectroscopy) で測定されるものである。このように、水素濃度が十分に低減されて高純度化され、十分な酸素の供給により酸素欠乏に起因するエネルギーギャップ中の欠陥準位が低減された酸化物半導体層 144 では、キャリア濃度が $1 \times 10^{12} / \text{cm}^3$ 未満、望ましくは、 $1 \times 10^{11} / \text{cm}^3$ 未満、より望ましくは $1.45 \times 10^{10} / \text{cm}^3$ 未満となる。例えば、室温 (25) でのオフ電流 (ここでは、単位チャネル幅 ($1 \mu\text{m}$)あたりの値) は 100 zA (1 zA (ゼプトアンペア) は $1 \times 10^{-21} \text{ A}$) 以下、望ましくは 10 zA 以下となる。このように、i型化 (真性化) または実質的に i 型化された酸化物半導体材料をトランジスタ (トランジスタ 162) に用いることで、極めて優れたオフ電流特性を得ることができる。

【0118】

また、酸化物半導体層 144 は、アルカリ金属、及びアルカリ土類金属の濃度が充分に低減されたものであることが望ましい。SIMS 分析法により測定されるアルカリ金属又はアルカリ土類金属の濃度は、例えば、Na の場合、 $5 \times 10^{16} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{16} \text{ cm}^{-3}$ 以下、さらに好ましくは $1 \times 10^{15} \text{ cm}^{-3}$ 以下、Li の場合、 $5 \times 10^{15} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{15} \text{ cm}^{-3}$ 以下、K の場合、 $5 \times 10^{15} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{15} \text{ cm}^{-3}$ 以下とする。

【0119】

酸化物半導体は不純物に対して鈍感であり、膜中にはかなりの金属不純物が含まれていても問題がなく、ナトリウムのようなアルカリ金属が多量に含まれる廉価なソーダ石灰ガラスも使えると指摘されている (神谷、野村、細野、「アモルファス酸化物半導体の物性とデバイス開発の現状」、固体物理、2009年9月号、Vol. 44、p. 621-633)。しかし、このような指摘は適切でない。アルカリ金属、及びアルカリ土類金属は酸化物半導体にとっては悪性の不純物であり、少ないほうがよい。特にアルカリ金属のうち、Na は酸化物半導体に接する絶縁膜が酸化物であった場合、その中に拡散し、Na⁺ と

10

20

30

40

50

なる。また、酸化物半導体内において、金属と酸素の結合を分断し、あるいは結合中に割り込む。その結果、トランジスタ特性の劣化（例えば、ノーマリオン化（しきい値の負へのシフト）、移動度の低下等）をもたらす。加えて、特性のばらつきの原因ともなる。このような問題は、特に酸化物半導体中の水素の濃度が十分に低い場合において顕著となる。したがって、酸化物半導体中の水素の濃度が $5 \times 10^{19} \text{ cm}^{-3}$ 以下、特に $5 \times 10^{18} \text{ cm}^{-3}$ 以下である場合には、アルカリ金属の濃度を上記の値にすることが強く求められる。

【0120】

容量素子 164 は、ソース電極又はドレイン電極 142a、ゲート絶縁層 146、および導電層 148b、とで構成される。すなわち、ソース電極又はドレイン電極 142a は、容量素子 164 の一方の電極として機能し、導電層 148b は、容量素子 164 の他方の電極として機能することになる。このような構成とすることにより、十分な容量を確保することができる。また、酸化物半導体層 144 とゲート絶縁層 146 とを積層させる場合には、ソース電極又はドレイン電極 142a と、導電層 148b との絶縁性を十分に確保することができる。さらに、容量が不要の場合は、容量素子 164 を設けない構成とすることもできる。また、メモリセルアレイ 202(k) における容量素子 174 の構成も、容量素子 164 と同様である。

10

【0121】

トランジスタ 162 および容量素子 164 の上には絶縁層 150 および絶縁層 152 が設けられている。そして、ゲート絶縁層 146、絶縁層 150、絶縁層 152 などに形成された開口には、電極 154a、電極 154b が設けられ、絶縁層 152 上には、電極 154a、電極 154b と接続する配線 156 が形成される。配線 156 は、メモリセルの一つ他のメモリセルとを接続する配線であり、1 層目に形成されるセンスラッチ 190 のノード p と接続する配線である。また、配線 156 は、電極 154b と、電極 142c と、126 と、を介して導電層 136c と接続されている。これにより、下層のセンスラッチアレイ 201 と、上層のメモリセルアレイ 202(1) とを接続することができる。なお、図 7において、電極 142c は、電極 126 を介して導電層 136c と電気的に接続する場合について示したが、絶縁層 140 に開口を設け、電極 142c と導電層 136c とが直接接する構造としてもよい。なお、図 7においては、ノード p の構造について説明したが、ノード q の構造についても同様である。

20

30

【0122】

また、図 7 では、配線 156 を介して、センスラッチ 190 のノード p と、メモリセル 170 とを接続する例について説明したが、図 14 に示すように、導電層 136c と、電極 126 とソース電極又はドレイン電極 142b とを接続することで、センスラッチ 190 のノード p と、メモリセル 170 とを接続することもできる。

【0123】

また、図 7においては、メモリセルアレイを、k 層積層した例を示している。酸化物半導体材料を用いたメモリセルアレイは、以下のように、従来の DRAM と比較して作製工程を簡略化することができる。

40

【0124】

従来 DRAM は、ビット線に接続されるメモリセル数が多く、大きなビット線容量を有するために、メモリセルには大きな容量素子を作り込む必要がある。そのため、容量素子は高さ方向に大きいものとなり、作製工程も複雑なものとなる。

【0125】

一方、本発明の一態様に係る半導体装置は、ノード p あるいはノード q に接続されるメモリセル数が少なく（例えば、64 個以下、より好ましくは 32 個以下）、ノード p あるいはノード q が有する容量成分が小さいという特徴を有する。

【0126】

ところで、読み出し動作では、メモリセルが有する容量素子とノード p あるいはノード q が有する容量との間で電荷再分配が行われることによる電位変動を検知する。このことは

50

、ノード p あるいはノード q が有する容量が小さいほど、メモリセルが有する容量素子を小さくできることを意味する。

【0127】

従って、本発明の一態様に係る半導体装置は、従来のDRAMと比較して容量素子の作製工程を容易にすることが可能となる。さらに、メモリセルが有する容量を十分小さくすることで、容量素子を平面構造で作り込むことが可能となる。その結果、容量素子の作製工程が簡略化されるとともに、メモリセルを容易に積層することが可能となる。

【0128】

このように、酸化物半導体材料を用いてメモリセルアレイを形成することにより、メモリセルアレイを2層以上積層して形成することができる。これにより、半導体装置の高集積化を図ることができる。10

【0129】

半導体装置の作製方法

次に、上記半導体装置の作製方法の一例について説明する。以下では、はじめに下部のトランジスタ180の作製方法について図8及び図9を参照して説明し、その後、上部のトランジスタ162および容量素子164の作製方法について図10及び図11を参照して説明する。

【0130】

下部のトランジスタの作製方法

まず、基板100を用意する(図8(A)参照)。基板100としては、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコングルマニウム、ガリウムヒ素、インジウムリンなどの化合物半導体基板を適用することができる。また、基板100として、SOI基板も適用することができる。ここでは、基板100として、単結晶シリコン基板を用いる場合について示す。なお、一般に「SOI基板」は、絶縁表面上にシリコン層が設けられた構成の基板をいうが、本明細書等においては、絶縁表面上にシリコン以外の材料からなる半導体層が設けられた構成の基板も含む。つまり、「SOI基板」が有する半導体層は、シリコン層に限定されない。また、SOI基板には、ガラス基板などの絶縁基板上に絶縁層を介して半導体層が設けられた構成も含む。なお、基板100は、酸化物半導体材料を含まないため、酸化物半導体以外の半導体材料を含む基板100とも記す。20

【0131】

基板100として、特に、シリコンなどの単結晶半導体基板を用いる場合には、実施の形態1に示すセンスラッチャレイ201等の周辺回路の動作を高速化するため好ましい。

【0132】

次に、基板100上に、素子分離絶縁層を形成するためのマスクとなる保護層102を形成する(図8(A)参照)。保護層としては、例えば、酸化シリコン、窒化シリコンまたは酸化窒化シリコンなどを材料とする絶縁層を用いることができる。なお、この工程の前後において、トランジスタのしきい値電圧を制御するために、n型の導電性を付与する不純物元素やp型の導電性を付与する不純物元素を基板100に添加してもよい。基板100がシリコンの場合、n型の導電性を付与する不純物元素としては、例えば、リンや砒素などを用いることができる。また、p型の導電性を付与する不純物元素としては、例えば、硼素、アルミニウム、ガリウムなどを用いることができる。40

【0133】

次に、上記の保護層102をマスクとして、エッチングを行い、保護層102に覆われていない領域(露出している領域)の、基板100の一部を除去する。これにより、他の半導体領域と分離された半導体領域104が形成される(図8(B)参照)。当該エッチングには、ドライエッチングを用いることが好適であるが、ウェットエッチングを用いてよい。エッチングガスやエッチング液については被エッチング材料に応じて適宜選択することができる。50

【0134】

次に、半導体領域104を覆うように絶縁層を形成し、半導体領域104に重畠する領域の絶縁層を選択的に除去することで、素子分離絶縁層106を形成する(図8(C)参照)。当該絶縁層は、酸化シリコン、窒化シリコンまたは酸化窒化シリコンなどを材料とする絶縁層を用いることができる。絶縁層の除去方法としては、化学的機械研磨(CMP: Chemical Mechanical Polishing、以下CMP処理といふ)などの研磨処理やエッティング処理などがあるが、そのいずれを用いてもよい。なお、半導体領域104の形成後、または素子分離絶縁層106の形成後には、上記保護層102を除去する。

【0135】

ここで、CMP処理とは、被加工物の表面を基準にし、それにならって表面を化学的・機械的な複合作用により平坦化する手法である。より具体的には、研磨ステージの上に研磨布を貼り付け、被加工物と研磨布との間にスラリー(研磨剤)を供給しながら研磨ステージと被加工物とを各自回転または揺動させて、スラリーと被加工物との化学反応と、研磨布の被加工物との機械研磨の作用により、被加工物の表面を研磨する方法である。

10

【0136】

なお、素子分離絶縁層106の形成方法として、絶縁層を選択的に除去する方法の他、酸素または窒素を打ち込むことにより、絶縁性の領域を形成する方法などを用いることもできる。

【0137】

次に、半導体領域104の表面に絶縁層を形成し、当該絶縁層上に導電材料を含む層を形成する。

20

【0138】

絶縁層は、後にゲート絶縁層となるものであり、例えば、半導体領域104表面の熱処理(熱酸化処理や熱窒化処理など)によって形成することができる。熱処理に代えて、高密度プラズマ処理を適用してもよい。高密度プラズマ処理は、例えば、He、Ar、Kr、Xeなどの希ガス、酸素、酸化窒素、アンモニア、窒素、水素などのうちいずれかの混合ガスを用いて行う。もちろん、CVD法やスパッタリング法等を用いて絶縁層を形成しても良い。当該絶縁層は、酸化シリコン、酸窒化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル、酸化イットリウム、ハフニウムシリケート(HfSi_xO_y(x>0, y>0))、窒素が添加されたハフニウムシリケート(HfSi_xO_yN_z(x>0, y>0, z>0))、窒素が添加されたハフニウムアルミネート(HfAl_xO_yN_z(x>0, y>0, z>0))等を含む単層構造または積層構造とすることが望ましい。また、絶縁層の厚さは、例えば、1nm以上100nm以下、好ましくは10nm以上50nm以下とする。

30

【0139】

導電材料を含む層は、後にゲート電極となるものであり、例えば、アルミニウムや銅、チタン、タンタル、タンクスチレン等の金属材料を用いて形成することができる。また、多結晶シリコンなどの半導体材料を用いて、導電材料を含む層を形成しても良い。形成方法も特に限定されず、蒸着法、CVD法、スパッタリング法、スピンドルコート法などの各種成膜方法を用いることができる。なお、本実施の形態では、導電材料を含む層を、金属材料を用いて形成する場合の一例について示す。

40

【0140】

次に、絶縁層及び導電材料を含む層を選択的にエッティングして、ゲート絶縁層108、ゲート電極110を形成する(図8(C)参照)。

【0141】

次に、半導体領域104にリンや砒素などを添加して、チャネル形成領域116および不純物領域120を形成する(図8(D)参照)。ここで、n型のトランジスタを形成する場合には、リンや砒素を添加し、p型のトランジスタを形成する場合には、硼素やアルミニウムなどの不純物元素を添加すればよい。ここで添加する不純物元素の濃度は適宜設定

50

することができるが、半導体素子が高度に微細化される場合には、その濃度を高くすることが望ましい。

【0142】

なお、ゲート電極110の周囲にサイドウォール絶縁層を形成して、不純物元素が異なる濃度で添加された不純物領域を形成してもよい。

【0143】

次に、ゲート電極110、不純物領域120などを覆うように金属層122を形成する(図8(E)参照)。当該金属層122は、真空蒸着法やスパッタリング法、スピンドル法などの各種成膜方法を用いて形成することができる。金属層122は、半導体領域104を構成する半導体材料と反応することによって低抵抗な金属化合物となる金属材料を用いて形成することが望ましい。このような金属材料としては、例えば、チタン、タンタル、タンクスチル、ニッケル、コバルト、白金等がある。

10

【0144】

次に、熱処理を施して、上記金属層122と半導体材料とを反応させる。これにより、不純物領域120に接する金属化合物領域124が形成される(図8(E)参照)。なお、ゲート電極110として、多結晶シリコンなどを用いる場合には、ゲート電極110の金属層122と接する部分にも、金属化合物領域が形成されることになる。

20

【0145】

上記熱処理としては、フラッシュランプの照射による熱処理を用いることができる。もちろん、他の熱処理方法を用いても良いが、金属化合物の形成に係る化学反応の制御性を向上させるためには、ごく短時間の熱処理を実現できる方法を用いることが望ましい。なお、上記の金属化合物領域は、金属材料と半導体材料との反応により形成されるものであり、十分に導電性が高められた領域である。当該金属化合物領域を形成することで、電気抵抗を十分に低減し、素子特性を向上させることができる。なお、金属化合物領域124を形成した後には、金属層122は除去する。

20

【0146】

次に、上述の工程により形成された各構成を覆うように、絶縁層128を形成する(図9(A)参照)。絶縁層128は、酸化シリコン、酸化窒化シリコン、窒化シリコン、酸化アルミニウム等の無機絶縁材料を含む材料を用いて形成することができる。特に、絶縁層128に誘電率の低い(low-k)材料を用いることで、各種電極や配線の重なりに起因する容量を十分に低減することが可能となるため好適である。なお、絶縁層128には、これらの材料を用いた多孔質の絶縁層を適用してもよい。多孔質の絶縁層では、密度の高い絶縁層と比較して誘電率が低下するため、電極や配線に起因する容量をさらに低減することが可能である。また、絶縁層128は、ポリイミド、アクリル等の有機絶縁材料を用いて形成することも可能である。なお、図9(A)では、絶縁層128の単層構造を示すが、2層以上の積層構造としてもよい。

30

【0147】

次に、絶縁層128に金属化合物領域124にまで達する開口を形成し、当該開口を埋め込むように導電材料を含む層を形成する。導電材料を含む層は、後にソース電極又はドレイン電極130a、130bになるものであり、アルミニウム、銅、チタン、タンタル、タンクスチル等の金属材料を用いて形成することができる。また、多結晶シリコンなどの半導体材料を用いて、導電材料を含む層を形成してもよい。形成方法も特に限定されず、蒸着法、CVD法、スパッタリング法、スピンドル法などの各種成膜方法を用いることができる。

40

【0148】

次に、導電材料を含む層を選択的にエッチングして、導電層136a、136b、及び導電層136cを形成する(図9(C)参照)。

【0149】

以上により、酸化物半導体以外の半導体材料を含む基板100を用いたトランジスタ180が形成される(図9(C)参照)。また、このようなトランジスタ180を複数作製す

50

ることにより、センスラッチアレイ 201 を含む周辺回路を作製することができる。トランジスタ 180 は、高速動作が可能であるという特徴を有する。このため、トランジスタ 180 をセンスラッチアレイ 201 等の周辺回路に適用することにより、センスラッチアレイ 201 等の周辺回路の動作を高速化することができるため好適である。

【0150】

次に、上記の工程により形成された各構成を覆うように、絶縁層 140 を形成する（図 9 (D) 参照）。絶縁層 140 は、絶縁層 128 で示した材料及び形成方法を適用することができる。

【0151】

次に、絶縁層 140 に導電層 136c にまで達する開口を形成し、当該開口を埋め込むように導電材料を含む層を形成する。導電材料を含む層は、ゲート電極 110 や、導電層 136a、136b を形成する際に示した材料及び形成方法を適用することができる。

【0152】

その後、トランジスタ 162 及び容量素子 164 の形成前の処理として、絶縁層 140 に CMP 処理を施して、絶縁層 140 表面を平坦化させる。これにより、絶縁層 140 に埋め込まれた電極 126 が形成される。このとき、電極 126 の上面を露出させることができ（図 9 (D) 参照）。絶縁層 140 の平坦化処理としては、CMP 処理の他にエッティング処理などを適用することも可能であるが、トランジスタ 162 の特性を向上させるために、絶縁層 140 の表面は可能な限り平坦にしておくことが望ましい。

【0153】

なお、上記の各工程の前後には、さらに電極や配線、半導体層、絶縁層などを形成する工程も含んでいてよい。例えば、配線の構造として、絶縁層及び導電層の積層構造となる多層配線構造を採用して、高度に集積化した半導体装置を実現することも可能である。

【0154】

上部のトランジスタの作製方法

まず、絶縁層 140、電極 126 などの上に酸化物半導体層を成膜する。

【0155】

酸化物半導体層は、スパッタリング法等を用いて、少なくとも亜鉛を含む金属酸化物ターゲットを用い、得られる膜厚を 5 nm 以上 50 μm 以下となるように成膜する。

【0156】

用いる酸化物半導体としては、少なくともインジウム (In) あるいは亜鉛 (Zn) を含むことが好ましい。特に In と Zn を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム (Ga) を有することが好ましい。また、スタビライザーとしてスズ (Sn) を有することが好ましい。また、スタビライザーとしてハフニウム (Hf) を有することが好ましい。また、スタビライザーとしてアルミニウム (Al) を有することが好ましい。

【0157】

また、他のスタビライザーとして、ランタノイドである、ランタン (La)、セリウム (Ce)、プラセオジム (Pr)、ネオジム (Nd)、サマリウム (Sm)、ユウロピウム (Eu)、ガドリニウム (Gd)、テルビウム (Tb)、ジスプロシウム (Dy)、ホルミウム (Ho)、エルビウム (Er)、ツリウム (Tm)、イッテルビウム (Yb)、ルテチウム (Lu) のいずれか一種あるいは複数種を有してもよい。

【0158】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物である In-Zn 系酸化物、Sn-Zn 系酸化物、Al-Zn 系酸化物、Zn-Mg 系酸化物、Sn-Mg 系酸化物、In-Mg 系酸化物、In-Ga 系酸化物、三元系金属の酸化物である In-Ga-Zn 系酸化物 (IGZO とも表記する)、In-Al-Zn 系酸化物、In-Sn-Zn 系酸化物、Sn-Ga-Zn 系酸化物、Al-Ga-Zn 系酸化物、Sn-Al-Zn 系酸化物、In-Hf-Zn 系酸化物、In-La-Zn 系酸化物。

10

20

30

40

50

物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、四元系金属の酸化物であるIn-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物を用いることができる。

【0159】

なお、ここで、例えば、In-Ga-Zn系酸化物とは、InとGaとZnを主成分として有する酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素が入っていてもよい。

10

【0160】

また、酸化物半導体として、 $InMO_3 (ZnO)_m$ ($m > 0$) で表記される材料を用いてもよい。なお、Mは、Ga、Fe、Mn及びCoから選ばれた一の金属元素または複数の金属元素を示す。また、酸化物半導体として、 $In_3SnO_5 (ZnO)_n$ ($n > 0$) で表記される材料を用いてもよい。

20

【0161】

例えば、 $In : Ga : Zn = 1 : 1 : 1$ (= 1 / 3 : 1 / 3 : 1 / 3) あるいは $In : Ga : Zn = 2 : 2 : 1$ (= 2 / 5 : 2 / 5 : 1 / 5) の原子数比の In-Ga-Zn系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、 $In : Sn : Zn = 1 : 1 : 1$ (= 1 / 3 : 1 / 3 : 1 / 3)、 $In : Sn : Zn = 2 : 1 : 3$ (= 1 / 3 : 1 / 6 : 1 / 2) あるいは $In : Sn : Zn = 2 : 1 : 5$ (= 1 / 4 : 1 / 8 : 5 / 8) の原子数比の In-Sn-Zn系酸化物やその組成の近傍の酸化物を用いるとよい。

20

【0162】

しかし、これらに限られず、必要とする半導体特性(移動度、しきい値、ばらつき等)に応じて適切な組成のものを用いればよい。また、必要とする半導体特性を得るために、キャリア密度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間結合距離、密度等を適切なものとすることが好ましい。

30

【0163】

例えば、In-Sn-Zn系酸化物では比較的容易に高い移動度が得られる。しかしながら、In-Ga-Zn系酸化物でも、バルク内欠陥密度を低減することにより移動度を上げることができる。

30

【0164】

なお、例えば、In、Ga、Znの原子数比が $In : Ga : Zn = a : b : c$ ($a + b + c = 1$) である酸化物の組成が、原子数比が $In : Ga : Zn = A : B : C$ ($A + B + C = 1$) の酸化物の組成の近傍であるとは、a、b、cが、下記数1を満たすことを言う。

【0165】

【数1】

$$(a - A)^2 + (b - B)^2 + (c - C)^2 \leq r^2$$

40

【0166】

r としては、例えば、0.05とすればよい。他の酸化物でも同様である。

【0167】

酸化物半導体は単結晶でも、非単結晶でもよい。後者の場合、アモルファスでも、多結晶でもよい。また、アモルファス中に結晶性を有する部分を含む構造でも、非アモルファスでもよい。

【0168】

アモルファス状態の酸化物半導体は、比較的容易に平坦な表面を得ることができるので、これを用いてトランジスタを作製した際の界面散乱を低減でき、比較的容易に、比較的高

50

い移動度を得ることができる。

【0169】

また、結晶性を有する酸化物半導体では、よりバルク内欠陥を低減することができ、表面の平坦性を高めればアモルファス状態の酸化物半導体以上の移動度を得ることができる。表面の平坦性を高めるためには、平坦な表面上に酸化物半導体を形成することが好ましく、具体的には、平均面粗さ(R_a)が1nm以下、好ましくは0.3nm以下、より好ましくは0.1nm以下の表面上に形成するとよい。

【0170】

なお、 R_a は、JIS B 0601で定義されている中心線平均粗さを面に対して適用できるよう三次元に拡張したものであり、「基準面から指定面までの偏差の絶対値を平均した値」と表現でき、以下の式にて定義される。

【0171】

【数2】

$$R_a = \frac{1}{S_0} \int_{Y_1}^{Y_2} \int_{X_1}^{X_2} F(X, Y) dXdY$$

【0172】

なお、上記において、 S_0 は、測定面(座標(x_1, y_1) (x_1, y_2) (x_2, y_1) (x_2, y_2)で表される4点によって囲まれる長方形の領域)の面積を指し、 Z_0 は測定面の平均高さを指す。 R_a は原子間力顕微鏡(AFM: Atomic Force Microscope)にて評価可能である。

【0173】

本実施の形態では、c軸配向し、かつab面、表面または界面の方向から見て三角形状または六角形状の原子配列を有し、c軸においては金属原子が層状または金属原子と酸素原子とが層状に配列しており、ab面においてはa軸またはb軸の向きが異なる(c軸を中心に回転した)結晶(CAAC: C Axis Aligned Crystalともいう。)を含む酸化物について説明する。

【0174】

CAACを含む酸化物とは、広義に、非単結晶であって、そのab面に垂直な方向から見て、三角形、六角形、正三角形または正六角形の原子配列を有し、かつc軸方向に垂直な方向から見て、金属原子が層状、または金属原子と酸素原子が層状に配列した相を含む酸化物をいう。

【0175】

CAACは単結晶ではないが、非晶質のみから形成されているものでもない。また、CAACは結晶化した部分(結晶部分)を含むが、1つの結晶部分と他の結晶部分の境界を明確に判別できないこともある。

【0176】

CAACに酸素が含まれる場合、酸素の一部は窒素で置換されてもよい。また、CAACを構成する個々の結晶部分のc軸は一定の方向(例えば、CAACを支持する基板面、CAACの表面などに垂直な方向)に揃っていてもよい。または、CAACを構成する個々の結晶部分のab面の法線は一定の方向(例えば、CAACを支持する基板面、CAACの表面などに垂直な方向)を向いていてもよい。

【0177】

CAACは、その組成などに応じて、導体であったり、半導体であったり、絶縁体であったりする。また、その組成などに応じて、可視光に対して透明であったり不透明であったりする。

【0178】

このようなCAACの例として、膜状に形成され、膜表面または支持する基板面に垂直な方向から観察すると三角形または六角形の原子配列が認められ、かつその膜断面を観察す

ると金属原子または金属原子および酸素原子（または窒素原子）の層状配列が認められる結晶を挙げることもできる。

【0179】

CACに含まれる結晶構造の一例について図15乃至図17を用いて詳細に説明する。なお、特に断りがない限り、図15乃至図17は上方向をc軸方向とし、c軸方向と直交する面をab面とする。なお、単に上半分、下半分という場合、ab面を境にした場合の上半分、下半分をいう。また、図15において丸で囲まれたOは4配位のOを示し、二重丸で囲まれたOは3配位のOを示す。

【0180】

図15(A)に、1個の6配位のInと、Inに近接の6個の4配位の酸素原子（以下4配位のO）と、を有する構造を示す。ここでは、金属原子が1個に対して、近接の酸素原子のみ示した構造を小グループと呼ぶ。図15(A)の構造は、八面体構造をとるが、簡単のため平面構造で示している。なお、図15(A)の上半分および下半分にはそれぞれ3個ずつ4配位のOがある。図15(A)に示す小グループは電荷が0である。

10

【0181】

図15(B)に、1個の5配位のGaと、Gaに近接の3個の3配位の酸素原子（以下3配位のO）と、Gaに近接の2個の4配位のOと、を有する構造を示す。3配位のOは、いずれもab面に存在する。図15(B)の上半分および下半分にはそれぞれ1個ずつ4配位のOがある。また、Inも5配位をとるため、図15(B)に示す構造をとりうる。図15(B)に示す小グループは電荷が0である。

20

【0182】

図15(C)に、1個の4配位のZnと、Znに近接の4個の4配位のOと、を有する構造を示す。図15(C)の上半分には1個の4配位のOがあり、下半分には3個の4配位のOがある。または、図15(C)の上半分に3個の4配位のOがあり、下半分に1個の4配位のOがあつてもよい。図15(C)に示す小グループは電荷が0である。

【0183】

図15(D)に、1個の6配位のSnと、Snに近接の6個の4配位のOと、を有する構造を示す。図15(D)の上半分には3個の4配位のOがあり、下半分には3個の4配位のOがある。図15(D)に示す小グループは電荷が+1となる。

30

【0184】

図15(E)に、2個のZnを含む小グループを示す。図15(E)の上半分には1個の4配位のOがあり、下半分には1個の4配位のOがある。図15(E)に示す小グループは電荷が-1となる。

【0185】

ここでは、複数の小グループの集合体を中グループと呼び、複数の中グループの集合体を大グループ（ユニットセルともいう。）と呼ぶ。

【0186】

ここで、これらの小グループ同士が結合する規則について説明する。図15(A)に示す6配位のInの上半分の3個のOは、下方向にそれぞれ3個の近接Inを有し、下半分の3個のOは、上方向にそれぞれ3個の近接Inを有する。図15(B)に示す5配位のGaの上半分の1個のOは下方向に1個の近接Gaを有し、下半分の1個のOは上方向に1個の近接Gaを有する。図15(C)に示す4配位のZnの上半分の1個のOは、下方向に1個の近接Znを有し、下半分の3個のOは、上方向にそれぞれ3個の近接Znを有する。この様に、金属原子の上方向の4配位のOの数と、そのOの下方向にある近接金属原子の数は等しく、同様に金属原子の下方向の4配位のOの数と、そのOの上方向にある近接金属原子の数は等しい。Oは4配位なので、下方向にある近接金属原子の数と、上方向にある近接金属原子の数の和は4になる。従って、金属原子の上方向にある4配位のOの数と、別の金属原子の下方向にある4配位のOの数との和が4個のとき、金属原子を有する二種の小グループ同士は結合することができる。例えば、6配位の金属原子（InまたはSn）が下半分の4配位のOを介して結合する場合、4配位のOが3個であるため、5

40

50

配位の金属原子（GaまたはIn）、4配位の金属原子（Zn）の上半分の4配位のOのいずれかと結合することになる。

【0187】

これらの配位数を有する金属原子は、c軸方向において、4配位のOを介して結合する。また、このほかにも、層構造の合計の電荷が0となるように複数の小グループが結合して中グループを構成する。

【0188】

図16(A)に、In-Sn-Zn-O系の層構造を構成する中グループのモデル図を示す。図16(B)に、3つの中グループで構成される大グループを示す。なお、図16(C)は、図16(B)の層構造をc軸方向から観察した場合の原子配列を示す。10

【0189】

図16(A)においては、簡単のため、3配位のOは省略し、4配位のOは個数のみ示し、例えば、Snの上半分および下半分にはそれぞれ3個ずつ4配位のOがあることを丸枠の3として示している。同様に、図16(A)において、Inの上半分および下半分にはそれぞれ1個ずつ4配位のOがあり、丸枠の1として示している。また、同様に、図16(A)において、下半分には1個の4配位のOがあり、上半分には3個の4配位のOがあるZnと、上半分には1個の4配位のOがあり、下半分には3個の4配位のOがあるZnとを示している。

【0190】

図16(A)において、In-Sn-Zn-O系の層構造を構成する中グループは、上から順に4配位のOが3個ずつ上半分および下半分にあるSnが、4配位のOが1個ずつ上半分および下半分にあるInと結合し、そのInが、上半分に3個の4配位のOがあるZnと結合し、そのZnの下半分の1個の4配位のOを介して4配位のOが3個ずつ上半分および下半分にあるInと結合し、そのInが、上半分に1個の4配位のOがあるZn2個からなる小グループと結合し、この小グループの下半分の1個の4配位のOを介して4配位のOが3個ずつ上半分および下半分にあるSnと結合している構成である。この中グループが複数結合して大グループを構成する。20

【0191】

ここで、3配位のOおよび4配位のOの場合、結合1本当たりの電荷はそれぞれ-0.667、-0.5と考えることができる。例えば、In(6配位または5配位)、Zn(4配位)、Sn(5配位または6配位)の電荷は、それぞれ+3、+2、+4である。従って、Snを含む小グループは電荷が+1となる。そのため、Snを含む層構造を形成するためには、電荷+1を打ち消す電荷-1が必要となる。電荷-1をとる構造として、図15(E)に示すように、2個のZnを含む小グループが挙げられる。例えば、Snを含む小グループが1個に対し、2個のZnを含む小グループが1個あれば、電荷が打ち消されるため、層構造の合計の電荷を0とすることができます。30

【0192】

具体的には、図16(B)に示した大グループが繰り返されることで、In-Sn-Zn系酸化物の結晶($In_2SnZn_3O_8$)を得ることができる。なお、得られるIn-Sn-Zn系酸化物の層構造は、 $In_2SnZn_2O_7$ (ZnO)_m(mは0または自然数。)とする組成式で表すことができる。40

【0193】

また、このほかにも、四元系金属の酸化物であるIn-Sn-Ga-Zn系酸化物や、三元系金属の酸化物であるIn-Ga-Zn系酸化物(IGZOとも表記する。)、In-Al-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物や、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn50

系酸化物や、二元系金属の酸化物である In - Zn 系酸化物、Sn - Zn 系酸化物、Al - Zn 系酸化物、Zn - Mg 系酸化物、Sn - Mg 系酸化物、In - Mg 系酸化物や、In - Ga 系酸化物などを用いた場合も同様である。

【0194】

例えば、図 17 (A) に、In - Ga - Zn 系酸化物の層構造を構成する中グループのモデル図を示す。

【0195】

図 17 (A)において、In - Ga - Zn 系酸化物の層構造を構成する中グループは、上から順に 4 配位の O が 3 個ずつ上半分および下半分にある In が、4 配位の O が 1 個上半分にある Zn と結合し、その Zn の下半分の 3 個の 4 配位の O を介して、4 配位の O が 1 個ずつ上半分および下半分にある Ga と結合し、その Ga の下半分の 1 個の 4 配位の O を介して、4 配位の O が 3 個ずつ上半分および下半分にある In と結合している構成である。この中グループが複数結合して大グループを構成する。
10

【0196】

図 17 (B) に 3 つの中グループで構成される大グループを示す。なお、図 17 (C) は、図 17 (B) の層構造を c 軸方向から観察した場合の原子配列を示している。

【0197】

ここで、In (6 配位または 5 配位)、Zn (4 配位)、Ga (5 配位) の電荷は、それぞれ +3、+2、+3 であるため、In、Zn および Ga のいずれかを含む小グループは、電荷が 0 となる。そのため、これらの小グループの組み合わせであれば中グループの合計の電荷は常に 0 となる。
20

【0198】

また、In - Ga - Zn 系酸化物の層構造を構成する中グループは、図 17 (A) に示した中グループに限定されず、In、Ga、Zn の配列が異なる中グループを組み合わせた大グループも取りうる。

【0199】

ターゲットとしては、四元系金属酸化物である In - Sn - Ga - Zn 系酸化物や、三元系金属酸化物である In - Ga - Zn 系酸化物、In - Sn - Zn 系酸化物、In - Al - Zn 系酸化物、Sn - Ga - Zn 系酸化物、Al - Ga - Zn 系酸化物、Sn - Al - Zn 系酸化物や、二元系金属酸化物である In - Zn 系酸化物、Sn - Zn 系酸化物などを用いることができる。
30

【0200】

また、ターゲットの一例としては、In、Ga、及び Zn を含むターゲットは、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$ [mol 数比] の組成比としたものを用いる。また、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 2$ [mol 数比] の組成比を有するターゲット、または $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 4$ [mol 数比] の組成比を有するターゲット、 $In_2O_3 : Ga_2O_3 : ZnO = 2 : 1 : 8$ [mol 数比] の組成比を有するターゲットを用いることもできる。In、Ga、及び Zn を含むターゲットを用いたスパッタ法で得られる酸化物半導体は、In - Ga - Zn - O で表記され、その酸化物半導体材料は、 $InGaO_3 (ZnO)_m$ ($m > 0$) であり、m が自然数でないことは、ICP - MS (Inductively Coupled Plasma Mass Spectrometry, ICP 質量分析) や、ラザフォード後方散乱 (RBS : Rutherford Back - Scattering) 分析を用いて確認することができる。
40

【0201】

また、In - Sn - Zn 系酸化物のターゲットの組成比は、In : Sn : Zn が原子数比で、1 : 2 : 2、2 : 1 : 3、1 : 1 : 1、または 20 : 45 : 35 などとなるターゲットを用いる。

【0202】

また、酸化物半導体層の成膜時に、スパッタリング装置の処理室の圧力を 0.4 Pa 以下

とすることで、被成膜面及び被成膜物へ、アルカリ金属、水素等の不純物の混入を低減することができる。なお、被成膜物に含まれる水素は、水素原子の他、水素分子、水、水酸基、または水素化物として含まれる場合もある。

【0203】

また、酸化物半導体層の成膜時に、ターゲットと基板との距離（T-S間距離）を40mm以上300mm以下（好ましくは、60mm以上）とする。

【0204】

また、スパッタリング法を用いて酸化物半導体層を成膜する場合、被成膜面の温度は250以上基板の熱処理上限温度以下とする。250は、水素及び水などの不純物が被成膜物中へ混入することを防ぎ、チャンバー内の気相へ不純物を放出する温度である。また、スパッタリング法を用いて酸化物半導体層を成膜する場合、被成膜面の温度の上限は、基板の熱処理上限温度、あるいは成膜物の上限温度（その温度を超えると、成膜物の成分が大きく変化する温度）とする。

10

【0205】

成膜室内の残留水分を除去しつつ、水素、水、水酸基、水素化物などの不純物が十分に除去された高純度ガスを導入し、上記ターゲットを用いて基板上に酸化物半導体層を成膜する。成膜室内の残留水分を除去するためには、排気手段として、クライオポンプ、イオンポンプ、チタンサブリメーションポンプなどの吸着型の真空ポンプを用いることが望ましい。また、排気手段は、ターボ分子ポンプ（Turbo Molecular Pump：TMP）にコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素、水、水酸基、水素化物などの不純物（炭素原子を含む化合物なども含む）などが除去されているため、当該成膜室で成膜した酸化物半導体層に含まれる水素、水、水酸基、水素化物などの不純物の濃度を低減することができる。

20

【0206】

また、酸化物半導体層の成膜時に、スパッタリング装置の処理室のリークレートを $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3 / \text{秒}$ 以下とすることで、スパッタリング法による成膜途中における酸化物半導体層中へ、アルカリ金属、水素化物等の不純物の混入を低減することができる。また、排気系として吸着型の真空ポンプ（例えば、クライオポンプなど）を用いることで、排気系からアルカリ金属、水素原子、水素分子、水、水酸基、または水素化物等の不純物の逆流を低減することができる。

30

【0207】

次に、酸化物半導体層を加工することによって、酸化物半導体層144を形成する。酸化物半導体層の加工は、所望の形状のマスクを酸化物半導体層上に形成した後、当該酸化物半導体層をエッチングすることにより行うことができる。上述のマスクは、フォトリソグラフィ法などの方法を用いて形成することができる。または、インクジェット法などの方法を用いてマスクを形成してもよい。なお、酸化物半導体層のエッチングは、ドライエッティングでもウェットエッティングでもよい。もちろん、これらを組み合わせてもよい。

【0208】

酸化物半導体層の成膜後、または酸化物半導体層144の形成後、必要であれば、水素及び水等をほとんど含まない雰囲気下（窒素雰囲気、酸素雰囲気、乾燥空気雰囲気（例えば、水については露点-40以下、好ましくは露点-60以下）など）で加熱処理（温度範囲200以上700以下）を行ってもよい。この加熱処理は、酸化物半導体層中から、H、OHなどを脱離させる脱水化または脱水素化とも呼ぶことができ、不活性雰囲気下で昇温し、途中で切り替え酸素を含む雰囲気下とする加熱処理を行う場合や、酸素雰囲気下で加熱処理を行う場合は、加酸化処理とも呼べる。

40

【0209】

以上の工程によって、不純物が低減され、i型（真性半導体）または実質的にi型の酸化物半導体層144を形成することができる（図10（A）参照）。

【0210】

次に、酸化物半導体層144などの上に、導電材料を含む層を形成する。

50

【0211】

導電材料を含む層は、後にソース電極およびドレイン電極となるものであり、アルミニウム、クロム、銅、チタン、タンタル、モリブデン、タンゲステン等の金属材料を用いて形成することができる。また、上述した金属材料を成分とする合金等を用いて形成することもできる。さらに、マンガン、マグネシウム、ジルコニウム、ベリリウム、ネオジム、スカンジウムのいずれか、またはこれらを複数組み合わせた材料を用いて形成することもできる。

【0212】

導電材料を含む層は、単層構造であってもよいし、2層以上の積層構造であってもよい。例えば、チタン膜や窒化チタン膜の単層構造、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜が積層された2層構造、窒化チタン膜上にチタン膜が積層された2層構造、チタン膜とアルミニウム膜とチタン膜とが積層された3層構造などが挙げられる。なお、導電材料を含む層を、チタン膜や窒化チタン膜の単層構造とする場合には、テーパー形状を有するソース電極又はドレイン電極142a、142bへの加工が容易であるというメリットがある。

10

【0213】

また、導電材料を含む層は、酸化インジウム、酸化インジウム酸化スズ(ITOともいう)、酸化インジウム酸化亜鉛、酸化亜鉛、ガリウムを添加した酸化亜鉛、グラフェンなどを用いることができる。

20

【0214】

導電材料を含む層を選択的にエッチングしてソース電極又はドレイン電極142a、142b、及び電極142cを形成する(図10(B)参照)。

【0215】

導電材料を含む層のエッチングは、形成されるソース電極又はドレイン電極142a、142b、及び電極142cの端部がテーパー形状となるように行なうことが好ましい。ここで、テーパー角は、例えば、30°以上60°以下とすることが好ましい。ソース電極又はドレイン電極142a、142b、及び電極142cの端部がテーパー形状となるようにエッチングすることにより、後に形成されるゲート絶縁層の被覆性が向上し、段切れを防止することができる。

30

【0216】

トランジスタのチャネル長(L)は、ソース電極又はドレイン電極142a、及びソース電極又はドレイン電極142bの下端部の間隔によって決定される。なお、チャネル長(L)が25nm未満のトランジスタを形成する場合に用いるマスク形成の露光を行う際には、数nm～数10nmと波長の短い超紫外線(Extreme Ultraviolet)を用いるのが望ましい。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成されるトランジスタのチャネル長(L)を、10nm以上1000nm(1μm)以下とすることも可能であり、回路の動作速度を高めることが可能である。また、微細化によって、半導体装置の消費電力を低減することも可能である。

30

【0217】

次に、ソース電極又はドレイン電極142a、142b、及び電極142cを、かつ酸化物半導体層144の一部と接するように、ゲート絶縁層146を形成する(図10(C)参照)。

40

【0218】

ゲート絶縁層146は、CVD法やスパッタリング法等を用いて形成することができる。また、ゲート絶縁層146は、酸化シリコン、窒化シリコン、酸化窒化シリコン、酸化ガリウム、酸化アルミニウム、酸化タンタル、酸化ハフニウム、酸化イットリウム、ハフニウムシリケート(HfSi_xO_y(x>0, y>0))、窒素が添加されたハフニウムシリケート(HfSi_xO_yN_z(x>0, y>0, z>0))、窒素が添加されたハフニウムアルミネート(HfAl_xO_yN_z(x>0, y>0, z>0))、などを含むように形成するのが好適である。ゲート絶縁層146は、単層構造としても良いし、上記の材

50

料を組み合わせて積層構造としても良い。また、その厚さは特に限定されないが、半導体装置を微細化する場合には、トランジスタの動作を確保するために薄くするのが望ましい。例えば、酸化シリコンを用いる場合には、1 nm以上100 nm以下、好ましくは10 nm以上50 nm以下とすることができます。

【0219】

上述のように、ゲート絶縁層を薄くすると、トンネル効果などに起因するゲートリークが問題となる。ゲートリークの問題を解消するには、ゲート絶縁層146に、酸化ハフニウム、酸化タンタル、酸化イットリウム、ハフニウムシリケート($HfSi_xO_y$ ($x > 0$ 、 $y > 0$))、窒素が添加されたハフニウムシリケート($HfSi_xO_yN_z$ ($x > 0$ 、 $y > 0$ 、 $z > 0$))、窒素が添加されたハフニウムアルミネート($HfAl_xO_yN_z$ ($x > 0$ 、 $y > 0$ 、 $z > 0$))、などの高誘電率(high-k)材料を用いると良い。¹⁰ high-k材料をゲート絶縁層146に用いることで、電気的特性を確保しつつ、ゲートリークを抑制するために膜厚を大きくすることが可能になる。なお、high-k材料を含む膜と、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウムなどのいずれかを含む膜との積層構造としてもよい。

【0220】

また、酸化物半導体層144に接する絶縁層(本実施の形態においては、ゲート絶縁層146)は、第13族元素および酸素を含む絶縁材料としてもよい。酸化物半導体材料には第13族元素を含むものが多く、第13族元素を含む絶縁材料は酸化物半導体との相性が良く、これを酸化物半導体層に接する絶縁層に用いることで、酸化物半導体層との界面の状態を良好に保つことができる。²⁰

【0221】

ここで、第13族元素を含む絶縁材料とは、絶縁材料に一または複数の第13族元素を含むことを意味する。第13族元素を含む絶縁材料としては、例えば、酸化ガリウム、酸化アルミニウム、酸化アルミニウムガリウム、酸化ガリウムアルミニウムなどがある。ここで、酸化アルミニウムガリウムとは、ガリウムの含有量(原子%)よりアルミニウムの含有量(原子%)が多いものを示し、酸化ガリウムアルミニウムとは、ガリウムの含有量(原子%)がアルミニウムの含有量(原子%)以上のものを示す。

【0222】

例えば、ガリウムを含有する酸化物半導体層に接してゲート絶縁層を形成する場合に、ゲート絶縁層に酸化ガリウムを含む材料を用いることで酸化物半導体層とゲート絶縁層の界面特性を良好に保つことができる。また、酸化物半導体層と酸化ガリウムを含む絶縁層とを接して設けることにより、酸化物半導体層と絶縁層の界面における水素のパイルアップを低減することができる。なお、絶縁層に酸化物半導体の成分元素と同じ族の元素を用いる場合には、同様の効果を得ることが可能である。例えば、酸化アルミニウムを含む材料を用いて絶縁層を形成することも有効である。なお、酸化アルミニウムは、水を透過せにくいう特性を有しているため、当該材料を用いることは、酸化物半導体層への水の侵入防止という点においても好ましい。³⁰

【0223】

また、酸化物半導体層144に接する絶縁層は、酸素雰囲気下による熱処理や、酸素ドープなどにより、絶縁材料を化学量論的組成比より酸素が多い状態とすることが好ましい。酸素ドープとは、酸素をバルクに添加することをいう。なお、当該バルクの用語は、酸素を薄膜表面のみでなく薄膜内部に添加することを明確にする趣旨で用いている。また、酸素ドープには、プラズマ化した酸素をバルクに添加する酸素プラズマドープが含まれる。また、酸素ドープは、イオン注入法またはイオンドーピング法を用いて行ってもよい。

【0224】

例えば、酸化物半導体層144に接する絶縁層として酸化ガリウムを用いた場合、酸素雰囲気下による熱処理や、酸素ドープを行うことにより、酸化ガリウムの組成を Ga_2O_x ($X = 3 +$ 、 $0 < X < 1$)とすることができます。また、酸化物半導体層144に接する絶縁層として酸化アルミニウムを用いた場合、酸素雰囲気下による熱処理や、酸素ドープ⁴⁰⁵⁰

を行うことにより、酸化アルミニウムの組成を Al_2O_x ($X = 3 + , 0 < X < 1$) とすることができる。または、酸化物半導体層 144 に接する絶縁層として酸化ガリウムアルミニウム(酸化アルミニウムガリウム)を用いた場合、酸素雰囲気下による熱処理や、酸素ドープを行うことにより、酸化ガリウムアルミニウム(酸化アルミニウムガリウム)の組成を $\text{Ga}_x\text{Al}_{2-x}\text{O}_{3+}$ ($0 < X < 2, 0 < X < 1$) とすることができる。

【0225】

酸素ドープ処理等を行うことにより、化学量論的組成比より酸素が多い領域を有する絶縁層を形成することができる。このような領域を備える絶縁層と酸化物半導体層が接することにより、絶縁層中の過剰な酸素が酸化物半導体層に供給され、酸化物半導体層中、または酸化物半導体層と絶縁層の界面における酸素不足欠陥を低減し、酸化物半導体層を i 型化または i 型に限りなく近い酸化物半導体とすることができます。10

【0226】

なお、化学量論的組成比より酸素が多い領域を有する絶縁層は、ゲート絶縁層 146 に代えて、酸化物半導体層 144 の下地膜として形成する絶縁層(例えば、絶縁層 140)に適用しても良く、ゲート絶縁層 146 および下地絶縁層の双方に適用しても良い。

【0227】

次に、上述の工程により形成された各構成を覆うように、導電材料を含む層を成膜する。導電材料を含む層は、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料またはこれらを主成分とする合金材料を用いて形成することができる。導電材料を含む層を選択的にエッチングしてゲート電極 148a および導電層 148b を形成する。なお、ゲート電極 148a および導電層 148b は、単層構造としても良いし、積層構造としても良い。20

【0228】

次に、ゲート絶縁層 146、ゲート電極 148a、および導電層 148b 上に、絶縁層 150 及び絶縁層 152 を形成する(図 11(A)参照)。絶縁層 150 及び絶縁層 152 は、PVD 法や CVD 法などを用いて形成することができる。また、酸化シリコン、酸化窒化シリコン、窒化シリコン、酸化ハフニウム、酸化ガリウム、酸化アルミニウム等の無機絶縁材料を含む材料、ポリイミド、アクリル等の有機材料を含む材料を用いて形成することができる。なお、絶縁層 150 及び絶縁層 152 には、誘電率の低い材料や、誘電率の低い構造(多孔性の構造など)を用いることが望ましい。絶縁層 150 及び絶縁層 152 の誘電率を低くすることにより、配線や電極などの間に生じる容量を低減し、動作の高速化を図ることができるためである。例えば、絶縁層 150 に、無機材料を含む材料を用い、絶縁層 152 に有機材料を含む材料を用いることもできる。30

【0229】

次に、ゲート絶縁層 146、絶縁層 150 及び絶縁層 152 に、ソース電極又はドレイン電極 142b、及び電極 142c にまで達する開口を形成する。当該開口の形成は、マスクなどを用いた選択的なエッチングにより行われる。その後、ソース電極又はドレイン電極 142b 及び電極 142c に接する導電材料を有する層を形成する。次に、導電材料を有する層にエッチング又は CMP 処理することにより、電極 154a、電極 154b を形成する(図 11(B)参照)。40

【0230】

次に、絶縁層 152 を覆い、電極 154a 及び電極 154b と接するように、配線 156 を形成する(図 11(B)参照)。配線 156 は、PVD 法や、CVD 法を用いて導電材料を有する層を形成した後、当該導電材料を有する層をパターニングすることによって形成される。また、導電材料を有する層の材料としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素や、上述した元素を成分とする合金等を用いることができる。マンガン、マグネシウム、ジルコニウム、ベリリウム、ネオジム、スカンジウムのいずれか、またはこれらを複数組み合わせた材料を用いてもよい。

【0231】

10

20

30

40

50

また、電極 154a、電極 154b を用いずに、配線 156 を形成してもよい。例えば、絶縁層 150 の開口を含む領域に PVD 法によりチタン膜を薄く（5 nm 程度）形成し、PVD 法によりチタン膜を薄く形成した後に、開口に埋め込むようにアルミニウム膜を形成する方法を適用することができる。ここで、PVD 法により形成されるチタン膜は、被形成面の酸化膜（自然酸化膜など）を還元し、下部電極など（ここでは、ソース電極又はドレイン電極 142a、電極 142c）との接触抵抗を低減させる機能を有する。また、アルミニウム膜のヒロックを防止することができる。また、チタンや窒化チタンなどによるバリア膜を形成した後に、メッキ法により銅膜を形成してもよい。

【0232】

配線 156 を形成することにより、センスラッチ 190 が有するノード p と、メモリセルが有するトランジスタ 162 のソース電極又はドレイン電極 142b とを、接続することができる（図 11（B）参照）。 10

【0233】

これにより、高純度化された酸化物半導体層 144 を用いたトランジスタ 162 および容量素子 164 を有するメモリセル 170 が完成する（図 11（B）参照）。また、このようなメモリセル 170 を複数作製することにより、メモリセルアレイ 202（1）を作製することができる。

【0234】

以上の工程により、酸化物半導体以外の半導体材料を用いたトランジスタを含む周辺回路と、酸化物半導体材料を用いたトランジスタを含む記憶回路とを、一体に備えた半導体装置を作製することができる。 20

【0235】

上述の作製方法を用いることにより、水素やアルカリ金属の不純物が極めて低減された酸化物半導体層 144 を得ることができる。このような酸化物半導体層 144 を用いてトランジスタ 162 を作製することにより、オフ電流が極めて小さいトランジスタを作製することができる。トランジスタ 162 は、オフ電流が極めて小さいため、メモリセル 170 として用いることにより、長期にわたり記憶内容を保持することができる。

【0236】

また、図 7 に示すメモリセルアレイ 202（1）～202（k）は、簡易な素子構造であるため、メモリセルアレイの積層が容易である。例えば、従来のフラッシュメモリは、フローティングゲートに電荷を保持させるため、または、その電荷を除去するために高い電圧が必要である。これにより、膜質の良いゲート絶縁層が要求され、かつ記憶素子の構造が複雑であるため、記憶回路として積層することは困難であった。また、従来のDRAM は、高い集積度を得るために、高さ方向に大きな容量素子の形成が必要であるため、やはり記憶回路として積層することは困難であった。 30

【0237】

これに対し、酸化物半導体を用いたトランジスタを含むメモリセルは、フラッシュメモリやDRAM と比較して、作製工程を簡略化することができる。また、酸化物半導体を用いたトランジスタを含むメモリセルは、オフ電流が極めて小さいために、電荷を保持する容量素子が小さくてもよい。これらの特徴から、酸化物半導体を用いたトランジスタを含むメモリセル（メモリセルアレイ）を積層して作製することが可能であり、半導体装置を高集積化することができる。 40

【0238】

本実施の形態では、メモリセルアレイ 202（1）まで作製する工程について説明したが、メモリセルアレイ 202（1）の作製方法を用いることにより、メモリセルアレイ 202 を複数積層することができる。例えば、上述の作製方法を用いて、メモリセルアレイを k 層積層することにより、図 7 に示す半導体装置を作製することができる。また、メモリセルアレイを複数積層する場合には、各メモリセルアレイに用いられる酸化物半導体材料は、それぞれ同じ材料を含むことが好ましい。

【0239】

10

20

30

40

50

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【0240】

(実施の形態3)

上記実施の形態において、トランジスタのチャネル形成領域として用いることのできる酸化物半導体層の一形態を、図12を用いて説明する。

【0241】

本実施の形態の酸化物半導体層は、第1の結晶性酸化物半導体層上に第1の結晶性酸化物半導体層よりも厚い第2の結晶性酸化物半導体層を有する積層構造である。

【0242】

次に、絶縁層140上に膜厚1nm以上10nm以下の第1の酸化物半導体膜を形成する。

【0243】

本実施の形態では、絶縁層140として、P C V D法またはスパッタリング法を用いて、50nm以上600nm以下の膜厚の酸化物絶縁層を形成する。例えば、酸化シリコン膜、酸化ガリウム膜、酸化アルミニウム膜、酸化窒化シリコン膜、酸化窒化アルミニウム膜、または窒化酸化シリコン膜から選ばれた一層またはこれらの積層を用いることができる。

【0244】

第1の酸化物半導体膜の形成は、スパッタリング法を用い、そのスパッタリング法による成膜時における基板温度は200以上400以下とする。本実施の形態では、酸化物半導体用ターゲット($In - Ga - Zn$ 系酸化物半導体用ターゲット($In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 2$ [mol数比])を用いて、基板とターゲットの間との距離を170mm、基板温度250、圧力0.4Pa、直流(DC)電源0.5kW、酸素のみ、アルゴンのみ、又はアルゴン及び酸素雰囲気下で膜厚5nmの第1の酸化物半導体膜を成膜する。

【0245】

次いで、基板を配置するチャンバー雰囲気を窒素、または乾燥空気とし、第1の加熱処理を行う。第1の加熱処理の温度は、400以上750以下とする。第1の加熱処理によって第1の結晶性酸化物半導体層145aを形成する(図12(A)参照)。

【0246】

第1の加熱処理の温度にもよるが、第1の加熱処理によって、膜表面から結晶化が起こり、膜の表面から内部に向かって結晶成長し、c軸配向した結晶が得られる。第1の加熱処理によって、亜鉛と酸素が膜表面に多く集まり、上平面が六角形をなす亜鉛と酸素からなるグラフェンタイプの二次元結晶が最表面に1層または複数層形成され、これが膜厚方向に成長して重なり積層となる。加熱処理の温度を上げると表面から内部、そして内部から底部と結晶成長が進行する。

【0247】

第1の加熱処理によって、酸化物絶縁層である絶縁層140中の酸素を第1の結晶性酸化物半導体層145aとの界面またはその近傍(界面からプラスマイナス5nm)に拡散させて、第1の結晶性酸化物半導体層の酸素欠損を低減する。従って、第1の結晶性酸化物半導体層の下地絶縁層として用いられる絶縁層140は、絶縁層140中(バルク中)、第1の結晶性酸化物半導体層145aと絶縁層140の界面、のいずれかには少なくとも化学量論比を超える量の酸素が存在することが好ましい。

【0248】

次いで、第1の結晶性酸化物半導体層145a上に10nmよりも厚い第2の酸化物半導体膜を形成する。第2の酸化物半導体膜の形成は、スパッタリング法を用い、その成膜時における基板温度は200以上400以下とする。成膜時における基板温度を200以上400以下とすることにより、第1の結晶性酸化物半導体層の表面上に接して成膜する酸化物半導体膜にプリカーサの整列が起き、所謂、秩序性を持たせることができる

10

20

30

40

50

。

【0249】

本実施の形態では、酸化物半導体用ターゲット (In-Ga-Zn系酸化物半導体用ターゲット (In₂O₃ : Ga₂O₃ : ZnO = 1 : 1 : 2 [mol数比])) を用いて、基板とターゲットの間との距離を 170 mm、基板温度 400 、圧力 0.4 Pa、直流 (DC) 電源 0.5 kW、酸素のみ、アルゴンのみ、又はアルゴン及び酸素雰囲気下で膜厚 25 nm の第 2 の酸化物半導体膜を成膜する。

【0250】

次いで、基板を配置するチャンバー雰囲気を窒素、または乾燥空気とし、第 2 の加熱処理を行う。第 2 の加熱処理の温度は、400 以上 750 以下とする。第 2 の加熱処理によって第 2 の結晶性酸化物半導体層 145b を形成する (図 12 (B) 参照)。第 2 の加熱処理は、窒素雰囲気下、酸素雰囲気下、或いは窒素と酸素の混合雰囲気下で行うことにより、第 2 の結晶性酸化物半導体層の高密度化及び欠陥数の減少を図る。第 2 の加熱処理によって、第 1 の結晶性酸化物半導体層 145a を核として膜厚方向、即ち底部から内部に結晶成長が進行して第 2 の結晶性酸化物半導体層 145b が形成される。

10

【0251】

また、絶縁層 140 の形成から第 2 の加熱処理までの工程を大気に触れることなく連続的に行なうことが好ましい。絶縁層 140 の形成から第 2 の加熱処理までの工程は、水素及び水分をほとんど含まない雰囲気 (不活性雰囲気、減圧雰囲気、乾燥空気雰囲気など) 下に制御することが好ましく、例えば、水分については露点 -40 以下、好ましくは露点 -50 以下の乾燥窒素雰囲気とする。

20

【0252】

次いで、第 1 の結晶性酸化物半導体層 145a と第 2 の結晶性酸化物半導体層 145b からなる酸化物半導体積層を加工して島状の酸化物半導体積層からなる酸化物半導体層 145 を形成する (図 12 (C) 参照)。図 12 (C) では、第 1 の結晶性酸化物半導体層 145a と第 2 の結晶性酸化物半導体層 145b の界面を点線で示し、第 1 の結晶性酸化物半導体層及び第 2 の結晶性酸化物半導体層の積層構造で示しているが、明確な界面が存在しているのではなく、あくまで分かりやすく説明するために図示している。

20

【0253】

酸化物半導体層の積層の加工は、所望の形状のマスクを酸化物半導体層の積層上に形成した後、当該酸化物半導体層の積層をエッチングすることによって行なうことができる。上述のマスクは、フォトリソグラフィなどの方法を用いて形成することができる。または、インクジェット法などの方法を用いてマスクを形成しても良い。

30

【0254】

なお、酸化物半導体層の積層のエッチングは、ドライエッチングでもウェットエッチングでもよい。もちろん、これらを組み合わせて用いてもよい。

【0255】

また、上記作製方法により、得られる第 1 の結晶性酸化物半導体層及び第 2 の結晶性酸化物半導体層は、c 軸配向を有していることを特徴の一つとしている。ただし、第 1 の結晶性酸化物半導体層及び第 2 の結晶性酸化物半導体層は、単結晶構造ではなく、非晶質構造でもない構造であり、c 軸配向を有した結晶 (C Axis Aligned Crystal; CAACとも呼ぶ) を含む酸化物を有する。

40

【0256】

いずれにしても、CAACを得るには酸化物半導体膜の堆積初期段階において六方晶の結晶が形成されるようにすることと、当該結晶を種として結晶が成長されるようにすることが肝要である。そのためには、基板加熱温度を 100 ~ 500 、好適には 200 ~ 400 、さらに好適には 250 ~ 300 にすると好ましい。また、これに加えて、成膜時の基板加熱温度よりも高い温度で、堆積された酸化物半導体膜を熱処理することで膜中に含まれるミクロな欠陥や、積層界面の欠陥を修復することができる。

【0257】

50

なお、第1及び第2の結晶性酸化物半導体層は、少なくともZnを有する酸化物材料であり、四元系金属酸化物であるIn-Al-Ga-Zn-O系の材料や、In-Sn-Ga-Zn-O系の材料や、三元系金属酸化物であるIn-Ga-Zn-O系の材料、In-A1-Zn-O系の材料、In-Sn-Zn-O系の材料、Sn-Ga-Zn-O系の材料、Al-Ga-Zn-O系の材料、Sn-Al-Zn-O系の材料や、二元系金属酸化物であるIn-Zn-O系の材料、Sn-Zn-O系の材料、Al-Zn-O系の材料、Zn-Mg-O系の材料や、Zn-O系の材料などがある。また、In-Si-Ga-Zn-O系の材料や、In-Ga-B-Zn-O系の材料や、In-B-Zn-O系の材料を用いてもよい。また、上記の材料にSiO₂を含ませてもよい。ここで、例えば、In-Ga-Zn-O系の材料とは、インジウム(In)、ガリウム(Ga)、亜鉛(Zn)を有する酸化物膜、という意味であり、その組成比は特に問わない。また、InとGaとZn以外の元素を含んでいてもよい。

10

【0258】

また、第1の結晶性酸化物半導体層上に第2の結晶性酸化物半導体層を形成する2層構造に限定されず、第2の結晶性酸化物半導体層の形成後に第3の結晶性酸化物半導体層を形成するための成膜と加熱処理のプロセスを繰り返し行って、3層以上の積層構造としてもよい。

20

【0259】

その後、ソース電極又はドレイン電極142a、142b、ゲート絶縁層146、ゲート電極148a、導電層148bを形成することにより、トランジスタ372及び容量素子374が完成する。ソース電極又はドレイン電極142a、142b、ゲート絶縁層146、ゲート電極148a、導電層148bの材料及び形成方法は、実施の形態2を参照できる。

20

【0260】

上記作製方法で形成された酸化物半導体積層からなる酸化物半導体層145を、本明細書に開示する半導体装置(実施の形態2に示すトランジスタ162及びトランジスタ172)に、適宜用いることができる。

30

【0261】

また、酸化物半導体層144として本実施の形態の酸化物半導体積層を用いたトランジスタ372においては、酸化物半導体層の一方の面から他方の面に電界が印加されることはなく、また、電流が酸化物半導体積層の厚さ方向に流れる構造ではない。電流は、主として、酸化物半導体積層の界面を流れるトランジスタ構造であるため、トランジスタに光照射が行われ、またはBTストレスが与えられても、トランジスタ特性の劣化は抑制される、または低減される。

30

【0262】

酸化物半導体層145のような第1の結晶性酸化物半導体層と第2の結晶性酸化物半導体層の積層をトランジスタに用いることで、安定した電気的特性を有し、且つ、信頼性の高いトランジスタを実現できる。

40

【0263】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【0264】

(実施の形態4)

本実施の形態では、In-Sn-Zn系酸化膜を酸化物半導体層に用いたトランジスタの一例について、図30などを用いて説明する。

【0265】

図30は、コプラナー型であるトップゲート・トップコンタクト構造のトランジスタの上面図および断面図である。図30(A)にトランジスタの上面図を示す。また、図30(B)は図30(A)の一点鎖線A1-A2に対応する断面図である。

50

【0266】

図30(B)に示すトランジスタは、基板500と、基板500上に設けられた下地絶縁層502と、下地絶縁層502の周辺に設けられた保護絶縁層504と、下地絶縁層502および保護絶縁層504上に設けられた高抵抗領域506aおよび低抵抗領域506bを有する酸化物半導体層506と、酸化物半導体層506上に設けられたゲート絶縁層508と、ゲート絶縁層508を介して酸化物半導体層506と重畠して設けられたゲート電極510と、ゲート電極510の側面と接して設けられた側壁絶縁層512と、少なくとも低抵抗領域506bと接して設けられた一対の電極514と、少なくとも酸化物半導体層506、ゲート電極510および一対の電極514を覆って設けられた層間絶縁層516と、層間絶縁層516に設けられた開口部を介して少なくとも一対の電極514の一方と接続して設けられた配線518と、を有する。

10

【0267】

なお、図示しないが、層間絶縁層516および配線518を覆って設けられた保護膜を有していても構わない。該保護膜を設けることで、層間絶縁層516の表面伝導に起因して生じる微小リーケ電流を低減することができ、トランジスタのオフ電流を低減することができる。

【0268】

(実施の形態5)

本実施の形態では、上記とは異なるIn-Sn-Zn系酸化物膜を酸化物半導体層に用いたトランジスタの他の一例について示す。

20

【0269】

図31は、本実施例で作製したトランジスタの構造を示す上面図および断面図である。図31(A)はトランジスタの上面図である。また、図31(B)は図31(A)の一点鎖線B1-B2に対応する断面図である。

【0270】

図31(B)に示すトランジスタは、基板600と、基板600上に設けられた下地絶縁層602と、下地絶縁層602上に設けられた酸化物半導体層606と、酸化物半導体層606と接する一対の電極614と、酸化物半導体層606および一対の電極614上に設けられたゲート絶縁層608と、ゲート絶縁層608を介して酸化物半導体層606と重畠して設けられたゲート電極610と、ゲート絶縁層608およびゲート電極610を覆って設けられた層間絶縁層616と、層間絶縁層616に設けられた開口部を介して一対の電極614と接続する配線618と、層間絶縁層616および配線618を覆って設けられた保護膜620と、を有する。

30

【0271】

基板600としてはガラス基板を、下地絶縁層602としては酸化シリコン膜を、酸化物半導体層606としてはIn-Sn-Zn系酸化物膜を、一対の電極614としてはタンゲステン膜を、ゲート絶縁層608としては酸化シリコン膜を、ゲート電極610としては窒化タンタル膜とタンゲステン膜との積層構造を、層間絶縁層616としては酸化窒化シリコン膜とポリイミド膜との積層構造を、配線618としてはチタン膜、アルミニウム膜、チタン膜がこの順で形成された積層構造を、保護膜620としてはポリイミド膜を、それぞれ用いた。

40

【0272】

なお、図31(A)に示す構造のトランジスタにおいて、ゲート電極610と一対の電極614との重畠する幅をL_{0V}と呼ぶ。同様に、酸化物半導体層606に対する一対の電極614のはみ出しをd_Wと呼ぶ。

【0273】

(実施の形態6)

酸化物半導体に限らず、実際に測定される絶縁ゲート型トランジスタの電界効果移動度は、さまざまな理由によって本来の移動度よりも低くなる。移動度を低下させる要因としては半導体内部の欠陥や半導体と絶縁膜との界面の欠陥があるが、Levinsonモデルを用いると、半導体内部に欠陥がないと仮定した場合の電界効果移動度を理論的に導き出

50

せる。

【0274】

半導体本来の移動度を μ_0 、測定される電界効果移動度を μ とし、半導体中に何らかのポテンシャル障壁（粒界等）が存在すると仮定すると、以下の式で表現できる。

【0275】

【数3】

$$\mu = \mu_0 \exp\left(-\frac{E}{kT}\right)$$

10

【0276】

ここで、 E はポテンシャル障壁の高さであり、 k がボルツマン定数、 T は絶対温度である。また、ポテンシャル障壁が欠陥に由来すると仮定すると、 Levenson モデルでは、以下の式で表される。

【0277】

【数4】

$$E = \frac{e^2 N^2}{8\epsilon n} = \frac{e^3 N^2 t}{8\epsilon C_{ox} V_g}$$

20

【0278】

ここで、 e は電気素量、 N はチャネル内の単位面積当たりの平均欠陥密度、 ϵ は半導体の誘電率、 n は単位面積当たりのチャネルに含まれるキャリア数、 C_{ox} は単位面積当たりの容量、 V_g はゲート電圧、 t はチャネルの厚さである。なお、厚さ 30 nm 以下の半導体層であれば、チャネルの厚さは半導体層の厚さと同一として差し支えない。線形領域におけるドレイン電流 I_d は、以下の式となる。

【0279】

【数5】

$$I_d = \frac{W \mu V_g V_d C_{ox}}{L} \exp\left(-\frac{E}{kT}\right)$$

30

【0280】

ここで、 L はチャネル長、 W はチャネル幅であり、ここでは、 $L = W = 10 \mu m$ である。また、 V_d はドレイン電圧である。上式の両辺を V_g で割り、更に両辺の対数を取ると、以下のようになる。

【0281】

【数6】

$$\ln\left(\frac{I_d}{V_g}\right) = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{e^3 N^2 t}{8kT \epsilon C_{ox} V_g}$$

40

【0282】

数6の右辺は V_g の関数である。この式からわかるように、縦軸を $\ln(I_d / V_g)$ 、横軸を $1 / V_g$ として実測値をプロットして得られるグラフの直線の傾きから欠陥密度 N が求められる。すなわち、トランジスタの $I_d - V_g$ 特性から、欠陥密度を評価できる。酸化物半導体としては、インジウム (In)、スズ (Sn)、亜鉛 (Zn) の比率が、 $In : Sn : Zn = 1 : 1 : 1$ のものでは欠陥密度 N は $1 \times 10^{12} / cm^2$ 程度である。

【0283】

このようにして求めた欠陥密度等をもとに数3および数4より $\mu_0 = 120 \text{ cm}^2 / \text{Vs}$

50

が導出される。欠陥のあるIn-Sn-Zn酸化物で測定される移動度は $35\text{ cm}^2/\text{Vs}$ 程度である。しかし、半導体内部および半導体と絶縁膜との界面の欠陥が無い酸化物半導体の移動度 μ_0 は $120\text{ cm}^2/\text{Vs}$ となると予想できる。

【0284】

ただし、半導体内部に欠陥がなくても、チャネルとゲート絶縁層との界面での散乱によってトランジスタの輸送特性は影響を受ける。すなわち、ゲート絶縁層界面からxだけ離れた場所における移動度 μ_1 は、以下の式で表される。

【0285】

【数7】

$$\frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B} \exp\left(-\frac{x}{G}\right)$$

10

【0286】

ここで、Dはゲート方向の電界、B、Gは定数である。BおよびGは、実際の測定結果より求めることができ、上記の測定結果からは、 $B = 4.75 \times 10^7\text{ cm/s}$ 、 $G = 10\text{ nm}$ （界面散乱が及ぶ深さ）である。Dが増加する（すなわち、ゲート電圧が高くなる）と数7の第2項が増加するため、移動度 μ_1 は低下することがわかる。

【0287】

半導体内部の欠陥が無い理想的な酸化物半導体をチャネルに用いたトランジスタの移動度 μ_2 を計算した結果を図18に示す。なお、計算にはシノプシス社製デバイスシミュレーションソフト、Sentaurus Deviceを使用し、酸化物半導体のバンドギャップ、電子親和力、比誘電率、厚さをそれぞれ、 2.8 eV 、 4.7 eV 、 15 、 15 nm とした。これらの値は、スパッタリング法により形成された薄膜を測定して得られたものである。

20

【0288】

さらに、ゲート、ソース、ドレインの仕事関数をそれぞれ、 5.5 eV 、 4.6 eV 、 4.6 eV とした。また、ゲート絶縁層の厚さは 100 nm 、比誘電率は 4.1 とした。チャネル長およびチャネル幅はともに $10\text{ }\mu\text{m}$ 、ドレイン電圧 V_d は 0.1 V である。

【0289】

図18で示されるように、ゲート電圧 1 V 強で移動度 $100\text{ cm}^2/\text{Vs}$ 以上のピークをつけるが、ゲート電圧がさらに高くなると、界面散乱が大きくなり、移動度が低下する。なお、界面散乱を低減するためには、半導体層表面を原子レベルで平坦にすること（Atomic Layer Flatness）が望ましい。

30

【0290】

このような移動度を有する酸化物半導体を用いて微細なトランジスタを作製した場合の特性を計算した結果を図19乃至図21に示す。なお、計算に用いたトランジスタの断面構造を図22に示す。図22に示すトランジスタは酸化物半導体層に n^+ の導電型を呈する半導体領域1030aおよび半導体領域1030cを有する。半導体領域1030aおよび半導体領域1030cの抵抗率は $2 \times 10^{-3}\text{ cm}$ とする。

40

【0291】

図22(A)に示すトランジスタは、下地絶縁層1010と、下地絶縁層1010に埋め込まれるように形成された酸化アルミニウムよりなる埋め込み絶縁物1020の上に形成される。トランジスタは半導体領域1030a、半導体領域1030cと、それらに挟まれ、チャネル形成領域となる真性の半導体領域1030bと、ゲート1050を有する。ゲート1050の幅を 33 nm とする。

【0292】

ゲート1050と半導体領域1030bの間には、ゲート絶縁層1040を有し、また、ゲート1050の両側面には側壁絶縁物1060aおよび側壁絶縁物1060b、ゲート1050の上部には、ゲート1050と他の配線との短絡を防止するための絶縁物107

50

0を有する。側壁絶縁物の幅は5nmとする。また、半導体領域1030aおよび半導体領域1030cに接して、ソース1080aおよびドレイン1080bを有する。なお、このトランジスタにおけるチャネル幅を40nmとする。

【0293】

図22(B)に示すトランジスタは、下地絶縁層1010と、酸化アルミニウムよりなる埋め込み絶縁物1020の上に形成され、半導体領域1030a、半導体領域1030cと、それらに挟まれた真性の半導体領域1030bと、幅33nmのゲート1050とゲート絶縁層1040と側壁絶縁物1060aおよび側壁絶縁物1060bと絶縁物1070とソース1080aおよびドレイン1080bを有する点で図22(A)に示すトランジスタと同じである。10

【0294】

図22(A)に示すトランジスタと図22(B)に示すトランジスタの相違点は、側壁絶縁物1060aおよび側壁絶縁物1060bの下の半導体領域の導電型である。図22(A)に示すトランジスタでは、側壁絶縁物1060aおよび側壁絶縁物1060bの下の半導体領域は n^+ の導電型を呈する半導体領域1030aおよび半導体領域1030cであるが、図22(B)に示すトランジスタでは、真性の半導体領域1030bである。すなわち、図22(B)に示す半導体層において、半導体領域1030a(半導体領域1030c)とゲート1050がLooffだけ重ならない領域ができている。この領域をオフセット領域といい、その幅Looffをオフセット長という。図から明らかなように、オフセット長は、側壁絶縁物1060a(側壁絶縁物1060b)の幅と同じである。20

【0295】

その他の計算に使用するパラメータは上述の通りである。計算にはシノプシス社製デバイスシミュレーションソフト、Sentaurus Deviceを使用した。図19は、図22(A)に示される構造のトランジスタのドレン電流(I_d 、実線)および移動度(μ 、点線)のゲート電圧(V_g 、ゲートとソースの電位差)依存性を示す。ドレン電流 I_d は、ドレン電圧(ドレンとソースの電位差)を+1Vとし、移動度 μ はドレン電圧を+0.1Vとして計算したものである。

【0296】

図19(A)はゲート絶縁層の厚さを15nmとしたものであり、図19(B)は10nmとしたものであり、図19(C)は5nmとしたものである。ゲート絶縁層が薄くなるほど、特にオフ状態でのドレン電流 I_d (オフ電流)が顕著に低下する。一方、移動度 μ のピーク値やオン状態でのドレン電流 I_d (オン電流)には目立った変化がない。ゲート電圧1V前後で、ドレン電流はメモリ素子等で必要とされる10 μ Aを超えることが示された。30

【0297】

図20は、図22(B)に示される構造のトランジスタで、オフセット長Looffを5nmとしたもののドレン電流 I_d (実線)および移動度 μ (点線)のゲート電圧 V_g 依存性を示す。ドレン電流 I_d は、ドレン電圧を+1Vとし、移動度 μ はドレン電圧を+0.1Vとして計算したものである。図20(A)はゲート絶縁層の厚さを15nmとしたものであり、図20(B)は10nmとしたものであり、図20(C)は5nmとしたものである。40

【0298】

また、図21は、図22(B)に示される構造のトランジスタで、オフセット長Looffを15nmとしたもののドレン電流 I_d (実線)および移動度 μ (点線)のゲート電圧依存性を示す。ドレン電流 I_d は、ドレン電圧を+1Vとし、移動度 μ はドレン電圧を+0.1Vとして計算したものである。図21(A)はゲート絶縁層の厚さを15nmとしたものであり、図21(B)は10nmとしたものであり、図21(C)は5nmとしたものである。

【0299】

いずれもゲート絶縁層が薄くなるほど、オフ電流が顕著に低下する一方、移動度 μ のピー50

ク値やオン電流には目立った変化が無い。

【0300】

なお、移動度 μ のピークは、図19では $80\text{ cm}^2/\text{Vs}$ 程度であるが、図20では $60\text{ cm}^2/\text{Vs}$ 程度、図21では $40\text{ cm}^2/\text{Vs}$ 程度と、オフセット長 L_{off} が増加するほど低下する。また、オフ電流も同様な傾向がある。一方、オン電流にはオフセット長 L_{off} の増加にともなって減少するが、オフ電流の低下に比べるとはるかに緩やかである。また、いずれもゲート電圧 1 V 前後で、ドレイン電流はメモリ素子等で必要とされる $10\mu\text{A}$ を超えることが示された。

【0301】

また、In、SnおよびZnを含む酸化物半導体をチャネル形成領域とするトランジスタは、該酸化物半導体を形成する際に基板を加熱して成膜すること、或いは酸化物半導体層を形成した後に熱処理を行うことで良好な特性を得ることができる。なお、主成分とは組成比で5atomic%以上含まれる元素をいう。

10

【0302】

In、SnおよびZnを含む酸化物半導体層の成膜後に基板を意図的に加熱することで、トランジスタの電界効果移動度を向上させることができるとなる。また、トランジスタのしきい値電圧をプラスシフトさせ、ノーマリ・オフ化させることができるとなる。

20

【0303】

例えば、図23(A)乃至図23(C)は、In、Sn、Znを主成分とし、チャネル長 L が $3\mu\text{m}$ 、チャネル幅 W が $10\mu\text{m}$ である酸化物半導体膜と、厚さ 100 nm のゲート絶縁層を用いたトランジスタの特性である。なお、 V_d は 10 V とした。

20

【0304】

図23(A)は基板を意図的に加熱せずにスパッタリング法でIn、SnおよびZnを含む酸化物半導体層を形成したときのトランジスタ特性である。このとき電界効果移動度は $18.8\text{ cm}^2/\text{Vs sec}$ が得られている。一方、基板を意図的に加熱してIn、SnおよびZnを含む酸化物半導体層を形成すると電界効果移動度を向上させることができるとなる。図23(B)は基板を 200°C に加熱してIn、SnおよびZnを含む酸化物半導体層を形成したときのトランジスタ特性を示すが、電界効果移動度は $32.2\text{ cm}^2/\text{Vs sec}$ が得られている。

30

【0305】

電界効果移動度は、In、SnおよびZnを含む酸化物半導体層を形成した後に熱処理をすることによって、さらに高めることができる。図23(C)は、In、SnおよびZnを含む酸化物半導体層を 200°C でスパッタリング成膜した後、 650°C で熱処理をしたときのトランジスタ特性を示す。このとき電界効果移動度は $34.5\text{ cm}^2/\text{Vs sec}$ が得られている。

30

【0306】

基板を意図的に加熱することでスパッタリング成膜中の水分が酸化物半導体膜中に取り込まれるのを低減する効果が期待できる。また、成膜後に熱処理をすることによっても、酸化物半導体層から水素や水酸基若しくは水分を放出させ除去することができ、上記のように電界効果移動度を向上させることができる。このような電界効果移動度の向上は、脱水化・脱水素化による不純物の除去のみならず、高密度化により原子間距離が短くなるためとも推定される。また、酸化物半導体から不純物を除去して高純度化することで結晶化を図ることができる。このように高純度化された非単結晶酸化物半導体は、理想的には $100\text{ cm}^2/\text{Vs sec}$ を超える電界効果移動度を実現することも可能になると推定される。

40

【0307】

In、SnおよびZnを含む酸化物半導体に酸素イオンを注入し、熱処理により該酸化物半導体に含まれる水素や水酸基若しくは水分を放出させ、その熱処理と同時に又はその後の熱処理により酸化物半導体を結晶化させても良い。このような結晶化若しくは再結晶化の処理により結晶性の良い非単結晶酸化物半導体を得ることができる。

40

【0308】

50

基板を意図的に加熱して成膜すること及び／又は成膜後に熱処理することの効果は、電界効果移動度の向上のみならず、トランジスタのノーマリ・オフ化を図ることにも寄与している。基板を意図的に加熱しないで形成されたIn、SnおよびZnを含む酸化物半導体層をチャネル形成領域としたトランジスタは、しきい値電圧がマイナスシフトしてしまう傾向がある。しかし、基板を意図的に加熱して形成された酸化物半導体層を用いた場合、このしきい値電圧のマイナスシフト化は解消される。つまり、しきい値電圧はトランジスタがノーマリ・オフとなる方向に動き、このような傾向は図23(A)と図23(B)の対比からも確認することができる。

【0309】

なお、しきい値電圧はIn、Sn及びZnの比率を変えることによっても制御することができるあり、組成比としてIn : Sn : Zn = 2 : 1 : 3とすることでトランジスタのノーマリ・オフ化を期待することができる。また、ターゲットの組成比をIn : Sn : Zn = 2 : 1 : 3とすることで結晶性の高い酸化物半導体層を得ることができる。

10

【0310】

意図的な基板加熱温度若しくは熱処理温度は、150以上、好ましくは200以上、より好ましくは400以上であり、より高温で成膜し或いは熱処理することでトランジスタのノーマリ・オフ化を図ることが可能となる。

【0311】

また、意図的に基板を加熱した成膜及び／又は成膜後に熱処理をすることで、ゲートバイアス・ストレスに対する安定性を高めることができる。例えば、2MV/cm、150、1時間印加の条件において、ドリフトがそれぞれ±1.5V未満、好ましくは1.0V未満を得ることができる。

20

【0312】

次に、実際に、酸化物半導体層成膜後に加熱処理を行っていない試料1と、650の加熱処理を行った試料2のトランジスタに対してBT試験を行った。なお、試料1及び試料2のトランジスタの構造については、図31を参照すればよい。

【0313】

まず基板温度を25とし、 V_d を10Vとし、トランジスタの V_g - I_d 特性の測定を行った。なお、 V_d はドレイン電圧(ドレインとソースの電位差)を示す。次に、基板温度を150とし、 V_d を0.1Vとした。次に、ゲート絶縁層608に印加される電界強度が2MV/cmとなるように V_g に20Vを印加し、そのまま1時間保持した。次に、 V_g を0Vとした。次に、基板温度25とし、 V_d を10Vとし、トランジスタの V_g - I_d 測定を行った。これをプラスBT試験と呼ぶ。

30

【0314】

同様に、まず基板温度を25とし、 V_d を10Vとし、トランジスタの V_g - I_d 特性の測定を行った。次に、基板温度を150とし、 V_d を0.1Vとした。次に、ゲート絶縁層608に印加される電界強度が-2MV/cmとなるように V_g に-20Vを印加し、そのまま1時間保持した。次に、 V_g を0Vとした。次に、基板温度25とし、 V_d を10Vとし、トランジスタの V_g - I_d 測定を行った。これをマイナスBT試験と呼ぶ。

40

【0315】

試料1のプラスBT試験の結果を図24(A)に、マイナスBT試験の結果を図24(B)に示す。また、試料2のプラスBT試験の結果を図25(A)に、マイナスBT試験の結果を図25(B)に示す。

【0316】

試料1のプラスBT試験およびマイナスBT試験によるしきい値電圧の変動は、それぞれ1.80Vおよび-0.42Vであった。また、試料2のプラスBT試験およびマイナスBT試験によるしきい値電圧の変動は、それぞれ0.79Vおよび0.76Vであった。試料1および試料2のいずれも、BT試験前後におけるしきい値電圧の変動が小さく、信頼性が高いことがわかる。

50

【0317】

熱処理は酸素雰囲気中で行うことができるが、まず窒素若しくは不活性ガス、または減圧下で熱処理を行ってから酸素を含む雰囲気中で熱処理を行っても良い。最初に脱水化・脱水素化を行ってから酸素を酸化物半導体に加えることで、熱処理の効果をより高めることができる。また、後から酸素を加えるには、酸素イオンを電界で加速して酸化物半導体層に注入する方法を適用しても良い。

【0318】

酸化物半導体中及び該酸化物半導体と接する膜との界面には、酸素欠損による欠陥が生成されやすいが、かかる熱処理により酸化物半導体中に酸素を過剰に含ませることにより、定常的に生成される酸素欠損を過剰な酸素によって補償することが可能となる。過剰酸素は主に格子間に存在する酸素であり、その酸素濃度は $1 \times 10^{16} / \text{cm}^3$ 以上 $2 \times 10^{20} / \text{cm}^3$ 以下とすれば、結晶に歪み等を与えることなく酸化物半導体中に含ませることができます。10

【0319】

また、熱処理によって酸化物半導体に結晶が少なくとも一部に含まれるようにすることでも、より安定な酸化物半導体層を得ることができる。例えば、組成比 $\text{In : Sn : Zn} = 1 : 1 : 1$ のターゲットを用いて、基板を意図的に加熱せずにスパッタリング成膜した酸化物半導体層は、X線回折(XRD : X-Ray Diffraction)でハローーパターンが観測される。この成膜された酸化物半導体膜を熱処理することによって結晶化させることができる。熱処理温度は任意であるが、例えば650 の熱処理を行うことで、X線回折により明確な回折ピークを観測することができる。20

【0320】

実際に、In-Sn-Zn系酸化物膜のXRD分析を行った。XRD分析には、Bruker AXS社製X線回折装置D8 ADVANCEを用い、Out-of-Plane法で測定した。

【0321】

XRD分析を行った試料として、試料Aおよび試料Bを用意した。以下に試料Aおよび試料Bの作製方法を説明する。

【0322】

脱水素化処理済みの石英基板上にIn-Sn-Zn系酸化物膜を100nmの厚さで成膜した。30

【0323】

In-Sn-Zn系酸化物膜は、スパッタリング装置を用い、酸素雰囲気で電力を100W(DC)として成膜した。ターゲットは、原子数比で、 $\text{In : Sn : Zn} = 1 : 1 : 1$ のIn-Sn-Zn系酸化物ターゲットを用いた。なお、成膜時の基板加熱温度は200とした。このようにして作製した試料を試料Aとした。

【0324】

次に、試料Aと同様の方法で作製した試料に対し加熱処理を650 の温度で行った。加熱処理は、はじめに窒素雰囲気で1時間の加熱処理を行い、温度を下げずに酸素雰囲気でさらに1時間の加熱処理を行っている。このようにして作製した試料を試料Bとした。40

【0325】

図26に試料Aおよび試料BのXRDスペクトルを示す。試料Aでは、結晶由来のピークが観測されなかったが、試料Bでは、2°が35deg近傍および37deg～38degに結晶由来のピークが観測された。

【0326】

このように、In、SnおよびZnを含む酸化物半導体は成膜時に意図的に加熱すること及び/又は成膜後に熱処理することによりトランジスタの特性を向上させることができる。

【0327】

この基板加熱や熱処理は、酸化物半導体にとって悪性の不純物である水素や水酸基を膜中

10

20

30

40

50

に含ませないようにすること、或いは膜中から除去する作用がある。すなわち、酸化物半導体中でドナー不純物となる水素を除去することで高純度化を図ることができ、それによってトランジスタのノーマリ・オフ化を図ることができ、酸化物半導体が高純度化されることによりオフ電流を $1 \text{ aA} / \mu\text{m}$ 以下にすることができる。ここで、上記オフ電流値の単位は、チャネル幅 $1 \mu\text{m}$ あたりの電流値を示す。

【0328】

図27に、トランジスタのオフ電流と測定時の基板温度（絶対温度）の逆数との関係を示す。ここでは、簡単のため測定時の基板温度の逆数に1000を掛けた数値（1000/T）を横軸としている。

【0329】

具体的には、図27に示すように、基板温度が125 の場合には $1 \text{ aA} / \mu\text{m}$ ($1 \times 10^{-18} \text{ A} / \mu\text{m}$) 以下、85 の場合には $100 \text{ zA} / \mu\text{m}$ ($1 \times 10^{-19} \text{ A} / \mu\text{m}$) 以下、室温(27)の場合には $1 \text{ zA} / \mu\text{m}$ ($1 \times 10^{-21} \text{ A} / \mu\text{m}$) 以下にすることができる。好ましくは、125において $0.1 \text{ aA} / \mu\text{m}$ ($1 \times 10^{-19} \text{ A} / \mu\text{m}$) 以下に、85において $10 \text{ zA} / \mu\text{m}$ ($1 \times 10^{-20} \text{ A} / \mu\text{m}$) 以下に、室温において $0.1 \text{ zA} / \mu\text{m}$ ($1 \times 10^{-22} \text{ A} / \mu\text{m}$) 以下にすることができる。これらのオフ電流値は、Siを半導体膜として用いたトランジスタに比べて、極めて低いものであることは明らかである。

【0330】

もっとも、酸化物半導体層の成膜時に水素や水分が膜中に混入しないように、成膜室外部からのリークや成膜室内の内壁からの脱ガスを十分抑え、スパッタガスの高純度化を図ることが好ましい。例えば、スパッタガスは水分が膜中に含まれないように露点-70 以下であるガスを用いることが好ましい。また、ターゲットそのものに水素や水分などの不純物が含まれていないないように、高純度化されたターゲットを用いることが好ましい。In、SnおよびZnを含む酸化物半導体は熱処理によって膜中の水分を除去することができるが、In、Ga、Znを主成分とする酸化物半導体と比べて水分の放出温度が高いため、好ましくは最初から水分の含まれない膜を形成しておくことが好ましい。

【0331】

また、酸化物半導体層成膜後に650 の加熱処理を行った試料Bを用いたトランジスタにおいて、基板温度と電気的特性の関係について評価した。

【0332】

測定に用いたトランジスタは、チャネル長Lが $3 \mu\text{m}$ 、チャネル幅Wが $10 \mu\text{m}$ 、LoVが $0 \mu\text{m}$ 、dWが $0 \mu\text{m}$ である。なお、 V_d は 10 V とした。なお、基板温度は -40 、 -25 、 25 、 75 、 125 および 150 で行った。ここで、トランジスタにおいて、ゲート電極と一対の電極との重畠する幅をLoVと呼び、酸化物半導体層に対する一対の電極のはみ出しをdWと呼ぶ。

【0333】

図28に、 I_d （実線）および電界効果移動度（点線）の V_g 依存性を示す。また、図29(A)に基板温度としきい値電圧の関係を、図29(B)に基板温度と電界効果移動度の関係を示す。

【0334】

図29(A)より、基板温度が高いほどしきい値電圧は低くなることがわかる。なお、その範囲は -40 ~ 150 で $0.38 \text{ V} \sim -1.08 \text{ V}$ であった。

【0335】

また、図29(B)より、基板温度が高いほど電界効果移動度が低くなることがわかる。なお、その範囲は -40 ~ 150 で $37.4 \text{ cm}^2/\text{Vs} \sim 33.4 \text{ cm}^2/\text{Vs}$ であった。従って、上述の温度範囲において電気的特性の変動が小さいことがわかる。

【0336】

上記のようなIn、SnおよびZnを含む酸化物半導体をチャネル形成領域とするトランジスタによれば、オフ電流を $1 \text{ aA} / \mu\text{m}$ 以下に保ちつつ、電界効果移動度を $30 \text{ cm}^2/\text{Vs}$

10

20

30

40

50

/ V sec 以上、好ましくは 40 cm² / V sec 以上、より好ましくは 60 cm² / V sec 以上とし、L/SI で要求されるオン電流の値を満たすことができる。例えば、L/W = 33 nm / 40 nm の FET で、ゲート電圧 2.7 V、ドレイン電圧 1.0 V のとき 12 μA 以上のオン電流を流すことができる。またトランジスタの動作に求められる温度範囲においても、十分な電気的特性を確保することができる。このような特性であれば、Si 半導体で作られる集積回路の中に酸化物半導体で形成されるトランジスタを混載しても、動作速度を犠牲にすることなく新たな機能を有する集積回路を実現することができる。

【0337】

(実施の形態 7)

10

本実施の形態では、上述の実施の形態で説明した半導体装置を電子機器に適用する場合について、図 13 を用いて説明する。本実施の形態では、コンピュータ、携帯電話機（携帯電話、携帯電話装置ともいう）、携帯情報端末（携帯型ゲーム機、音響再生装置なども含む）、デジタルカメラ、デジタルビデオカメラ、電子ペーパー、テレビジョン装置（テレビ、またはテレビジョン受信機ともいう）などの電子機器に、上述の半導体装置を適用する場合について説明する。

【0338】

図 13 (A) は、ノート型のパーソナルコンピュータであり、筐体 701、筐体 702、表示部 703、キーボード 704 などによって構成されている。筐体 701 と筐体 702 の少なくとも一の内部には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたノート型のパーソナルコンピュータが実現される。

20

【0339】

図 13 (B) は、携帯情報端末 (PDA) であり、本体 711 には、表示部 713 と、外部インターフェイス 715 と、操作ボタン 714 等が設けられている。また、携帯情報端末を操作するスライス 712 などを備えている。本体 711 の内部には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された携帯情報端末が実現される。

30

【0340】

図 13 (C) は、電子ペーパーを実装した電子書籍 720 であり、筐体 721 と筐体 723 の 2 つの筐体で構成されている。筐体 721 および筐体 723 には、それぞれ表示部 725 および表示部 727 が設けられている。筐体 721 と筐体 723 は、軸部 737 により接続されており、該軸部 737 を軸として開閉動作を行うことができる。また、筐体 721 は、電源 731、操作キー 733、スピーカー 735 などを備えている。筐体 721、筐体 723 の少なくとも一の内部には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された電子書籍が実現される。

【0341】

図 13 (D) は、携帯電話機であり、筐体 740 と筐体 741 の 2 つの筐体で構成されている。さらに、筐体 740 と筐体 741 は、スライドし、図 13 (D) のように展開している状態から重なり合った状態とすることができます、携帯に適した小型化が可能である。また、筐体 741 は、表示パネル 742、スピーカー 743、マイクロフォン 744、操作キー 745、ポインティングデバイス 746、カメラ用レンズ 747、外部接続端子 748 などを備えている。また、筐体 740 は、携帯電話機の充電を行う太陽電池セル 749、外部メモリスロット 750 などを備えている。また、アンテナは、筐体 741 に内蔵されている。筐体 740 と筐体 741 の少なくとも一の内部には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された携帯電話機が実現される。

40

【0342】

50

図13(E)は、デジタルカメラであり、本体761、表示部767、接眼部763、操作スイッチ764、表示部765、バッテリー766などによって構成されている。本体761の内部には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたデジタルカメラが実現される。

【0343】

図13(F)は、テレビジョン装置770であり、筐体771、表示部773、スタンド775などで構成されている。テレビジョン装置770の操作は、筐体771が備えるスイッチや、リモコン操作機780により行うことができる。筐体771およびリモコン操作機780の内部には、先の実施の形態に示す半導体装置が搭載されている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたテレビジョン装置が実現される。

10

【0344】

以上のように、本実施の形態に示す電子機器には、先の実施の形態に係る半導体装置が搭載されている。このため、消費電力を低減した電子機器が実現される。

【符号の説明】

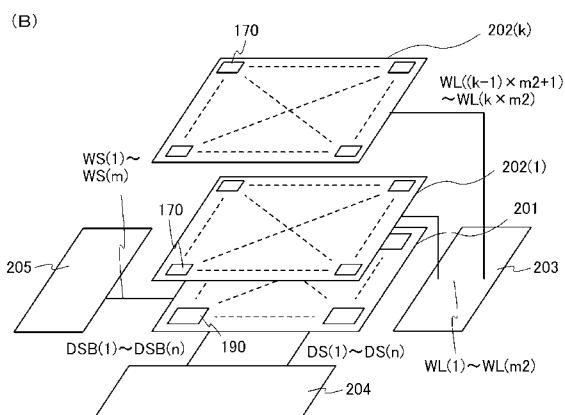
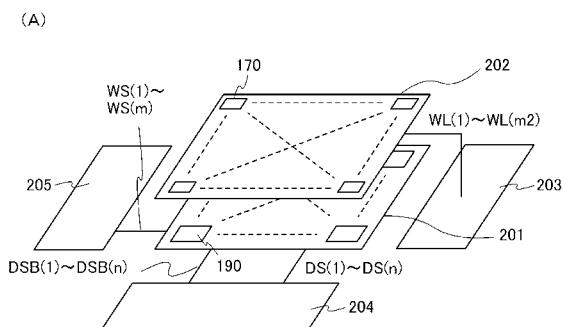
【0345】

100	基板	20
102	保護層	
104	半導体領域	
106	素子分離絶縁層	
108	ゲート絶縁層	
110	ゲート電極	
116	チャネル形成領域	
120	不純物領域	
122	金属層	
124	金属化合物領域	
126	電極	
128	絶縁層	
130a	ソース電極又はドレイン電極	30
130b	ソース電極又はドレイン電極	
136a	導電層	
136b	導電層	
136c	導電層	
140	絶縁層	
142a	ソース電極又はドレイン電極	
142b	ソース電極又はドレイン電極	
142c	電極	
144	酸化物半導体層	40
145	酸化物半導体層	
145a	結晶性酸化物半導体層	
145b	結晶性酸化物半導体層	
146	ゲート絶縁層	
148a	ゲート電極	
148b	導電層	
150	絶縁層	
152	絶縁層	
154a	電極	
154b	電極	
156	配線	50

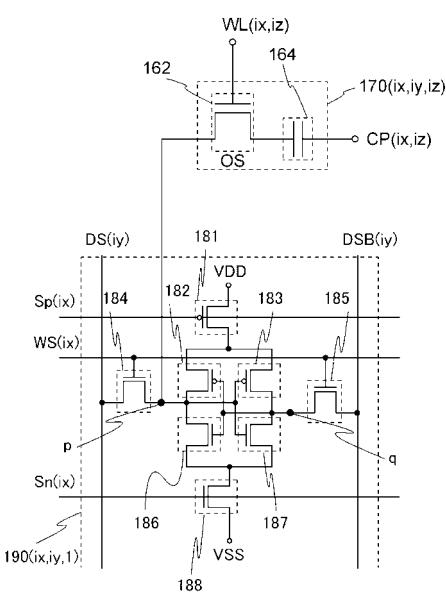
1 6 2	トランジスタ	
1 6 4	容量素子	
1 7 0	メモリセル	
1 7 2	トランジスタ	
1 7 4	容量素子	
1 8 0	トランジスタ	
1 8 1	トランジスタ	
1 8 2	トランジスタ	
1 8 3	トランジスタ	
1 8 4	トランジスタ	10
1 8 5	トランジスタ	
1 8 6	トランジスタ	
1 8 7	トランジスタ	
1 8 8	トランジスタ	
1 9 0	センスラッチ	
2 0 1	センスラッチアレイ	
2 0 2	メモリセルアレイ	
2 0 3	第1ワード線駆動回路	
2 0 4	データ線駆動回路	
2 0 5	第2ワード線駆動回路	20
2 4 1	読み出し回路	
2 4 2	書き込み回路	
2 4 3	プリチャージ回路	
3 7 2	トランジスタ	
3 7 4	容量素子	
5 0 0	基板	
5 0 2	下地絶縁層	
5 0 4	保護絶縁層	
5 0 6	酸化物半導体層	
5 0 6 a	高抵抗領域	30
5 0 6 b	低抵抗領域	
5 0 8	ゲート絶縁層	
5 1 0	ゲート電極	
5 1 2	側壁絶縁層	
5 1 4	電極	
5 1 6	層間絶縁層	
5 1 8	配線	
6 0 0	基板	
6 0 2	下地絶縁層	
6 0 6	酸化物半導体層	40
6 0 8	ゲート絶縁層	
6 1 0	ゲート電極	
6 1 4	電極	
6 1 6	層間絶縁層	
6 1 8	配線	
6 2 0	保護膜	
7 0 1	筐体	
7 0 2	筐体	
7 0 3	表示部	
7 0 4	キー ボード	50

7 1 1	本体	
7 1 2	スタイルス	
7 1 3	表示部	
7 1 4	操作ボタン	
7 1 5	外部インターフェイス	
7 2 0	電子書籍	
7 2 1	筐体	10
7 2 3	筐体	
7 2 5	表示部	
7 2 7	表示部	
7 3 1	電源	
7 3 3	操作キー	
7 3 5	スピーカー	
7 3 7	軸部	
7 4 0	筐体	
7 4 1	筐体	
7 4 2	表示パネル	
7 4 3	スピーカー	
7 4 4	マイクロフォン	
7 4 5	操作キー	20
7 4 6	ポインティングデバイス	
7 4 7	カメラ用レンズ	
7 4 8	外部接続端子	
7 4 9	太陽電池セル	
7 5 0	外部メモリスロット	
7 6 1	本体	
7 6 3	接眼部	
7 6 4	操作スイッチ	
7 6 5	表示部	
7 6 6	バッテリー	30
7 6 7	表示部	
7 7 0	テレビジョン装置	
7 7 1	筐体	
7 7 3	表示部	
7 7 5	スタンド	
7 8 0	リモコン操作機	
1 0 1 0	下地絶縁層	
1 0 2 0	埋め込み絶縁物	
1 0 3 0 a	半導体領域	
1 0 3 0 b	半導体領域	40
1 0 3 0 c	半導体領域	
1 0 4 0	ゲート絶縁層	
1 0 5 0	ゲート	
1 0 6 0 a	側壁絶縁物	
1 0 6 0 b	側壁絶縁物	
1 0 7 0	絶縁物	
1 0 8 0 a	ソース	
1 0 8 0 b	ドレイン	

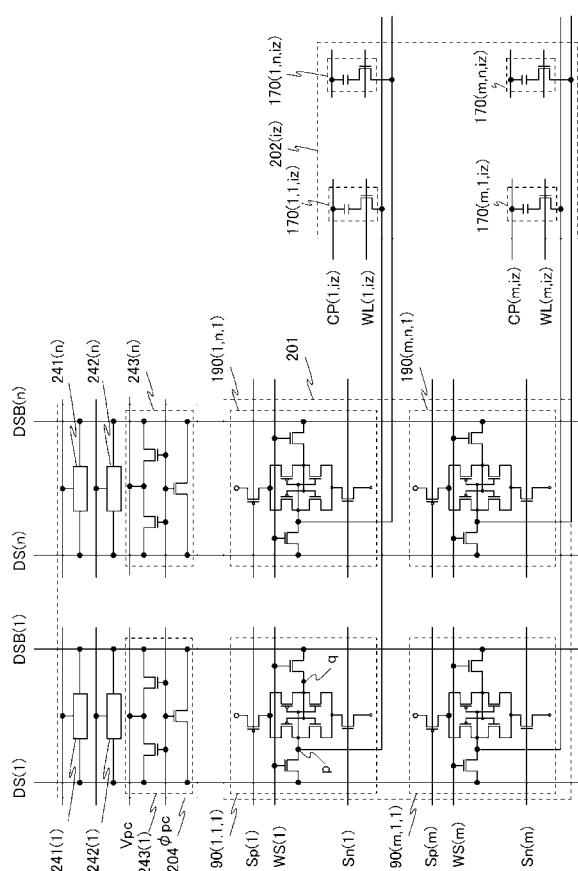
【図1】



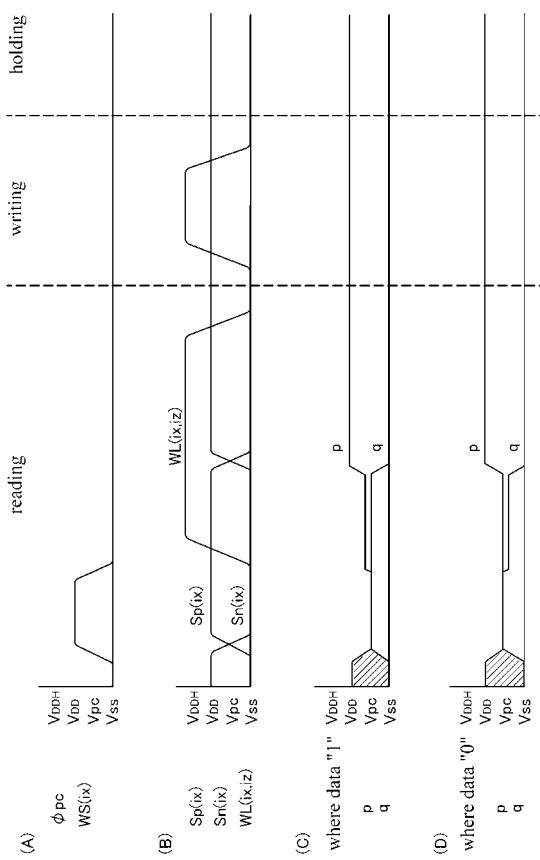
【図2】



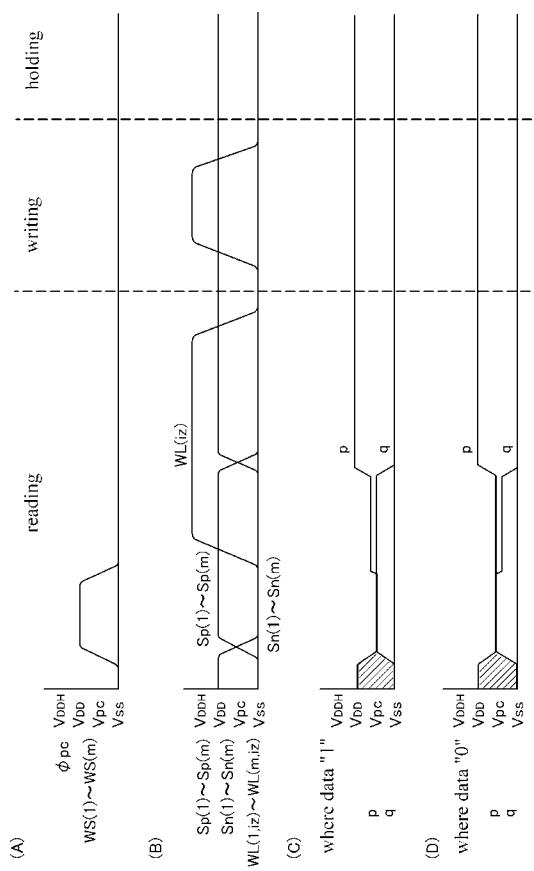
【図3】



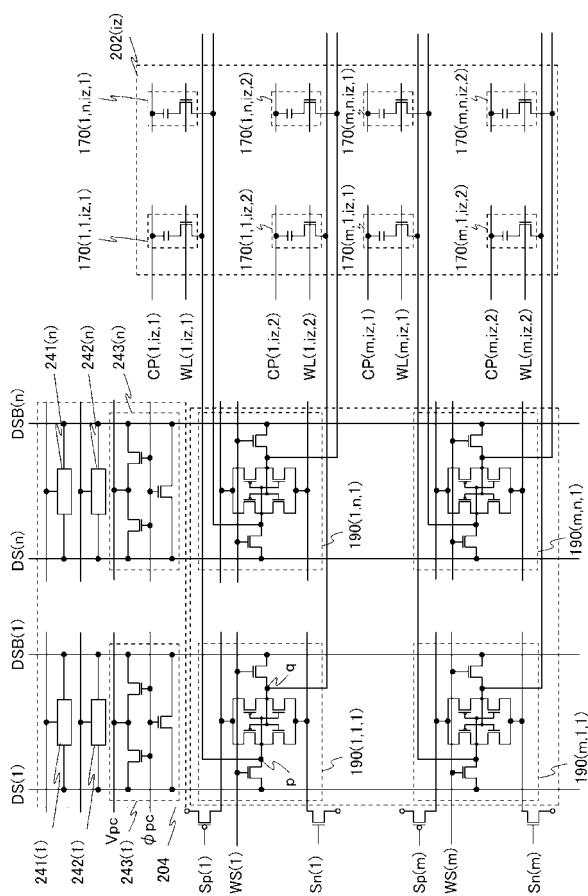
【図4】



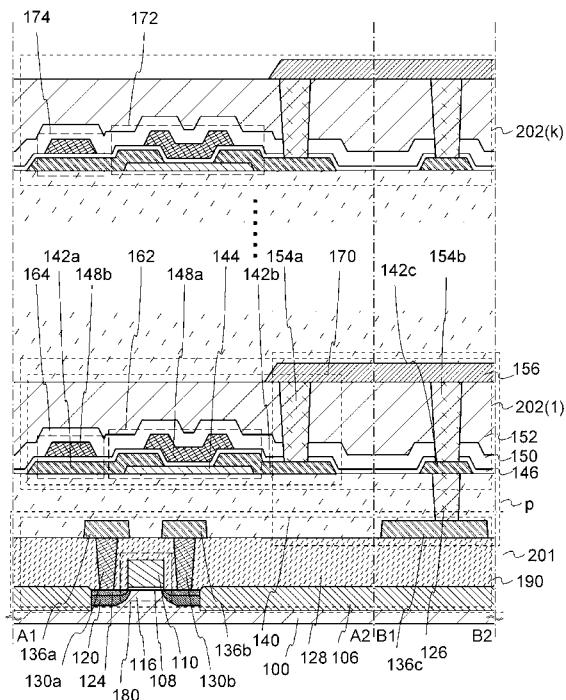
【図5】



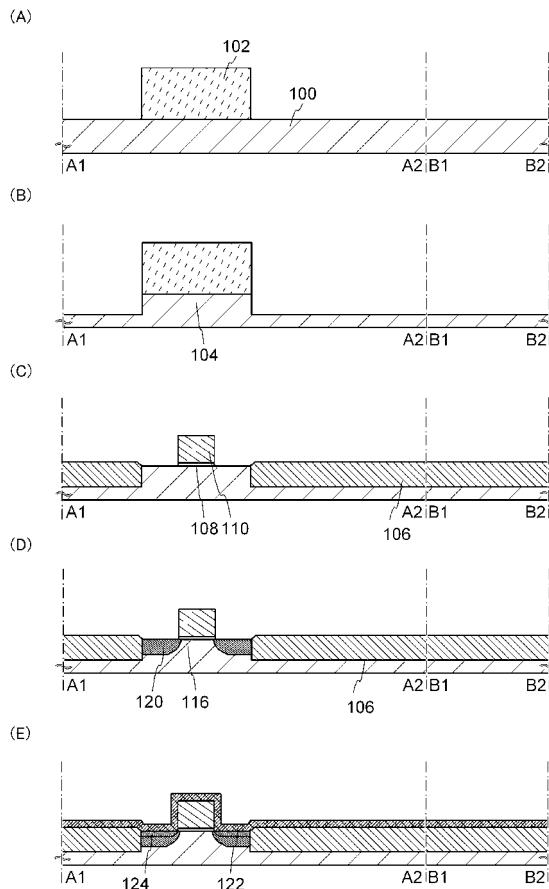
【図6】



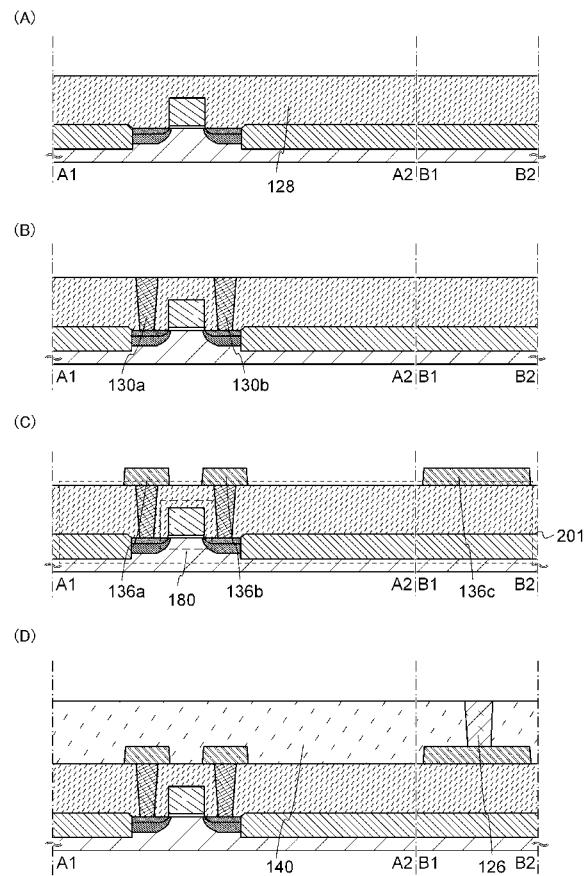
【図7】



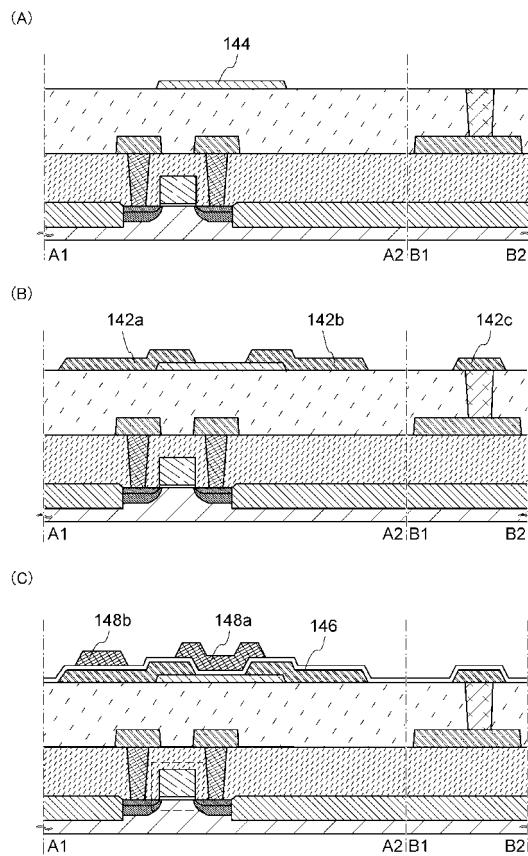
【図8】



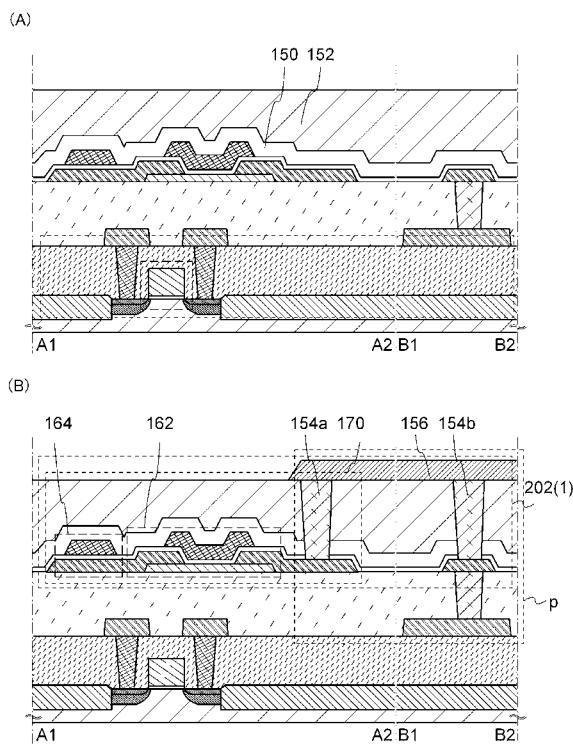
【図9】



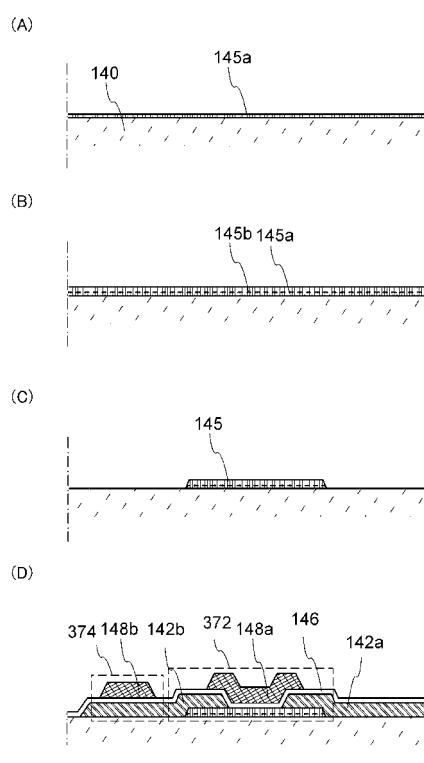
【図10】



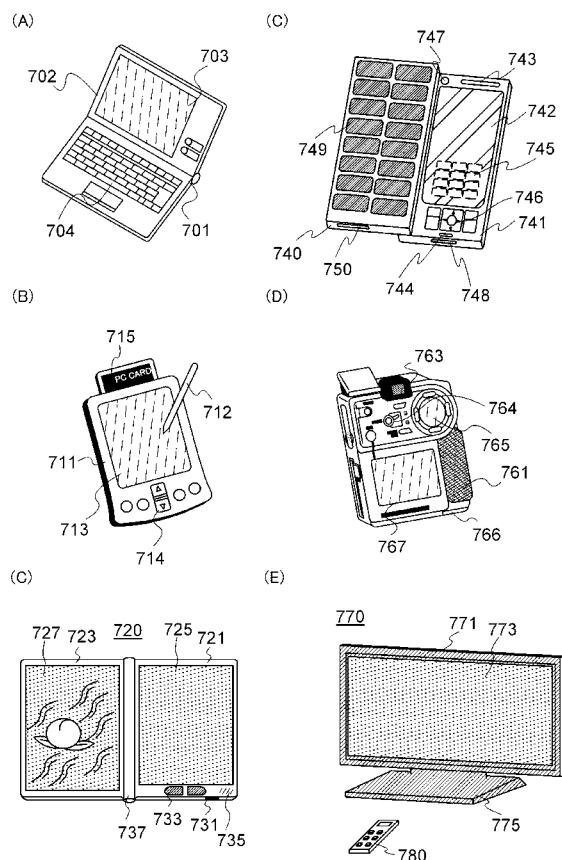
【図11】



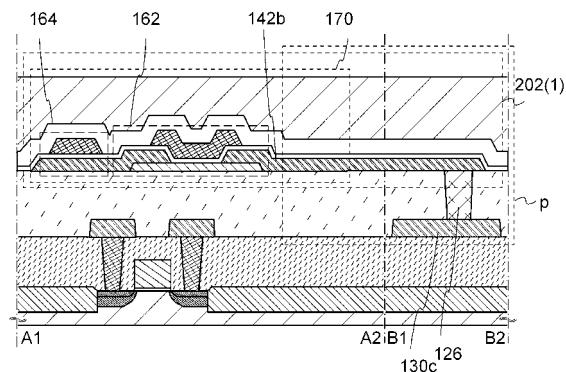
【図12】



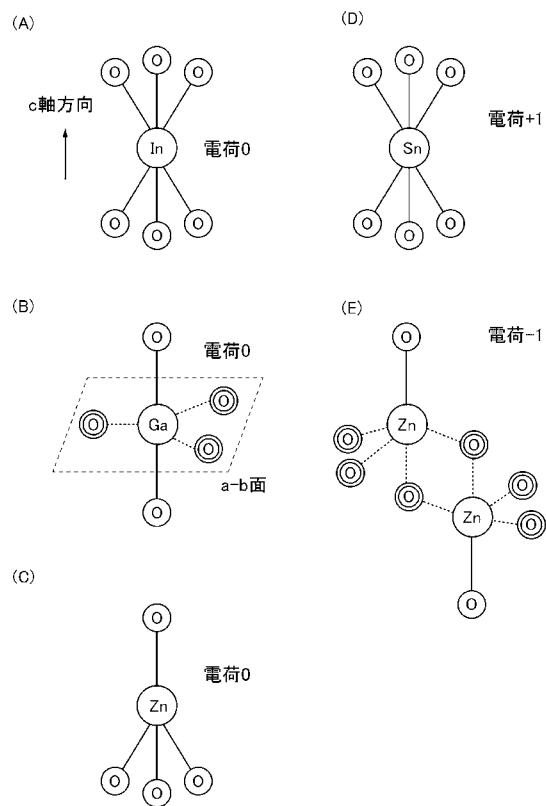
【図13】



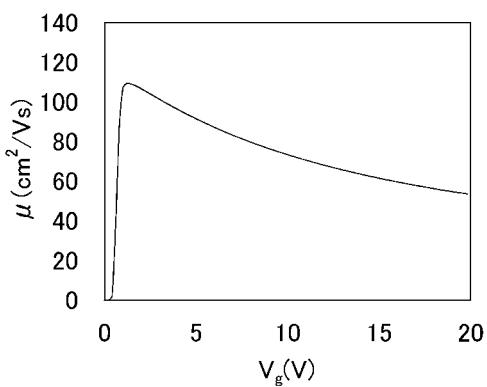
【図14】



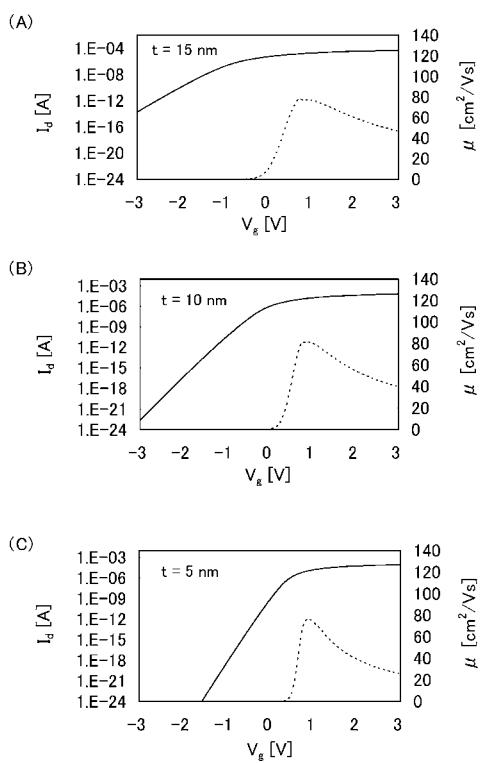
【図15】



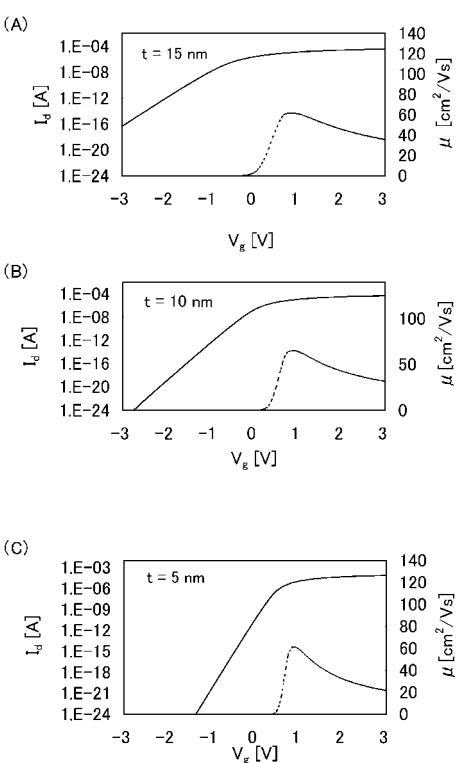
【図18】



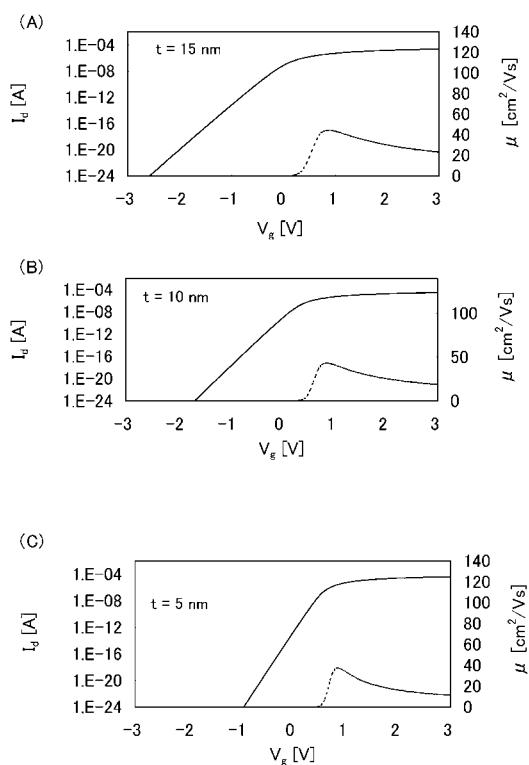
【図19】



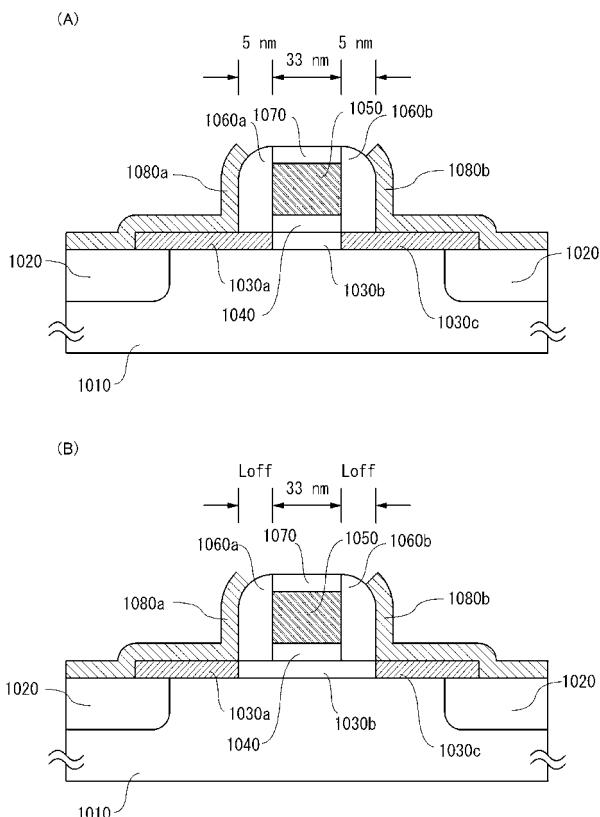
【図20】



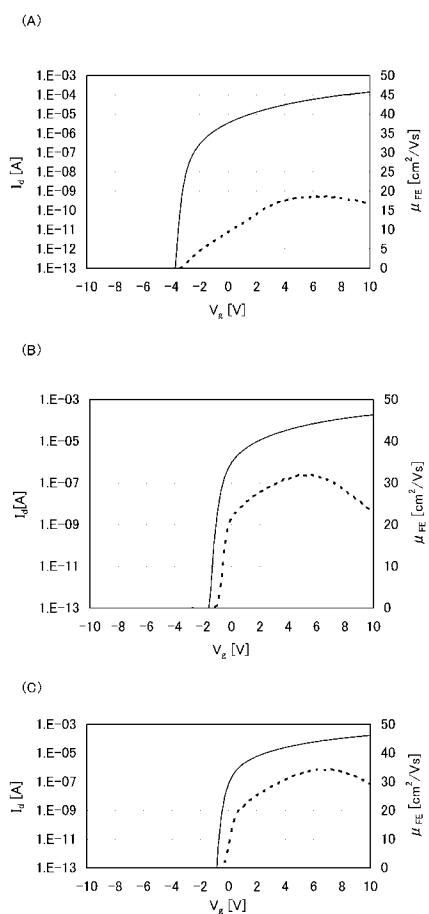
【図21】



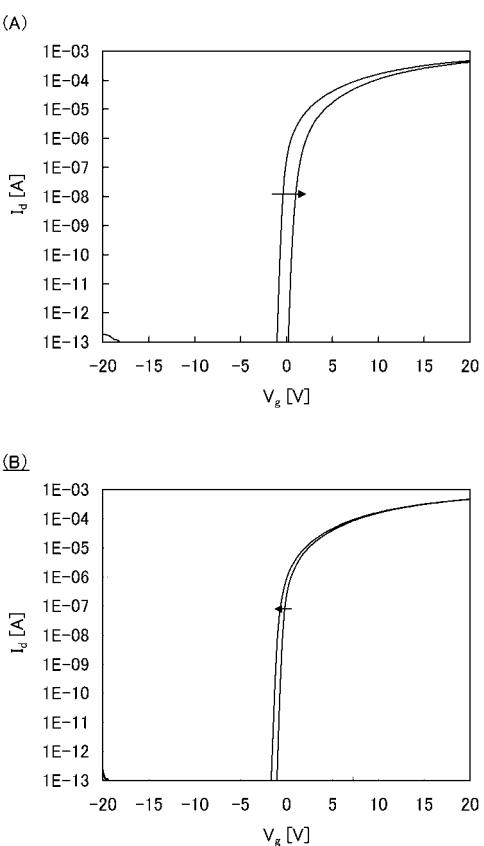
【図22】



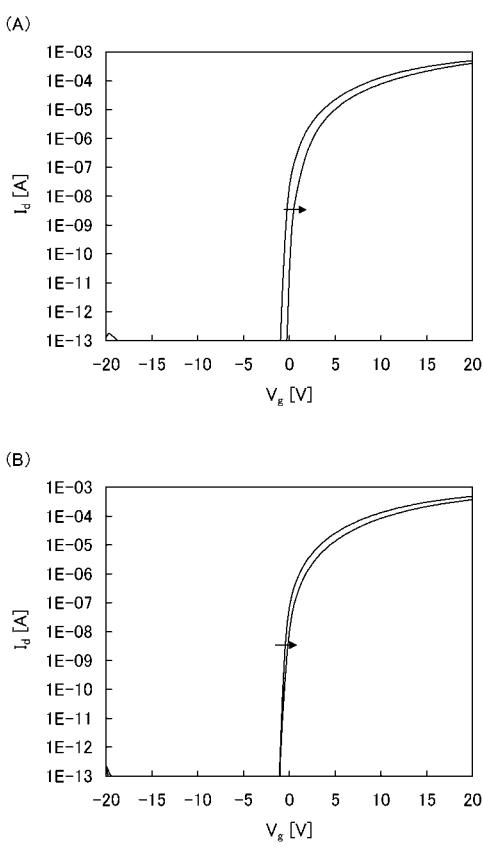
【図23】



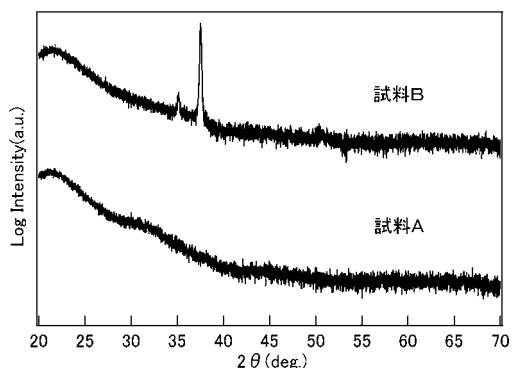
【図24】



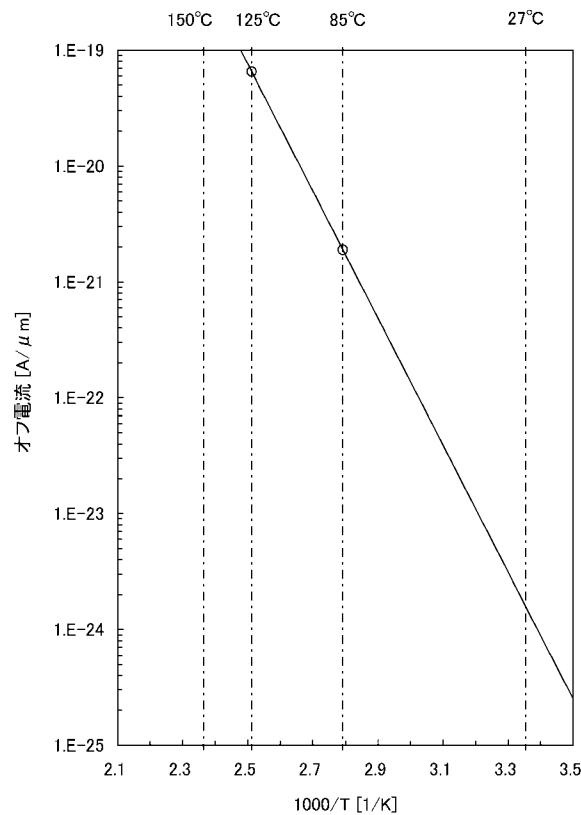
【図25】



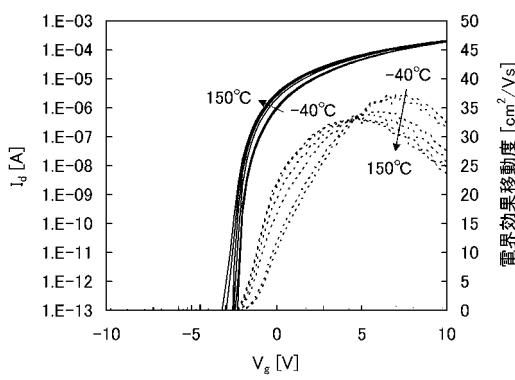
【図26】



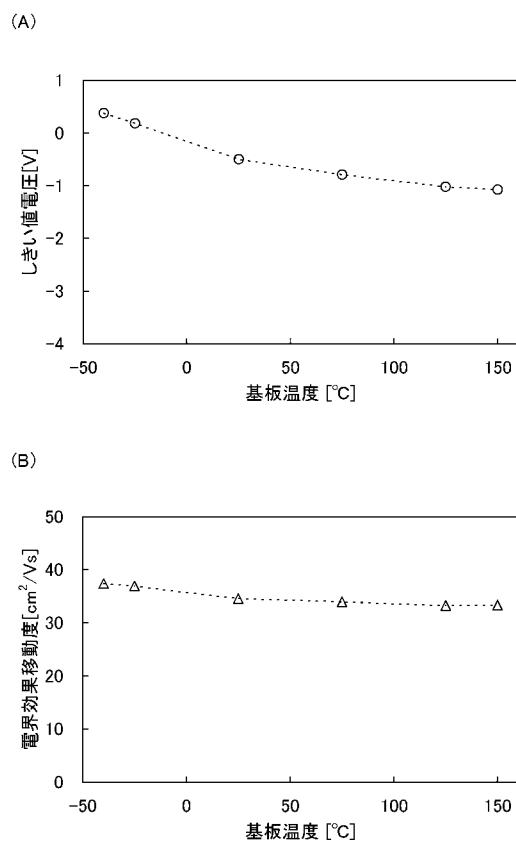
【図 2 7】



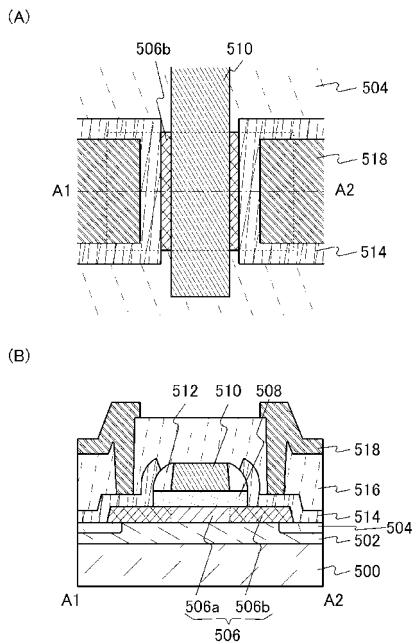
【図 2 8】



【図 2 9】

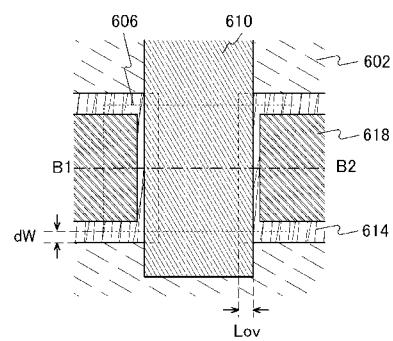


【図 3 0】

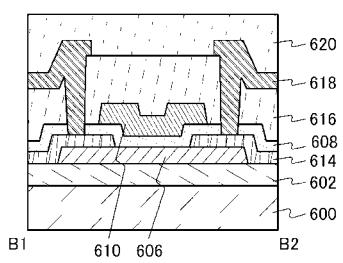


【図 3 1】

(A)

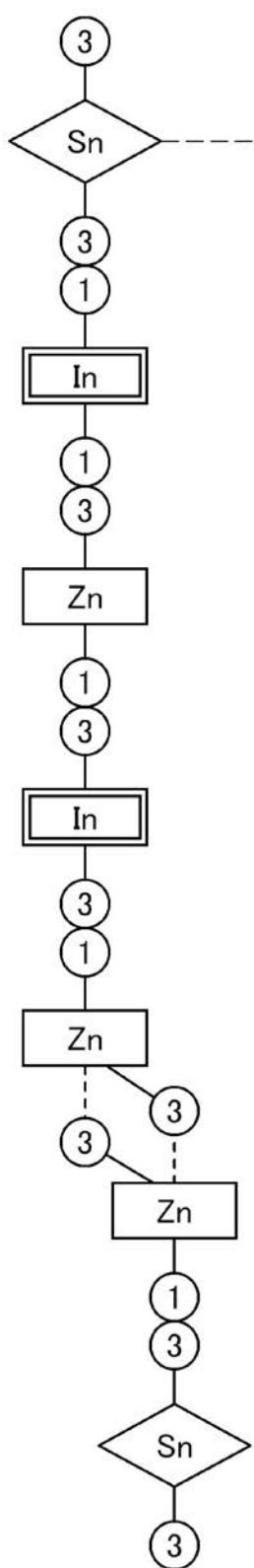


(B)



【図16】

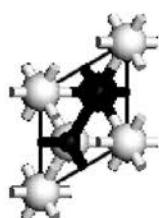
(A)



(B)



(C)



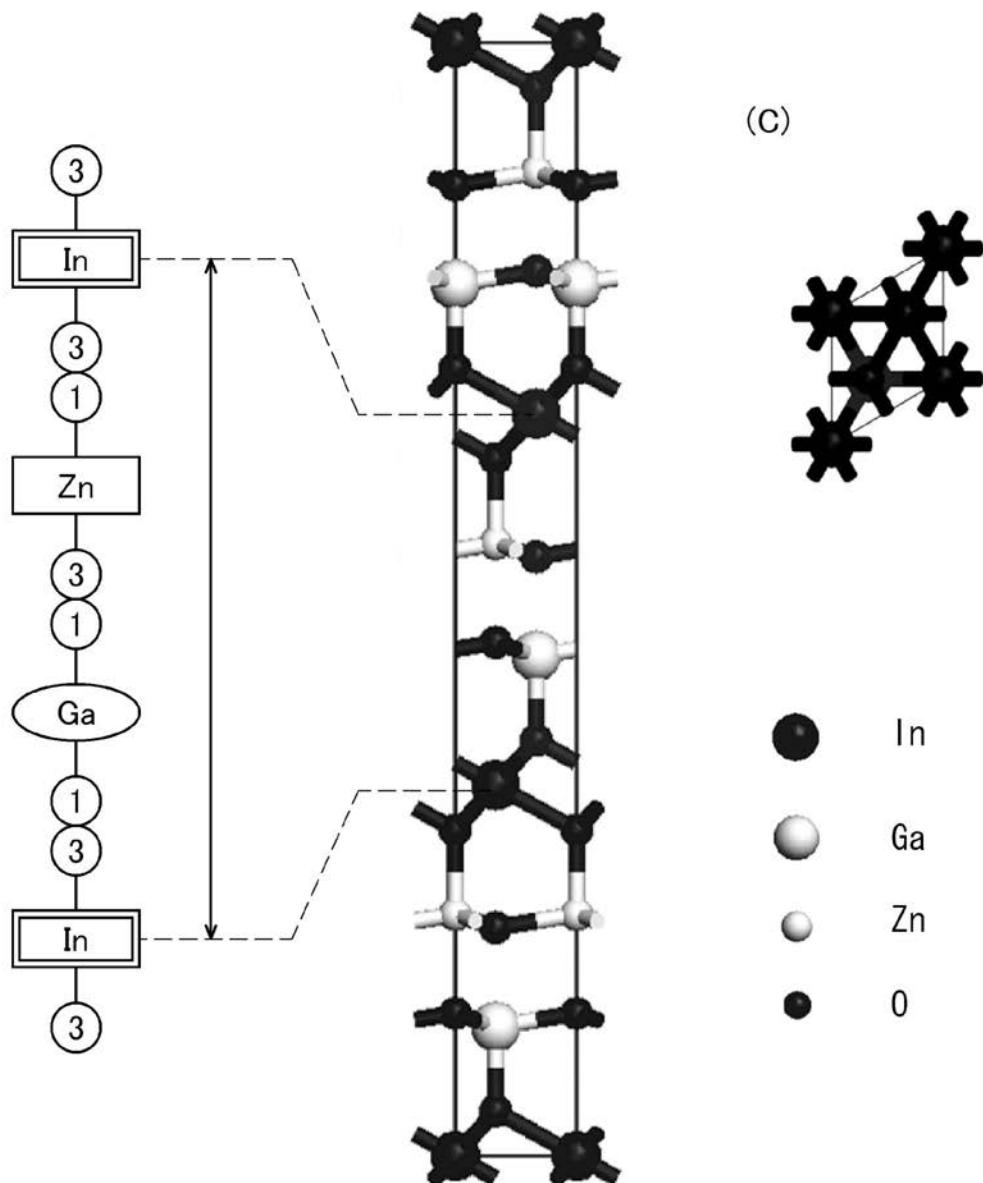
- In
- Sn
- Zn
- O

【図17】

(A)

(B)

(C)



フロントページの続き

(51) Int.CI.	F I	テーマコード(参考)
	G 1 1 C 11/34	3 5 2 Z
	H 0 1 L 27/10	6 8 1 G
	H 0 1 L 27/10	6 7 1 Z
	H 0 1 L 27/10	6 2 1 Z
	G 1 1 C 11/34	3 7 1 K
F ターム(参考)		
5F083	AD02 AD21 GA01 GA05 GA06 GA10 GA11 GA21 HA02 HA06	
JA02	JA03 JA04 JA05 JA06 JA12 JA19 JA35 JA36 JA37	
JA38	JA39 JA40 JA42 JA53 JA56 JA58 JA60 KA01 LA03	
LA10	LA21 LA25 MA04 MA05 MA06 MA16 MA19 NA01 PR01	
PR22	PR33 PR34 PR40 ZA01 ZA11	
5F110	AA01 AA09 AA16 BB04 BB08 BB11 CC01 CC02 DD01 DD02	
DD05	DD12 DD13 DD14 DD15 DD17 DD25 EE02 EE03 EE04	
EE05	EE09 EE14 EE31 EE42 EE43 EE45 FF01 FF02 FF03	
FF04	FF09 FF22 FF23 FF26 FF28 FF29 FF36 GG01 GG02	
GG06	GG12 GG13 GG14 GG15 GG17 GG19 GG25 GG28 GG29	
GG33	GG34 GG35 GG43 GG58 HJ01 HK01 HK02 HK03 HK04	
HK05	HK06 HK07 HK21 HK22 HK40 HL01 HL02 HL03 HL04	
HL08	HL22 HL23 HL24 HL27 HM03 HM15 NN03 NN22 NN23	
NN24	NN27 NN33 NN35 NN62 NN65 NN72 NN74 NN78 QQ08	
QQ09	QQ19	
5M024	AA94 BB02 CC07 HH16 PP03 PP07 QQ01	