

(12) 发明专利申请

(10) 申请公布号 CN 101937232 A

(43) 申请公布日 2011.01.05

(21) 申请号 201010274736.X

(22) 申请日 2010.09.07

(71) 申请人 北京航空航天大学

地址 100191 北京市海淀区学院路 37 号

(72) 发明人 董朝阳 李玮 徐利杰 王青

侯砚泽

(74) 专利代理机构 北京永创新实专利事务所

11121

代理人 赵文利

(51) Int. Cl.

G05B 23/02 (2006.01)

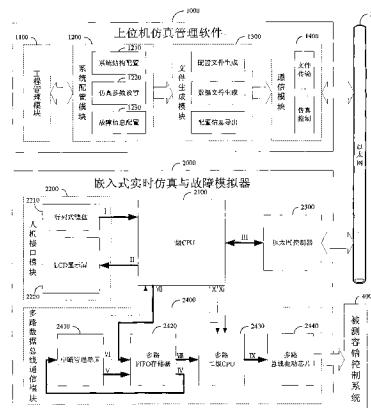
权利要求书 3 页 说明书 8 页 附图 6 页

(54) 发明名称

基于多路数据总线的嵌入式实时仿真与故障模拟系统

(57) 摘要

本发明公开了一种基于多路数据总线的嵌入式实时仿真与故障模拟系统，包括上位机仿真管理软件与嵌入式实时仿真与故障模拟器，上位机仿真管理软件通过人机界面引导用户针对被测容错控制系统进行仿真配置与故障设置，生成多路冗余设备的故障仿真数据。嵌入式实时仿真与故障模拟器通过多路数据总线实时同步输出故障仿真数据，模拟多路冗余设备发生故障并输出故障数据流。上下位机之间通过以太网进行通信，完成上位机配置信息、故障仿真数据、仿真控制指令的下载与下位机工作状态的上传。本发明克服传统基于仿真的多设备故障模拟装置通用性较差、同步精度较低的缺陷，适用于对设备数量众多、数据交换频繁的复杂航天器系统不同冗余容错设计进行测试和验证。



1. 基于多路数据总线的嵌入式实时仿真与故障模拟系统,其特征在于:包括上位机仿真管理软件和嵌入式实时仿真与故障模拟器;上位机仿真管理软件运行于通用计算机,通用计算机为上位机,通过人机界面引导用户针对被测容错控制系统进行仿真配置与故障设置,生成多路冗余设备的故障仿真数据;嵌入式实时仿真与故障模拟器为下位机,通过多路数据总线通信模块实时同步输出故障仿真数据,模拟多路冗余设备发生故障并输出故障数据流的过程;上下位机之间通过以太网进行通信,完成上位机配置信息、故障仿真数据、仿真控制指令的下载与下位机工作状态的上传;

所述的上位机仿真管理软件包括系统配置模块、文件生成模块、通信模块以及工程管理模块;系统配置模块提供人机界面,引导用户对系统结构、仿真参数以及故障信息进行配置;文件生成模块利用系统配置模块得到的用户配置信息生成配置文件和多个设备的故障仿真数据文件;通信模块负责将文件生成模块生成的配置文件和故障仿真数据文件下载至下位机,在下位机工作于联机模式时,负责发送仿真控制指令;工程管理模块对系统配置过程进行工程化管理,与系统配置模块交互实现用户配置信息的保存和导入操作,方便用户重复配置;

所述的嵌入式实时仿真与故障模拟器包括一级CPU、人机接口模块、以太网控制器以及多路数据总线通信模块;一级CPU与人机接口模块、以太网控制器以及多路数据总线通信模块连接,控制或协同这些模块运行;人机接口模块包括行列式按键与LCD显示屏,分别用于仿真进程手动控制与系统工作状态实时显示;以太网控制器由一级CPU控制完成与上位机的以太网通任务;多路数据总线通信模块包含多路FIFO存储器、多路二级CPU、多路总线驱动芯片以及中断管理单元;多路FIFO存储器、多路二级CPU、多路总线驱动芯片组成多路数据传输信道,其中的一路FIFO存储器、一路二级CPU、一路总线驱动芯片组成一路数据传输信道,每一路负责模拟一个设备的故障数据流,多路数据传输信道由一级CPU定时器统一控制,按各自周期将不同设备的故障仿真数据通过多路总线驱动芯片所提供的总线通信接口同步输出至被测容错控制系统;中断管理单元用于管理多路FIFO存储器“半空”中断,避免多个中断冲突导致中断丢失现象,并按先入先出顺序对中断进行优先级管理,协调一级CPU对多个中断的响应过程;一级CPU连接人机接口模块的行列式按键与LCD控制器,接收用户输入的按键控制指令,通过LCD显示屏输出仿真状态信息;一级CPU连接以太网控制器,接收上位机发送的文件和仿真控制指令并回传下位机状态;一级CPU连接多路数据总线通信模块的中断管理单元和多路FIFO存储器,响应中断管理单元的“半空”中断,将相应故障仿真数据文件中的数据写入多路FIFO存储器;一级CPU还连接多路数据总线通信模块中多路二级CPU的外部中断管脚,周期性的产生定时器中断信号触发多路二级CPU同步读取并输出故障仿真数据。

2. 根据权利要求1所述的基于多路数据总线的嵌入式实时仿真与故障模拟系统,其特征在于:所述的系统配置模块包括系统结构配置子模块、仿真参数配置子模块以及故障信息配置子模块;系统结构配置子模块提供若干设备类型供用户选择,用户从中选择多个设备进行模拟,每个设备类型对应一个由主、备机构成的冗余设备组,针对选定的设备类型,用户配置其冗余方式以及该冗余方式下主、备机所对应的总线端口,冗余方式包括单机、双机以及三机冗余;仿真参数配置子模块引导用户加载用于生成故障仿真数据的数据源,提供插值算法供用户选择,并允许用户配置各个设备的数据传输周期以及总线接口传输参

数,从而适应不同数据传输机制的冗余系统的测试要求;故障信息配置子模块提供多种故障类型供用户选择,并允许配置每个故障的发生位置、发生时段、故障类型以及与选定故障类型对应的故障模型参数。

3. 根据权利要求 2 所述的基于多路数据总线的嵌入式实时仿真与故障模拟系统,其特征在于:所述的生成故障仿真数据的数据源为基于数学模型的数值仿真计算结果或者实际航天任务中所记录的真实遥测数据。

4. 根据权利要求 2 所述的基于多路数据总线的嵌入式实时仿真与故障模拟系统,其特征在于:所述的仿真参数配置子模块中的插值算法包括:临近点插值、线性插值、三次样条插值以及三次插值,用于生成所述故障仿真数据的故障类型及相应的故障模拟算法如下:

偏差故障:在原信号上加一恒定或随机信号,该信号幅值不超过原信号幅值;

冲击故障:在原信号上加一脉冲信号;

短路故障:信号接近于零,归一化时用 0.1 表示;

开路故障:信号接近最大值,归一化时用 0.9 表示;

漂移故障:信号以某一速率偏离原信号;

周期性干扰故障:在原信号上叠加某一频率的信号。

5. 根据权利要求 1 所述的基于多路数据总线的嵌入式实时仿真与故障模拟系统,其特征在于:所述的中断管理单元包括中断管理 CPU 和译码器,中断管理 CPU 通过多路 I/O 端口同时捕捉多路 FIFO 存储器产生的“半空”中断,维护一个先入先出的中断源 FIFO 存储器地址队列,按中断发生先后顺序依次处理每个中断;中断管理 CPU 对每个中断进行处理,将中断源 FIFO 存储器地址输出至一级 CPU 与译码器,译码器输出信号使能中断源 FIFO 存储器的写操作并禁止其它 FIFO 存储器的写操作,然后将“半空”中断信号输出至一级 CPU;一级 CPU 响应中断,执行完数据输出操作后向中断管理 CPU 回传“写完”信号,中断管理 CPU 检测到“写完”信号后继续处理其它 FIFO 存储器的“半空”中断。

6. 根据权利要求 1 所述的基于多路数据总线的嵌入式实时仿真与故障模拟系统,其特征在于:所述的多路数据总线通信模块中多路 FIFO 存储器、多路二级 CPU、多路总线驱动芯片的各一路组成一路通信子模块,二级 CPU 收到一级 CPU 的定时器中断信号后进行中断计数,按其所模拟设备的数据传输周期定时读取 FIFO 中的数据,并控制与其相连的总线驱动芯片通过总线驱动芯片所支持的总线通信接口将故障仿真数据输出至外部的被测容错控制系统;二级 CPU 通过对 FIFO 存储器进行“乒乓”读取实现对一级 CPU 数据的连续访问,“乒乓”读取为:二级 CPU 周期性连续读取 FIFO 存储器;当二级 CPU 读完 FIFO 存储器一半存储区时,FIFO 存储器将产生“半空”中断;一级 CPU 响应中断,向 FIFO 存储器补充新的故障仿真数据。

7. 根据权利要求 1 所述的基于多路数据总线的嵌入式实时仿真与故障模拟系统,其特征在于:所述的嵌入式实时仿真与故障模拟器由上位机配置完成后工作于两种模式下,分别为联机模式和独立模式;联机模式下嵌入式实时仿真与故障模拟器通过以太网与上位机连接,用户通过上位机仿真管理软件发送控制指令遥控仿真进程;独立模式下嵌入式实时仿真与故障模拟器脱机工作,用户通过按键手动控制其仿真进程。

8. 根据权利要求 1 所述的基于多路数据总线的嵌入式实时仿真与故障模拟系统,其特征在于:所述数据总线为 RS-485 总线、CAN 总线或者 1553B 总线。

9. 根据权利要求 1 所述的基于多路数据总线的嵌入式实时仿真与故障模拟系统，其特征在于：所述的文件生成模块由数据源利用插值算法生成无故障仿真数据，然后利用故障模拟算法将预设故障注入无故障仿真数据生成故障仿真数据。

10. 根据权利要求 1 所述的基于多路数据总线的嵌入式实时仿真与故障模拟系统，其特征在于：文件生成模块还支持配置信息 Word 文档导出。

基于多路数据总线的嵌入式实时仿真与故障模拟系统

技术领域

[0001] 本发明涉及一种基于多路数据总线的嵌入式实时仿真与故障模拟系统，属于航天器冗余系统可靠性测试和验证领域。

背景技术

[0002] 高可靠性是对航天器运行的基本要求，冗余容错技术是保证系统高可靠性的有效设计措施。对于航天器冗余系统，需要有效的测试手段，通过向被测冗余系统注入故障来测试系统的容错能力，验证系统的冗余设计。

[0003] 现有的基于故障模拟的航天器冗余系统测试方法主要分为两种。一种方法通过在数据传输通道中串接故障注入装置，实时获取冗余系统数据，然后基于故障仿真方法向原数据中融入故障信息得到故障数据，最后将故障数据输出至容错控制系统实现故障注入。该方法进行测试时需要使用冗余系统中所有真实物理设备，虽然在具有较高的真实性，但却大大降低了测试的灵活性。另一种方法通过实时仿真方式模拟冗余设备数据，然后基于故障仿真方法生成故障数据，最后以与真实设备相同的通信接口实时输出数据。该方法采用实时仿真方式模拟冗余设备，可在缺少真实物理设备的条件下完成测试，既保证了测试的真实性，又提高了测试的灵活性。

[0004] 对于所述的第二种方法，现有技术通常采用基于设备数学模型的数值计算方式实时模拟设备数据。一方面，由于实时仿真算法严重依赖设备数学模型，因此采用数值计算仿真方式的故障模拟装置通常专用于固定结构的冗余系统测试。若要求对不同冗余系统进行测试，则需要修改底层数值仿真算法来适应被测系统结构及设备类型的变化，通用性较差。另一方面，航天器实际发射任务中积累了大量地面遥测数据，利用这些数据作为实时仿真与故障模拟的数据源将提高仿真数据流的真实性，而采用数值计算仿真方式的故障模拟装置无法实现对遥测数据的利用。

[0005] 另外，基于冗余设计的先进航天器系统结构复杂，设备数量众多（如：32路以上），数据交换频繁（如：1ms 传输周期）。对于这类航天器冗余系统进行测试，需要故障模拟装置能够模拟多个设备同时输出数据的过程，这就要求故障模拟装置具备实时控制多路数据总线并行输出故障仿真数据的能力。现有的故障模拟技术通常采用“工业控制计算机+多路同步总线接口卡”的硬件结构实现这一功能。采用这种硬件结构的故障模拟系统存在如下传输不同步问题：①各路同步总线接口卡采用各自时钟独立定时，多路定时器存在时钟偏差，该偏差将随仿真时间增长而变得显著。②工业控制计算机控制各路数据总线启动数据传输的时刻不同步，这将导致各路总线定时起点偏差，该偏差将随总线路数增加而变得显著。

发明内容

[0006] 本发明的目的是为了解决上述问题，提出一种适用于航天器冗余系统测试的基于多路数据总线的嵌入式实时仿真与故障模拟系统。

[0007] 本发明的基于多路数据总线的嵌入式实时仿真与故障模拟系统，包括上位机仿真管理软件与嵌入式实时仿真与故障模拟器。

[0008] 上位机仿真管理软件运行于通用计算机，通过友好的人机界面引导用户针对被测容错控制系统进行仿真配置与故障设置，生成多路冗余设备的故障仿真数据。嵌入式实时仿真与故障模拟器通过多路数据总线实时同步输出故障仿真数据，模拟多路冗余设备发生故障并输出故障数据流的过程。上下位机之间通过以太网进行通信，完成上位机配置信息、故障仿真数据、仿真控制指令的下载与下位机工作状态的上传。已完成文件下载的嵌入式实时仿真与故障模拟器可工作于两种模式下，分别为联机模式和独立模式。联机模式下嵌入式实时仿真与故障模拟器通过以太网与上位机连接，用户通过上位机仿真管理软件发送控制指令遥控仿真进程。独立模式下嵌入式实时仿真与故障模拟器脱机工作，用户通过按键手动控制其仿真进程。

[0009] 嵌入式实时仿真与故障模拟器采用读文件方式实时模拟设备故障数据。故障仿真数据由上位机仿真管理软件分两步离线生成：首先由特定数据源按特定插值算法生成仿真数据；然后按照特定故障模拟算法将预设故障注入仿真数据生成故障仿真数据。用于生成仿真数据的数据源既可以是基于数学模型的数值计算结果（数值计算结果指的是根据航天器数学模型进行数值仿真得到的仿真数据，而不是真实数据），也可以是实际航天任务中所记录的真实遥测数据。所提供的插值算法包括：临近点插值、线性插值、三次样条插值以及三次插值。插值计算的目的是利用少量数据得到足量数据，插值计算针对的数据源既可以是数值仿真计算结果，也可以是真实遥测数据，所提供的故障模型及其模拟算法如下：

[0010] (1) 偏差故障：在原信号上加一恒定或随机信号，该信号幅值不超过原信号幅值；

[0011] (2) 冲击故障：在原信号上加一脉冲信号；

[0012] (3) 短路故障：信号接近于零，归一化时用 0.1 表示；

[0013] (4) 开路故障：信号接近最大值，归一化时用 0.9 表示；

[0014] (5) 漂移故障：信号以某一速率偏离原信号；

[0015] (6) 周期性干扰故障：在原信号上叠加某一频率的信号；

[0016] 上位机仿真管理软件包括：系统配置模块、文件生成模块、通信模块以及工程管理模块。系统配置模块提供清晰完整的人机界面，引导用户对系统结构、仿真参数以及故障信息进行配置。系统配置模块包括系统结构配置子模块、仿真参数配置子模块以及故障信息配置子模块；系统结构配置子模块提供若干设备类型供用户选择，用户从中选择多个设备进行模拟，每个设备类型对应一个由主、备机构成的冗余设备组，针对选定的设备类型，用户配置其冗余方式以及该冗余方式下主、备机所对应的总线端口，冗余方式包括单机、双机以及三机冗余；仿真参数配置子模块引导用户加载用于生成故障仿真数据的数据源，提供插值算法供用户选择，并允许用户配置各个设备的数据传输周期以及总线接口传输参数，从而适应不同数据传输机制的冗余系统的测试要求；故障信息配置子模块提供多种故障类型供用户选择，并允许配置每个故障的发生位置、发生时段、故障类型以及与选定故障类型对应的故障模型参数。文件生成模块利用系统配置模块得到的用户配置信息生成配置文件和多个设备的故障仿真数据文件，其中配置文件用于下位机各路数据总线接口的配置，故障仿真数据文件用于下位机对多个设备故障数据的模拟。文件生成模块还提供配置信息导出功能，将用户配置信息以 Word 文档形式导出，供用户打印查看。通信模块用于实现与下

位机之间的以太网通信，主要负责将文件生成模块生成的配置文件和故障仿真数据文件下载至下位机，在下位机工作于联机模式时还负责发送仿真控制指令。工程管理模块对系统配置过程进行工程化管理，与系统配置模块交互实现用户配置信息的保存和导入操作，方便用户重复配置。

[0017] 嵌入式实时仿真与故障模拟器下位机主要包括：一级 CPU、人机接口模块、以太网控制器以及多路数据总线通信模块。一级 CPU 与所有其它模块连接，控制或协同其它模块运行。人机接口模块包括行列式按键与 LCD 显示屏，分别用于仿真进程手动控制与系统工作状态实时显示。以太网控制器由一级 CPU 控制完成与上位机的以太网通信任务。多路数据总线通信模块包含多路 FIFO 存储器、多路二级 CPU、多路总线驱动芯片以及中断管理单元，一路 FIFO 存储器、一路二级 CPU 和一路总线驱动芯片组成的一个数据传输信道，每一路负责模拟一个设备的故障数据流，多路数据传输信道由一级 CPU 定时器统一控制，按各自周期将不同设备的故障仿真数据通过多路总线驱动芯片所提供的总线通信接口同步输出至被测容错控制系统；中断管理单元用于管理多路 FIFO 存储器“半空”中断，避免多个中断冲突导致中断丢失现象，并按先入先出顺序对中断进行优先级管理，协调一级 CPU 对多个中断的响应过程；一级 CPU 连接人机接口模块的行列式按键与 LCD 控制器，接收用户输入的按键控制指令，通过 LCD 显示屏输出仿真状态信息；一级 CPU 连接以太网控制器，接收上位机发送的文件和仿真控制指令并回传下位机状态；一级 CPU 连接多路数据总线通信模块的多路 FIFO 存储器和中断管理单元，响应中断管理单元的“半空”中断，将相应故障仿真数据文件中的数据写入 FIFO 存储器；一级 CPU 还连接多路数据总线通信模块中多路二级 CPU 的外部中断管脚，周期性的产生定时器中断信号触发多路二级 CPU 同步读取并输出故障仿真数据。

[0018] 多路数据总线通信模块中多路 FIFO 存储器、多路二级 CPU、多路总线驱动芯片的各一路组成一路通信子模块，二级 CPU 收到一级 CPU 的定时器中断信号后进行中断计数，按其所模拟设备的数据传输周期定时读取 FIFO 中的数据，并控制与其相连的总线驱动芯片通过总线驱动芯片所支持的总线通信接口将故障仿真数据输出至外部的被测容错控制系统。二级 CPU 通过对 FIFO 存储器进行“乒乓”读取实现对一级 CPU 数据的连续访问，“乒乓”读取过程如下：二级 CPU 周期性连续读取 FIFO 存储器；当二级 CPU 读完 FIFO 存储器一半存储区时，FIFO 存储器将产生“半空”中断；一级 CPU 向应中断，向 FIFO 存储器补充新的故障仿真数据。

[0019] 本发明的优点在于：

[0020] (1) 实时仿真采用实时读取数据文件的方式。与传统的基于设备数学模型的仿真方式相比，本发明所采用的仿真方式既克服了嵌入式测试系统与被测冗余系统对设备数学模型的依赖，提高了测试系统的通用性，又实现了对真实遥测数据的充分利用，提高了实时仿真与故障模拟的真实性；

[0021] (2) 一级 CPU 为各路二级 CPU 提供统一定时钟，二级 CPU 同步控制各路数据总线按设定周期并行输出数据。与使用多路总线同步接口卡的方式相比，本发明克服了多路总线的时钟偏差问题，提高了同步精度；

[0022] (3) 仿真管理功能与实时仿真和故障模拟功能分开。上位机软件提供友好人机界面，实现配置的灵活性与易操作性；下位机基于实时操作系统，保证了仿真与故障模拟过程

的实时性；

[0023] (4) 采用基于多路数据总线的实时嵌入式系统，与基于工业控制计算机与多路同步总线接口卡的系统相比，其系统成本更低，设备体积重量更小，便携性更好。

附图说明

- [0024] 图 1 是本发明基于多路数据总线的嵌入式实时仿真与故障模拟系统结构示意图；
[0025] 图 2 是本发明多路 RS-485 数据通信总线模块组成示意图；
[0026] 图 3 是本发明 FIFO 存储器中断管理单元工作流程图；
[0027] 图 4 是本发明 FIFO 存储器的“乒乓”读写流程图；
[0028] 图 5 是本发明二级 CPU 定时中断服务子程序流程图；
[0029] 图 6 是本发明嵌入式实时仿真与故障模拟系统状态转换图；
[0030] 图中：
[0031] 1000- 上位机仿真管理软件 1100- 工程管理模块 1200- 系统配置模块
[0032] 1300- 文件生成模块 1400- 通信模块 1210- 系统结构配置子模块
[0033] 1220- 仿真参数配置子模块 1230- 故障信息配置子模块
[0034] 2000- 嵌入式实时仿真与故障模拟器 2100- 一级 CPU
[0035] 2200- 人机接口模块 2300- 以太网控制器 2400- 多路数据总线通信模块
[0036] 2210- 行列式按键 2220-LCD 显示屏 2420- 多路 FIFO 存储器
[0037] 2430- 多路二级 CPU 2440- 多路总线驱动芯片 2410- 中断管理单元
[0038] 2421-FIFO 存储器 2431- 二级 CPU 2441- 总线驱动芯片
[0039] 2411- 中断管理 CPU 2412-5-32 译码器 2451-RS-485 通信子模块
[0040] 3000- 以太网 4000- 被测容错控制系统

具体实施方式

[0041] 下面将结合附图和实施例对本发明作进一步的详细说明。

[0042] 本发明是一种基于多路数据总线的嵌入式实时仿真与故障模拟系统，如图 1 所示，包括上位机仿真管理软件 1000 和嵌入式实时仿真与故障模拟器 2000。

[0043] 所述数据总线可以是多种类型的串行数据总线，如航天电气系统较为常用 RS-485 总线、CAN 总线、1553B 总线等，下面以基于 32 路 RS-485 总线的嵌入式实时仿真与故障模拟系统为例本发明的具体实施方式进行说明，所述实施方式同样适用于不同总线种类、不同接口数量的同类系统。

[0044] 上位机仿真管理软件 1000 运行于通用计算机，是基于可视化操作系统的图形用户界面软件，上位机仿真管理软件 1000 包括工程管理模块 1100、系统配置模块 1200、文件生成模块 1300 和通信模块 1400。工程管理模块 1100 采用软件工程管理的概念，以工程为单位对每个冗余测试例程进行管理，将所有与工程相关的文件在工程文件夹内部加以组织，支持工程的新建、导入、保存等操作，方便用户对不同仿真测试过程的管理和重复使用。系统配置模块 1200 提供清晰完整的人机界面，引导用户对系统结构、仿真参数以及故障信息

进行配置。系统配置模块 1200 包括系统结构配置子模块 1210、仿真参数配置子模块 1220 和故障信息配置子模块 1230，其中系统结构配置子模块 1210 提供若干设备类型供用户选择，用户可从中选择多个设备进行模拟。针对选定的设备类型，用户可灵活配置其冗余方式（包括：单机、双机以及三机冗余）以及该冗余方式下主、备机所对应的总线端口，从而适应不同设备构成、不同冗余方式的冗余系统的测试要求。仿真参数配置子模块 1220 引导用户加载用于生成故障仿真数据的数据源，提供多种插值算法供用户选择，并允许用户在一定范围内任意配置各个设备的数据传输周期以及总线接口传输参数（如：RS-485 总线的波特率），从而适应不同数据传输机制的冗余系统的测试要求。故障信息配置子模块 1230 提供多种故障类型供用户选择，并允许灵活配置每个故障的发生位置、发生时段、故障类型以及与选定故障类型对应的故障模型参数，从而保证故障模拟的真实性和全面性。文件生成模块 1300 将用户在系统配置模块 1200 中输入的系统结构参数、数据传输参数统一封装为配置文件，按照指定的数据源、插值算法、传输周期和故障配置信息生成故障仿真数据文件，还可以将系统配置信息生成 Word 文档供打印输出。通信模块 1400 通过以太网 3000 将配置文件和多个设备的故障仿真数据文件下载至下位机，同时负责向下位机发送仿真控制指令。

[0045] 嵌入式实时仿真与故障模拟器 2000 硬件包括一级 CPU 2100、人机接口模块 2200、以太网控制器 2300 以及多路数据总线通信模块 2400。一级 CPU 2100 与嵌入式实时仿真与故障模拟器 2000 中所有其它模块连接，控制或协同其它模块运行。人机接口模块 2200 包括行列式按键 2210 与 LCD 显示屏 2220，分别用于仿真进程手动控制与系统工作状态实时显示。以太网控制器 2300 由一级 CPU 2100 控制完成与上位机的以太网 3000 通信用任务。多路数据总线通信模块 2400 包含多路 FIFO 存储器 2420、多路二级 CPU 2430、多路总线驱动芯片 2440 和中断管理单元 2410，多路 FIFO 存储器 2420、多路二级 CPU 2430 以及多路总线驱动芯片 2440 组成的多路数据传输信道，中断管理单元 2410 用于管理多路 FIFO 存储器的“半空”中断，多路数据传输信道由一级 CPU 定时器统一控制，按各自周期将不同设备的故障仿真数据同步输出至被测容错控制系统 4000，实现对多路冗余设备故障数据流的实时模拟。

[0046] 如图 1 所示，一级 CPU 2100 连接人机接口模块 2200 的行列式按键 2210 与 LCD 显示屏 2220，接收用户输入的按键控制指令，通过 LCD 显示屏输出仿真状态信息；连接以太网控制器 2300，接收上位机发送的文件和仿真控制指令并回传下位机状态；连接多路数据总线通信模块 2400 的 FIFO 存储器中断管理单元 2410 和 FIFO 存储器 2420，响应中断管理单元的“半空”中断，将相应故障仿真数据文件中的数据写入 FIFO 存储器；还连接多路数据总线通信模块中所有二级 CPU 2430 的外部中断管脚，周期性的产生定时器中断信号触发各路数据总线同步输出故障仿真数据。

[0047] 一级 CPU 2100 采用三星公司的 ARM9 系列微处理器 ARM920T。ARM920T 具有较大的存储空间，能够一次性存储上位机发送的配置文件与多个故障仿真数据文件；具备一定数量的 I/O 端口，能够满足 32 路 FIFO 存储器 2420 的寻址要求；内部集成 LCD 控制器，能够直接控制 LCD 显示屏 2220 输出工作状态信息。ARM920T 上运行实时嵌入式操作系统 VxWorks，具备强实时性和多任务处理能力，能够在向 FIFO 存储器输出数据的同时与上位机或用户进行交互。

[0048] 图 1 中 I 表示仿真控制指令 ;II 表示下位机工作状态信息 ;III 表示上下位机交互信息 ;IV 表示多路 FIFO 存储器“半空”信号 ;V 表示多路 FIFO 存储器写操作使能信号 ;VI 表示“半空”中断信号 ;VII 表示半空 FIFO 存储器所对应的故障仿真数据 ;VIII 表示多路故障仿真数据 (并行) ;IX 表示多路故障仿真数据 (串行) ;X 表示“配置”中断信号 ;XI 表示定时器信号。

[0049] 如图 2 所示, 多路数据总线通信模块 2400 包括一个 FIFO 存储器中断管理单元 2410 和 32 路结构完全相同的 RS-485 通信子模块 2451。FIFO 存储器中断管理单元 2410 对多个 FIFO 存储器 2420 的“半空”中断进行捕获, 避免多个中断冲突导致的中断丢失现象, 并对各个中断进行优先级管理, 优先响应先发生的中断。每一路 RS-485 通信子模块 2451 连续读取该路 RS-485 通信子模块 2451 所模拟设备的故障仿真数据, 并通过 RS-485 总线接口将这些数据实时输出至被测容错控制系统 4000。

[0050] 如图 2 所示, FIFO 存储器中断管理单元 2410 由一个中断管理 CPU 2411 和一个 5-32 译码器 2412 组成。中断管理 CPU 2411 采用 Atmel 公司的 ATmega128 单片机, ATmega128 具备 53 路 I/O 端口, 其中的 32 路 (PA0-7、PB0-7、PC0-7、PD0-7) 作为输入端口分别连接 32 路 FIFO 存储器的“半空”信号输出端, 其中 5 路 (PE0-4) 作为输出端口将中断源 FIFO 存储器地址输出至一级 CPU 和 5-32 译码器, 其中 1 路 (PE5) 用作输出端口输出“半空”信号至一级 CPU 外部中断输入端口, 其中 1 路 (PF0) 用作输入端口连接一级 CPU 的“写完”信号输出端。5-32 译码器 2412 可通过级联两片 4-16 译码器 (如 :74HC154) 实现, 其 32 个输出端分别与 32 个 FIFO 存储器的“写入”使能管脚相连, 通过片选方式实现 32 个 FIFO 存储器对一级 CPU 输出数据总线的共享。

[0051] 图 3 所示为 FIFO 存储器中断管理单元工作流程。FIFO 存储器中断管理 CPU 首先循环扫描与 32 路 FIFO 存储器“半空”信号相连的 32 个 I/O 端口, 直到检测到“半空”信号 ; 然后循环扫描与一级 CPU “写完”信号相连的 I/O 端口, 直到检测到“写完”信号, 以保证各个 FIFO 存储器数据输入端所共享的一级 CPU 数据总线处于空闲状态 ; 中断管理 CPU 维护一个先进先出的半空 FIFO 存储器地址队列, 从中取出最先产生“半空”信号的 FIFO 存储器地址, 并将该地址输出至一级 CPU 与 5-32 译码器, 译码器输出端使能相应 FIFO 存储器的写操作 ; 最后中断管理 CPU 向一级 CPU 输出“半空”中断信号。中断管理单元重复上述步骤, 处理其它 FIFO 的“半空”中断。一级 CPU 响应中断, 获取半空 FIFO 存储器地址, 然后将对应设备的故障仿真数据写入 FIFO 存储器 ; 写完固定周期的数据后一级 CPU 输出“写完”信号至中断管理 CPU。

[0052] 如图 2 所示, 各路 RS-485 通信子模块结构相同, 每路 RS-485 通信子模块 2451 包括 :FIFO 存储器 2421、二级 CPU 2431 以及 RS-485 总线驱动芯片 2441。FIFO 存储器 2421 采用 Cypress 公司的 CY7C4271, 所有 CY7C4271 的数据输入端口连接一级 CPU 的同一路数据输出端口, 各个 CY7C4271 的数据输出端口分别连接各个二级 CPU 的数据输入端口, “半空”信号输出端连接中断管理 CPU 2411 的相应数据输入端, “写入”使能管脚连接中断管理单元中 5-32 译码器 2412 的输出管脚。二级 CPU 2431 采用 Atmel 公司的 ATmega8 单片机, 每个 ATmega8 均有两个外部中断输入分别连接至一级 CPU 的“配置”信号与定时器信号输出端, 由一级 CPU 触发其配置操作与数据实时输出操作。ATmega8 的数据输入端口连接相应的 FIFO 存储器 2421 的数据输出端口, 用于读取 FIFO 存储器数据 ;UART 异步串口与 RS-485 总

线驱动芯片 2441 相连,用于串行输出读取的故障仿真数据。总线驱动芯片 2441 采用 Maxim 公司的 MAX-485,用于将 ATmega8 单片机 UART 异步串口输出的 TTL 电平转换为 RS-485 电平。

[0053] 如图 4 所示,RS-485 通信子模块通过对 FIFO 存储器的“乒乓”读写方式保证输出数据流的连续性,各个 FIFO 存储器的“乒乓”读写过程如下:仿真开始前,一级 CPU 预先向 FIFO 存储器写入 $2N$ 周期故障仿真数据,几乎将 FIFO 存储器写满。图中 N 为固定整数。N 个周期的数据量接近 FIFO 存储器容量的一半。仿真开始后,二级 CPU 周期性读取 FIFO 存储器中的故障仿真数据;当读完 FIFO 存储器中的一半数据后,FIFO 存储器输出“半空”中断信号;FIFO 存储器中断管理单元捕获该中断,进行中断处理并最终将中断信号输出至一级 CPU;一级 CPU 响应中断,向 FIFO 存储器的空半区补充 N 周期故障仿真数据,几乎将空半区写满。上述“乒乓”读写过程实质上是将整个 FIFO 存储器动态划分为读、写两个半区,然后通过对两个半区进行同步读写操作,来实现二级 CPU 对一级 CPU 数据的连续访问。

[0054] 各路 RS-485 通信子模块由一级 CPU 提供统一定时器,各个二级 CPU 以软件方式对定时器信号进行分频获得所需要的定时周期,然后按照各自周期读取和输出相应的故障仿真数据,真实模拟多路冗余设备以不同传输周期通过 RS-485 总线并行输出故障数据的过程。二级 CPU 定时中断服务子程序流程图如图 5 所示,二级 CPU 响应中断后首先进行中断计数,然后对中断计数加以判断:若中断计数所对应的时间达到该路 RS-485 通信子模块所模拟设备的数据传输周期,则复位中断计数、输出本周期故障仿真数据并预先读取下一周期故障仿真数据;否则不执行上述操作。

[0055] 如图 6 所示,嵌入式实时仿真与故障模拟器包含五种工作状态:“复位”、“准备就绪”、“运行”、“暂停”以及“结束”。各状态及其转移过程描述如下:

[0056] (1)“复位”:该状态下一级 CPU 未解析文件和分配数据,一级 CPU 定时器、各路 FIFO 存储器以及二级 CPU 均处于复位状态。该状态为系统初始状态,也可通过执行“仿真复位”控制指令转入该状态。

[0057] (2)“准备就绪”:该状态下一级 CPU 已完成配置文件解析与首次数据分配,已完成定时器初始化,FIFO 存储器已写入首批数据,各路二级 CPU 已读取配置信息并完成串口初始化。系统执行“仿真配置”控制指令后转入该状态。

[0058] (3)“运行”:该状态下一级 CPU 定时器运行,一级 CPU 及时补充各路 FIFO 存储器中的数据,各路二级 CPU 实时读取和输出故障仿真数据。系统执行“仿真开始”控制指令后转入该状态。

[0059] (4)“暂停”:该状态下一级 CPU 定时器暂停运行,各路 FIFO 存储器无存取操作,各路二级 CPU 处于空闲状态。系统执行“仿真暂停”控制指令后转入该状态。

[0060] (5)“结束”:该状态下一级 CPU 定时器停止运行,各路 FIFO 存储器无存取操作,各路二级 CPU 处于空闲状态。该状态为系统停止状态,仿真结束后系统自动转入该状态。

[0061] 各个仿真控制指令执行情况如下:

[0062] (1)“仿真配置”:若当前处于“复位”状态,一级 CPU 初始化定时器,解析配置文件,为二级 CPU 分配仿真参数和首批故障仿真数据,并输出中断信号触发二级 CPU 执行初始化操作。二级 MCU 初始化完成之后,仿真进入“准备就绪”状态。

[0063] (2)“仿真开始”:若当前处于“准备就绪”或“暂停”状态,一级 CPU 启动定时器,

周期性输出定时信号,触发二级 CPU 通过 RS-485 串口实时输出故障仿真数据,仿真即进入“运行”状态。

[0064] (3) “仿真暂停”:若当前处于“运行”状态,一级 CPU 将暂停定时器计数,仿真即进入“暂停”状态。

[0065] (4) “仿真复位”:若当前未处于“复位”状态,一级 CPU 将复位定时器以及各路 FIFO 存储器,仿真即进入“复位”状态。

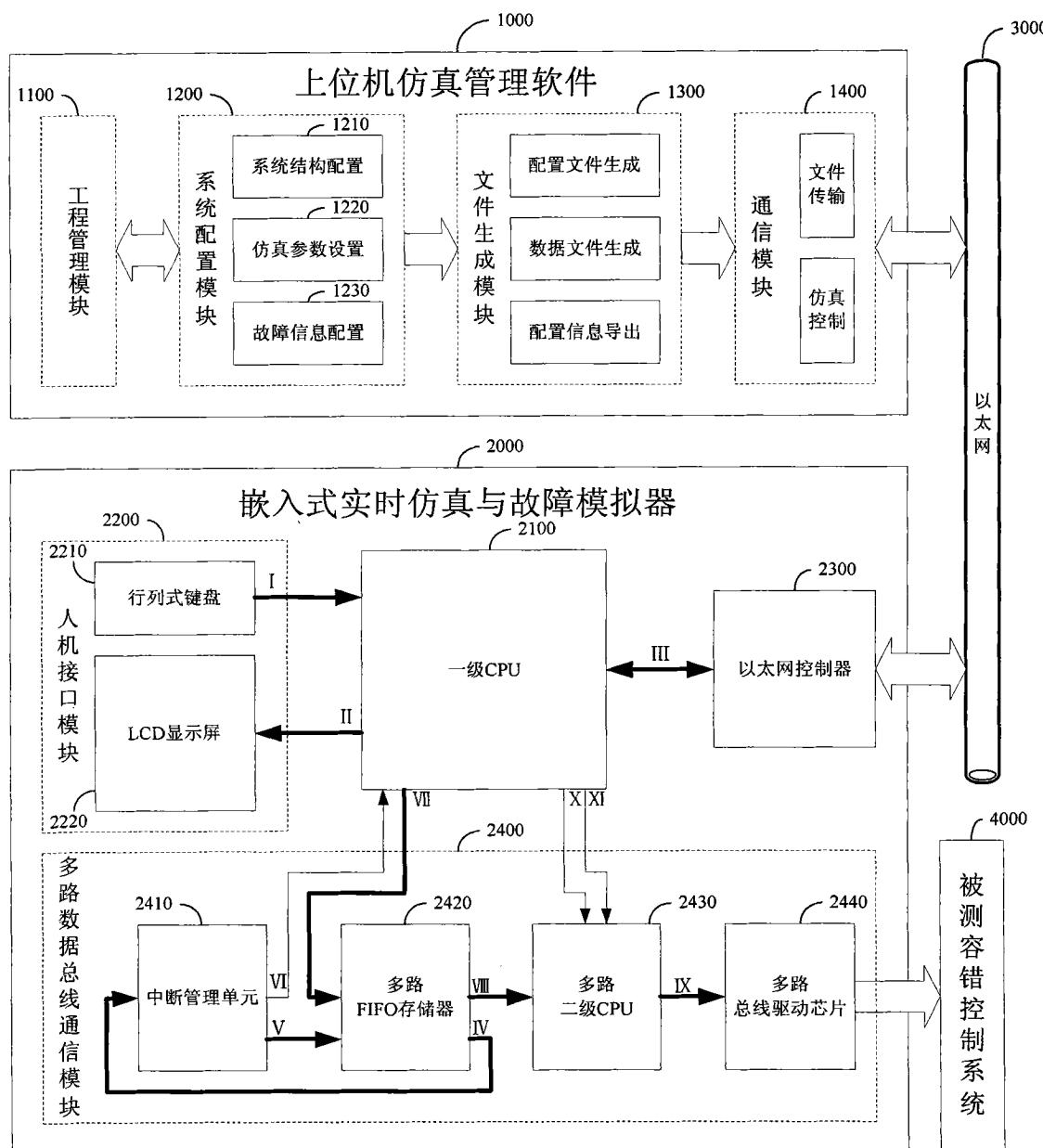


图 1

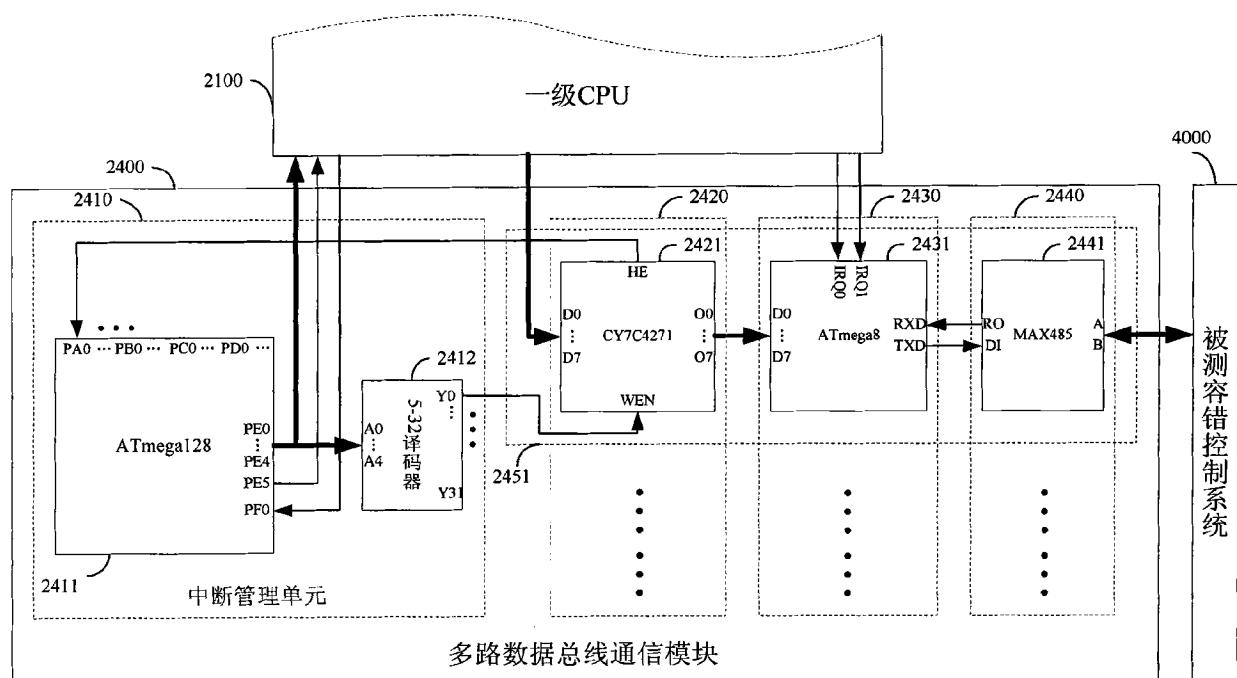


图 2

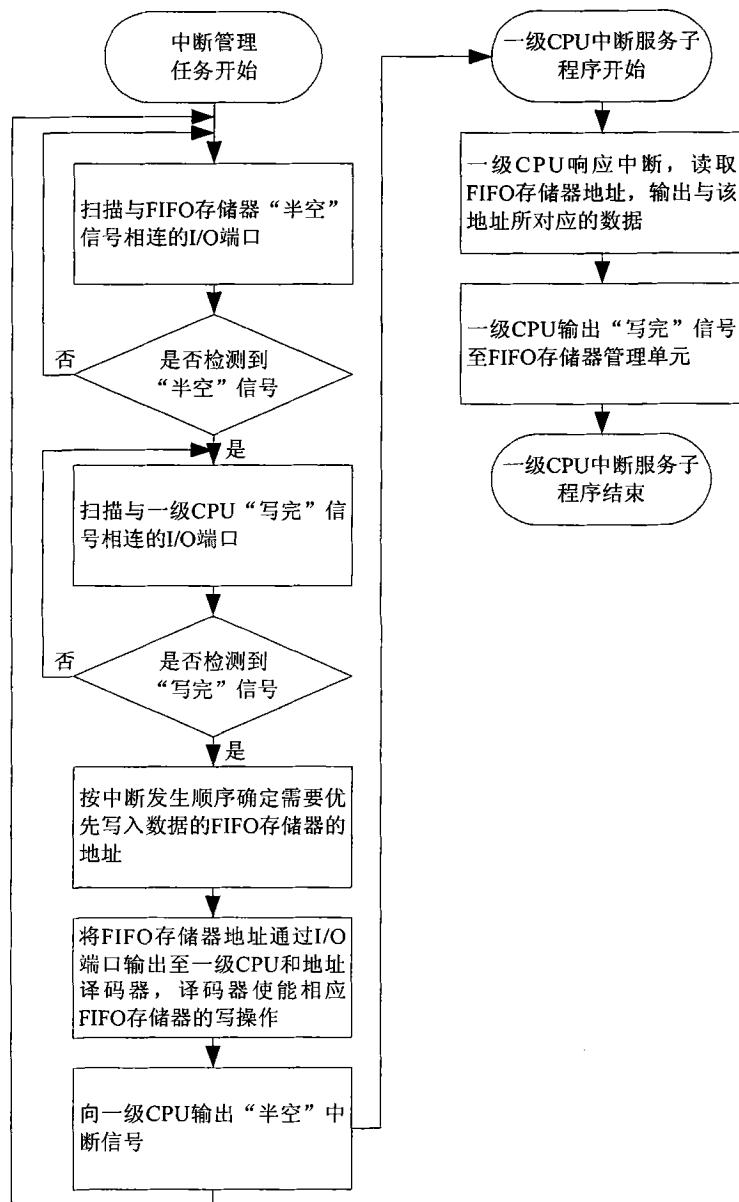


图 3

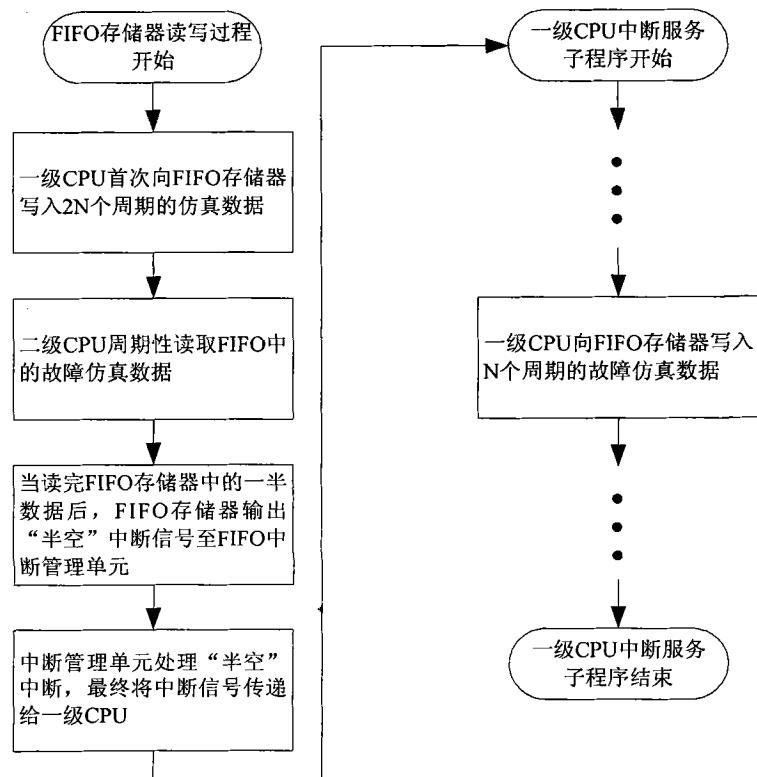


图 4

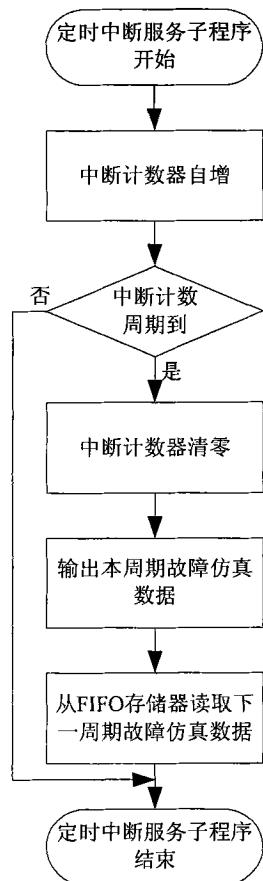


图 5

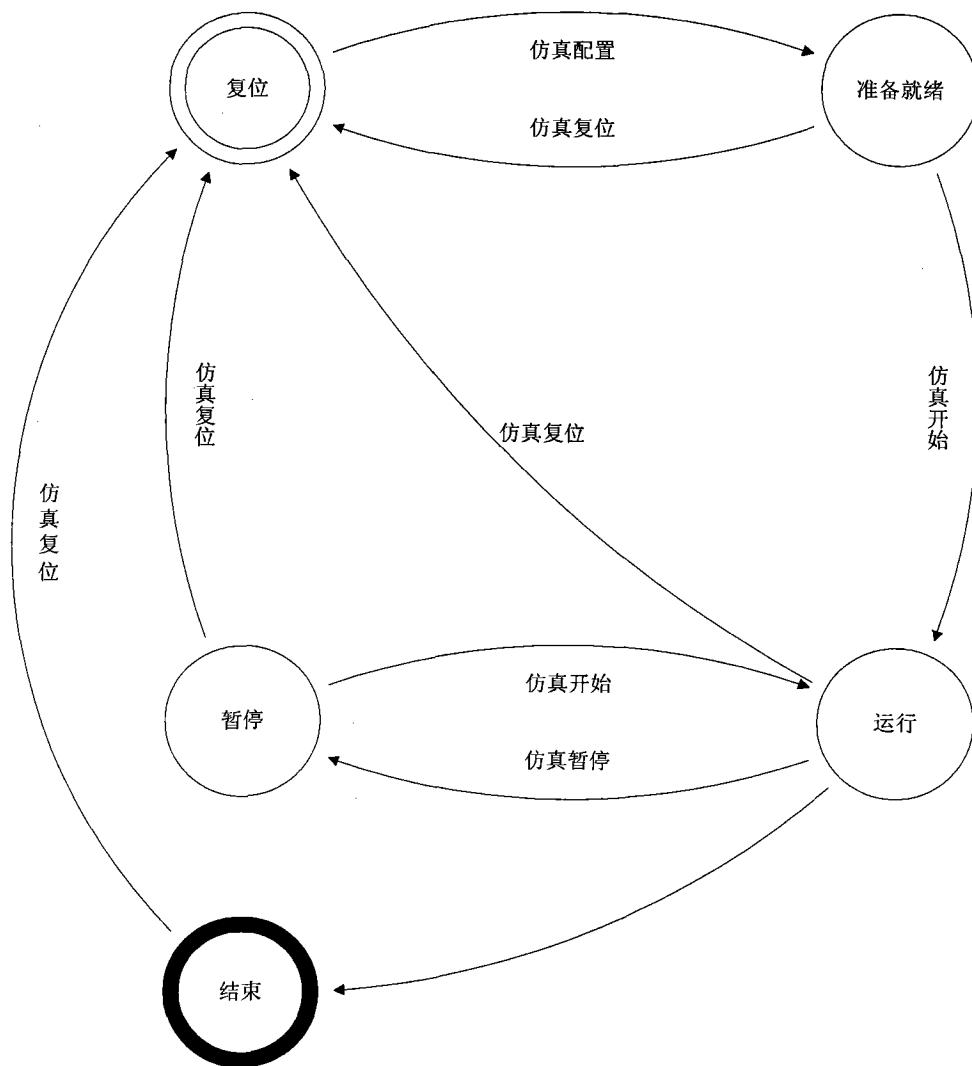


图 6