

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號： 93100914

※申請日期： 93-01-14 ※IPC 分類： H01L¹/304

壹、發明名稱：(中文/英文)

半導體基板、其製造方法以及半導體裝置之製造方法

SEMICONDUCTOR SUBSTRATE, METHOD FOR FABRICATING THE
SAME, AND METHOD FOR FABRICATING SEMICONDUCTOR
DEVICE

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日商松下電器產業股份有限公司

MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.

代表人：(中文/英文)

中村 邦夫

NAKAMURA, KUNIO

住居所或營業所地址：(中文/英文)

日本國大阪府門真市大字門真1006番地

1006, OAZA KADOMA, KADOMA-SHI, OSAKA 571-8501 JAPAN

國籍：(中文/英文)

日本 JAPAN

參、發明人：(共 2 人)

姓 名：(中文/英文)

1. 日高 義晴

HIDAKA, YOSHIHARU

2. 池內 勝行

IKENOUCHI, KATSUYUKI

住居所地址：(中文/英文)

1. 日本國大阪府高槻市南平台5-40-7

5-40-7, NANPEIDAI, TAKATSUKI-SHI, OSAKA JAPAN

2. 日本國富山縣高岡市川原町6-10

6-10, KAWAHARA-CHO, TAKAOKA-SHI, TOYAMA JAPAN

國 籍：(中文/英文)

1-2. 均日本 JAPAN

肆、聲明事項：

本案係符合專利法第二十條第一項 第一款但書或 第二款但書規定之期間，其日期為： 年 月 日。

本案申請前已向下列國家（地區）申請專利：

1. 日本；2003年01月20日；特願2003-011017
- 2.
- 3.
- 4.
- 5.

主張國際優先權(專利法第二十四條)：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 日本；2003年01月20日；特願2003-011017
- 2.
- 3.
- 4.
- 5.

主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

- 1.
- 2.

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【技術領域】

本發明係關係一種半導體基板、其製造方法以及半導體裝置之製造方法。

【先前技術】

最近，細微化技術之急速發展帶來了在半導體裝置中之半導體元件數之飛躍增加，即帶來了高集體化。因此，形成半導體元件之活性區域與半導體元件間之隔離區域變得非常地小。其結果，對設於基板之細溝內埋入氧化絕緣膜之STI (Shallow Trench Isolation)被作為隔離方法採用，取代使用氧化法之LOCOS隔離。

具體之STI之形成方法如下。首先，於基板形成隔離溝後，以化學氣相沈積法(Cheical Vapor Deposition (CVD)法)將氧化絕緣膜埋入隔離溝。之後，利用化學機械研磨法(Cheical Mechanical Polishing (CMP)法)除去形成於活性區域之氧化絕緣膜，且將埋入隔離溝之氧化絕緣膜表面平坦化，除去隔離區域上及活性區域上之段差。

施行CMP時，例如，如特開平9-36073號公報所示，為測定於半導體晶圓(wafer)全體或晶圓之以半導體裝置(晶片(chip))為單位之部份是否完成了平坦化，在埋入溝內之氧化絕緣膜之下側預先形成終點檢測膜。現在，一般用氮化膜(SiN膜)作為終點檢測膜。此時，為使氧化絕緣膜之研磨速度比氮化膜之研磨速度快兩倍以上，要設定負載(將晶圓安在研磨墊之負載)以及旋轉數(研磨墊以及晶圓之旋轉數)

等研磨條件。例如，在特開平9-36073號公報所明確指出之CMP中，氧化絕緣膜之研磨速度相對於終點檢測膜之研磨速度之比係3~5左右。

CMP之一般研磨順序如下。即，由於當氮化膜(終點檢測膜)露出時，以終點檢測機檢出之光之反射率，或者使研磨機之研磨床旋轉之電動機之轉矩力量發生變動，因此將該時刻作為急劇地降低氮化膜之研磨速度之起點且施行過度研磨，使半導體晶圓全體更加平坦化。

但，在為形成STI施行CMP(以下，稱為STI-CMP)時，於基板表面所產生之段差(STI段差)，即平坦化加工偏差大致由殘存於基板表面之氮化膜之膜厚(最終膜厚)之偏差(氮化膜表面之凹凸)所決定。例如，於半導體基板上形成MOS型電晶體時，必須預先除去為終點檢測膜之氮化膜，但若於所述氮化膜之最終膜厚存在偏差，則在除去氮化膜後之基板表面產生段差。這成為在施行電極加工等光刻中產生尺寸偏差之原因。

使用以往之STI-CMP，對於距晶圓端面5 mm左右之晶圓邊緣部分以外之半導體晶圓部份，可將平坦化加工偏差，即氮化膜之最終膜厚之偏差抑制於30~50 nm左右之目標值以下。但，在所述晶圓邊緣部份(特別是距晶圓端面2~5 mm左右之範圍之晶圓邊緣部份)，由於不能使氮化膜之削去量之均勻性(相對於目標削去量之誤差之比)在5%以下，其結果係不能實現所述目標值。這成為不能使左右從半導體晶圓上所能取得之晶片數量之晶圓有效領域擴大之原因之

一。

又，隨著細微化之水準從130 nm發展到65 nm以下，必須將在STI-CMP後之晶圓面內之氮化膜等終點檢測膜之最終膜厚之偏差抑制於20~30 nm左右之更加嚴格之目標值以下。但，使用現在所用之半導體晶圓、終點檢測膜(氮化膜等)以及含有終點檢測方法等現有之CMP技術之組合，不能實現此目標值。此時，由於終點檢測膜之最終膜厚之偏差最終成為形成隔離區域上之段差以及形成半導體元件之活性區域上之段差，因此例如在形成MOS型電晶體之閘極時，發生尺寸偏差和電極間之短路等問題。

【發明內容】

有鑑於前述之事態，本發明目的係在於：抑制CMP後之基板表面之段差。

為達成前述之目的，本案發明人分析於以往之STI-CMP後之晶圓邊緣部分不能將終點檢測膜之最終膜厚之偏差充分地抑制之原因時，獲得了以下之認識。

以往，在半導體裝置之製造中利用設置缺口或定向面之晶圓。例如，為使半導體晶圓之結晶方位或光刻中之晶圓之方向明確，在晶圓邊緣部份形成缺口(V字溝)。又，缺口形狀(深度及角度等)和晶圓端面之完成形狀按照SEMI (Semiconductor Equipment and Materials International)之標準決定。依據SEMI標準，缺口之角度(形成V字之兩壁面之間之角度)係大約90度，缺口之深度係距晶圓端面1~2 mm左右。

本案發明人發現由於半導體裝置之細微化進展而使CMP被用於晶圓表面之平坦化，缺口和定向面損壞了在CMP後之晶圓表面之平坦性。

具體上，CMP利用將半導體晶圓壓在貼在研磨床上之研磨墊上，且使研磨墊和半導體基板分別旋轉來施行。此時，由於半導體基板被大約 $1\text{N}/\text{cm}^2$ 以上之負載壓在研磨墊上，因此壓壞了構成研磨墊之聚氨酯泡沫之氣孔，其結果使研磨劑不能遍及半導體晶圓之全體，降低了研磨速度。為防止該事態，想出了利用在研磨墊上均勻地移動固定著鑽石之覆蓋物，使研磨墊變粗躁，從而使研磨速度安定之對策。

但，由於設在半導體晶圓上之缺口之肩部於研磨中成為與研磨墊垂直之特殊點，因此其作用不是壓壞研磨墊，而是使研磨墊變粗躁。

所以，例如，由於在STI-CMP中缺口所通過之軌跡部份之研磨墊表面變粗糙，因此產生由該軌跡部份之研磨墊而引起之研磨速度自然上升之可能性。又，現在，為使半導體晶圓之任意點於研磨中通過研磨墊上之軌跡成為隨機，施行半導體晶圓或研磨墊之旋轉數之設定等。但，由於半導體晶圓並不是完全固定於研磨機之機頭上，因此使在研磨墊上之半導體晶圓之任意點之軌跡如計算一樣地完全隨機比較困難，該軌跡具有固定之旋轉數之週期。

因此，本案發明人為達成所述之目的，想到了使半導體晶圓之特殊點之缺口之形狀成為可降低研磨墊表面變粗躁之形狀。具體上，本案發明人利用測定多個半導體晶圓之

STI-CMP後之氮化膜之最終膜厚，且求出該測定結果與各個晶圓之缺口形狀之相關，發現係缺口損壞了CMP後之晶圓表面之平坦性。且發現了在對具有特定之缺口形狀之半導體晶圓施行CMP時，對距半導體晶圓之晶圓端面2 mm左右之邊緣部分以外之部份，在可使氮化膜之削去量之均勻性在5%以下，且可使STI-CMP後之氮化膜之完成膜厚之偏差在30 nm以下。

本發明係依據以上之認識之發明，本發明之半導體基板係在端部具有缺口之半導體基板，缺口之兩肩部之形狀皆係圓弧狀，且該兩肩部之曲率之差係0 mm以上且0.1 mm以下。

依據本發明之半導體基板，由於缺口之兩肩部之曲率均勻，因此對半導體基板施行CMP時，可防止因缺口而引起之研磨墊之特定部份變粗躁之事態。所以，由於研磨墊之整個面之研磨速度變得均勻，其結果可提高在基板表面之被研磨膜之削去量之均勻性，因此可充分地抑制CMP後之被研磨膜之最終膜厚之偏差。故可抑制CMP後之基板表面產生段差，例如可防止在閘極之形成時產生尺寸偏差和電極間之短路等問題，因此可提高半導體裝置之可靠性。

又，本說明書中，缺口之肩部係指缺口之壁面和晶圓端面之連接部份，缺口肩部(或缺口底部)之形狀係指從基板主面即晶圓主面之上側看缺口肩部(或缺口底部)時之形狀，缺口肩部之曲率係指該形狀之曲率。

在本發明之半導體基板上，最好缺口兩肩部之曲率都係

0.3 mm以上。

如此，可更確實地防止因缺口而引起之研磨墊變粗躁。

在本發明之半導體基板上，最好缺口之底部之形狀為圓弧狀，該底部之曲率在1 mm以上，此時，且最好缺口之兩壁面皆被鏡面加工，且兩壁面之間係 89° 以上且 95° 以下之角度。

如此，可更確實地防止因缺口而引起之研磨墊變粗躁。

本發明之第1半導體裝置之製造方法，係以使用本發明之半導體基板之半導體裝置之製造方法為前提，包括將絕緣膜或導電膜埋入設於半導體基板之凹部之工序、及使用化學機械研磨將絕緣膜或導電膜平坦化之工序。

即，依據第1半導體裝置之製造方法，由於將被研磨膜埋入設在本發明之半導體基板之凹部後，對被研磨膜施行CMP，因此可充分地抑制被研磨膜之最終膜厚之偏差。所以，可抑制在CMP後之基板表面產生之段差，故可防止因該段差而引起之在CMP後之工序中產生之問題，因此可提高半導體裝置之可靠性。

本發明之第2半導體裝置之製造方法，以使用本發明之半導體基板之半導體裝置之製造方法為前提，係包括在半導體基板上形成終點檢測膜的工序、使用光阻圖案對終點檢測膜及半導體基板施行蝕刻形成隔離溝之工序、將絕緣膜埋入隔離溝之工序與使用化學機械研磨將絕緣膜平坦化之工序。

即，依據第2半導體裝置之製造方法，在將絕緣膜埋入設

於本發明之半導體基板之隔離溝後，對絕緣膜施行CMP。此時，由於可充分地抑制在絕緣膜之下側所形成之終點檢測膜之最終膜厚之偏差，因此可抑制在CMP後之基板表面所產生之段差。具體上，對距成為半導體基板之半導體晶圓之端面2 mm左右之邊緣部份以外之部份，可使在STI-CMP後之晶圓表面所產生之段差，即平坦化加工偏差在30 nm以下。因此，可防止因基板表面之段差而引起之在CMP後之工序中產生之問題，故可提高半導體裝置之可靠性。且可使左右從半導體晶圓所能取得之晶片數量之晶圓有效領域擴大。即，由於可增加從半導體晶圓所能取得之晶片數量，因此可降低半導體裝置製造之成本。

在第2半導體裝置之製造方法中之將絕緣膜平坦化之工序下，最好絕緣膜之研磨速度比終點檢測膜之研磨速度快兩倍以上。

如此，可準確地測定在半導體晶圓全體上，或在晶圓上以半導體裝置(晶片)為單位之部份上是否完成了平坦化。且可防止在CMP後之終點檢測膜之最終膜厚隨晶片內之隔離溝之存在密度而產生差，或者在晶圓面內之CMP後之終點檢測膜之最終膜厚隨晶片內之隔離溝之存在密度而產生差。

在第2半導體裝置之製造方法中，在將絕緣膜平坦化之工序之後，最好包括用化學機械之研磨將終點檢測膜研磨之工序。

如此，在利用研磨除去終點檢測膜後，例如可利用光刻

形成沒有尺寸偏差之閘極圖案等。

本發明之半導體基板之製造方法，係在端部具有缺口之半導體基板之製造方法，包括對該端部施行鏡面研磨之加工工序，該加工工序包含使缺口之兩肩部之形狀皆為圓弧狀，且使該兩肩部之曲率之差為0 mm以上且0.1 mm以下之工序。

依據本發明之半導體基板之製造方法，由於將缺口之兩肩部之曲率均勻地加工，因此在對半導體基板施行CMP時，可防止因缺口而引起之研磨墊之特定部份變粗躁。所以，研磨墊之整個面之研磨速度變得均勻，其結果可提高在基板表面之被研磨膜之削去量之均勻性，因此可充分地抑制在CMP後之被研磨膜之最終膜厚之偏差。故可抑制在CMP後之基板表面產生段差，例如可防止在形成閘極時產生尺寸偏差和電極間之短路等問題，因此可提高半導體裝置之可靠性。

在本發明之半導體基板之製造方法中，最好所述之加工工序包括使缺口兩肩部之曲率都為0.3 mm以上之工序。

如此，可更確實地防止因缺口而引起之研磨墊變粗躁。

在本發明之半導體基板之製造方法中，最好所述之加工工序包括使缺口之底部之形狀為圓弧狀，且使該底部之曲率為1 mm以上之工序，且此時最好該加工工序包括為使缺口之兩壁面之間之角度為 89° 以上且 95° 以下而施行鏡面加工之工序。

如此，可更確實地防止因缺口而引起之研磨墊變粗躁。(發明

之效果)

依據本發明，利用使半導體基板之缺口之兩肩部之曲率均勻，可防止在對半導體基板施行CMP時，因缺口而引起之研磨墊之特定部份變粗躁。所以，研磨墊之整個面之研磨速度變得均勻，其結果可提高在基板表面之被研磨膜之削去量之均勻性，因此可充分地抑制在CMP後之被研磨膜之最終膜厚之偏差。故可抑制在CMP後之基板表面所產生之段差，因此可防止因該段差而引起之在CMP後之工序中產生之問題，可提高半導體裝置之可靠性。

【實施方式】

(在實施形態中使用之研磨裝置)

圖1係在如下所述之本發明之各個實施形態中，在被研磨膜之最終膜厚之評價或STI形成等所使用之研磨裝置(CMP裝置)之示意圖。更具體上，圖1係表示使安裝有研磨墊之研磨床和半導體基板(半導體晶圓)旋轉，且施行CMP之事態。

在圖1所示之裝置中，為在同一研磨床上同時研磨兩個半導體基板，在平分研磨墊11之兩個區域設置一對半導體基板12A及12B施行研磨。半導體基板12A及12B分別帶有缺口13A和13B。如圖1所示，CMP研磨是利用將半導體基板12A及12B壓在研磨墊11上，且使研磨墊11以及半導體基板12A及12B旋轉而施行。此時，由於半導體基板12A及12B被大約 $1\text{N}/\text{cm}^2$ 以上之負載壓在研磨墊11上，因此壓壞了構成研磨墊11之聚氨酯泡沫之氣孔，其結果使研磨劑不能遍及各

個基板之全體，降低了研磨速度。為防止該事態，本案發明人想出了利用在研磨墊11上均勻地移動有鑽石固定在其上之覆蓋物(無圖示)，使研磨墊11變粗躁，來使研磨速度安定之對策。

研磨墊11即研磨床之旋轉方向14一般係順時針轉動(CW)方向。此時，若半導體基板12A及12B之旋轉方向15A及15B係逆時針轉動(CCW)方向，則提高了在各個基板之研磨之均勻性。又，此時，例如若觀察半導體基板12A之缺口13A之旋轉，則由於研磨時缺口13A之肩部相對於研磨墊11之衝擊方向16大約為90度，可預料到會出現因缺口13A而使研磨墊11表面被切削之現象。

即，由於缺口肩部在研磨中成為與研磨墊11垂直之特殊點，因此其作用不是壓壞研磨墊11，而是使研磨墊11變粗躁。所以，例如由於在STI-CMP中缺口13A或缺口13B所通過之軌跡部分之研磨墊11表面變粗糙，產生由該軌跡部分之研磨墊11而引起之研磨速度自然上升之可能性。針對此問題，例如可設定各個基板或研磨墊11之旋轉數，使半導體基板12A或半導體基板12B之任意點在研磨中通過研磨墊11之軌跡變成隨機，但，由於各個基板並不是完全被固定在CMP裝置之機頭(省略圖示)，因此使在研磨墊11上之各個基板之任意點之軌跡如計算一樣地完全隨機比較困難，每到一定之旋轉數就週期性地產生相同之軌跡。

如下所述之本發明之各個實施形態在以上那樣之事態下，可抑制在CMP後之晶圓表面之段差。

(第1實施形態)

以下，參照附圖對本發明之第1實施形態之半導體基板及其製造方法加以說明。

第1實施形態之半導體基板之特徵係在端部所形成之缺口之兩肩部之形狀皆為圓弧狀，且該兩肩部之曲率之差為0 mm以上且0.1 mm以下。換言之，在第1實施形態之半導體基板(半導體晶圓)上，缺口之兩肩部之形狀相同。因此，可防止例如在STI-CMP後之半導體晶圓表面產生段差，具體而言，可防止在STI-CMP後之晶圓邊緣部份之被研磨膜之最終膜厚變薄。

圖2係表示在第1實施形態之半導體基板上之缺口形狀之一個例子。3維測定之結果，在圖2所示之缺口之圓弧狀之兩肩部之曲率較小，分別為 $R1=0.116$ mm以及 $R2=0.124$ mm。此處， $|R1-R2| < 0.1$ mm，缺口之兩肩部之曲率之差較小。又，在圖2， V_r 係表示缺口之深度， θV 係表示缺口之兩壁面(除了缺口底部以外)之間之角度。

圖3係表示在第1實施形態之半導體基板上之缺口形狀之其它例子。3維測定之結果，在圖3所示之缺口之圓弧狀之兩肩部之曲率較小，分別為 $R1=0.108$ mm以及 $R2=0.117$ mm。此處， $|R1-R2| < 0.1$ mm，缺口之兩肩部之曲率之差較小。又，在圖3所示之缺口之圓弧狀之底部之曲率 $R3$ 擁有1.0 mm以上之值(具體上係1.252 mm)。又，在圖3， V_r 亦表示缺口之深度， θV 亦表示缺口之兩壁面(除了缺口底部以外)之間之角度。

圖4係第1實施形態之半導體基板之製造方法，即如圖2或圖3所示之半導體基板之製造方法(晶圓加工方法)之流程圖。

首先，在第1工序S1中，例如使用三維研磨機，例如對單結晶矽之鑄塊施行外週研磨加工成圓柱狀。然後，在第2工序S2中，例如使用精密三維圓筒研磨機，在加工成圓柱狀之單結晶矽上形成所定形狀之缺口。此處，該缺口成為表示單結晶矽之結晶方位之位置對準標誌。

其次，在第3工序S3中，為將圓柱狀之單結晶矽加工成圓盤狀之晶圓，例如使用切斷機，將圓柱狀之單結晶矽施行切片。然後，在第4工序S4中，為防止利用切片而獲得之晶圓之邊緣部之損傷，例如使用切削加工機對晶圓端部施行斜切。之後，在第5工序S5中，為了除去因切片在晶圓表面形成之破碎層，例如使用研磨裝置將晶圓研磨。然後，在第6工序S6中，為除去在研磨後殘存之加工變質層(因加工而變質之層)，例如使用化學蝕刻(濕式蝕刻)用藥液對晶圓施行蝕刻。

其次，在第7工序S7中，為將晶圓之邊緣部平坦化且平滑化，例如使用邊緣用研磨裝置，將晶圓端部之斜切部(端面以及斜面)施行鏡面研磨。又，例如使用開槽用研磨裝置，將晶圓端部之缺口部施行鏡面研磨。此處，在本實施形態，使缺口之兩肩部之形狀都為圓弧狀，且使該兩肩部之曲率之差為0 mm以上且0.1 mm以下。此處，最好使缺口兩肩部之曲率都為0.3 mm以上。又，此處，最好使缺口之底部之

形狀為圓弧狀，且使該底部之曲率為1 mm以上，在此情況下，且最好施行鏡面加工使缺口之兩壁面之間形成 89° 以上且 95° 以下之角度。因此，對本實施形態之晶圓施行CMP時，可確實地防止因缺口而引起之研磨墊變粗躁。又，在晶圓端部之斜切部之鏡面研磨和在晶圓端部之缺口部之鏡面研磨既可以分別施行，或也可以同時施行。

其次，在第8工序S8中，為將晶圓表面平坦化且平滑化，使用研磨裝置(CMP裝置)將晶圓之一面或兩面施行鏡面研磨。然後，在第9工序S9中，為除去付在晶圓表面之微粒子、有機物或重金屬等污染物將晶圓洗淨化，使用濕洗淨液洗淨晶圓。通過以上之各個工序，可獲得在圖2或圖3等所示之本實施形態之半導體基板(晶圓)。

圖5係表示使用在圖1所示之研磨裝置，在對具有圖2所示之缺口形狀之半導體晶圓施行3次批量處理(合計6個半導體晶圓)之STI-CMP時，被研磨膜(SiN膜)之最終膜厚之測定結果。在圖5中，橫軸表示距晶圓中心之距離(100 mm係晶圓端面)，縱軸表示SiN膜之厚度。

如圖5所示，在距晶圓端面5 mm左右之晶圓邊緣部，看不出SiN膜之膜厚急劇變薄這樣之以往之問題點(參照如下所述之第1或第2比較形態)。相反，在該晶圓邊緣部，SiN膜之膜厚變得有些厚。這裡，在該晶圓邊緣部之SiN膜之膜厚和在該晶圓邊緣部以外之晶圓部分之SiN膜之平均膜厚之差大約為10 nm。又，在該晶圓邊緣部中，即使在距晶圓端面之2~3 mm左右之範圍內，SiN膜之膜厚偏差也被抑制

在比 30 nm 之目標值小之 20 nm 左右以下。

如上所述，圖 5 表示之結果係使用如圖 1 所示之研磨裝置、即可在同一研磨床上同時研磨兩個半導體晶圓之裝置而得到之結果。這裡，即使在各個批量處理中之半導體晶圓之間(供給新漿體之時機不同)，以及即使在各個批量處理之間(半導體晶圓之處理順序不同)，SiN 膜之膜厚偏差之傾向也沒有大的不同，不管在哪種情況下都可將該偏差抑制在目標值以下。即，可證實半導體晶圓之缺口形狀對 SiN 膜之膜厚偏差具有很大之影響。

如上所述，使用第 1 實施形態，明白了使半導體晶圓之缺口之兩肩部之形狀都為圓弧狀，且使該兩肩部之曲率之差為 0.1 mm 以下係為了有效地控制 STI-CMP 後之 SiN 膜之最終膜厚。具體而言，由於半導體晶圓之缺口之兩肩部之曲率均勻，因此在對該晶圓施行 CMP 時，可防止因缺口而引起之研磨墊(本實施形態中圖 1 之研磨墊 11)之特定部分變粗糙。所以，研磨墊之整個面之研磨速度變得均勻，其結果可提高在晶圓表面之被研磨膜之削去量之均勻性，因此可充分地抑制在 CMP 後之被研磨膜之最終膜厚之偏差。故可抑制在 CMP 後之晶圓表面產生段差，例如可防止在形成閘極時產生尺寸偏差和電極間之短路等問題，因此可提高半導體裝置之可靠性。

又，依據第 1 實施形態，由於可使左右從半導體晶圓所能取得之晶片數量之晶圓有效領域擴大，因此可增加從半導體晶圓所能取得之晶片數量，故可降低半導體裝置製造之

成本。

又，在第1實施形態中，以直徑200 mm之半導體晶圓作了對象，不僅是它，以其它尺寸之半導體晶圓作對象，也可獲得同樣之效果。

又，在第1實施形態中，以STI-CMP為前提，不僅是它，在用層間膜或金屬膜等作為被研磨膜之CMP處理中，也可獲得同樣之效果。

又，在第1實施形態中，使用了圖1所示之研磨裝置，使用其它種類之研磨裝置取代它，例如單片式研磨裝置(每次只處理一個晶圓之研磨裝置)，也可獲得同樣之效果。

又，在第1實施形態中，半導體晶圓之缺口形狀除了前述之本實施形態之特徵部分，都遵從SEMI標準。具體而言，缺口之深度為1.0 mm以上且1.25 mm以下。缺口之角度(缺口之兩壁面之間之角度)為 89° 以上且 95° 以下。此時，若缺口之底部具有所定之曲率之圓弧狀，或者缺口壁面用從所周知之方法施行鏡面加工，可更確實地防止因缺口而引起之研磨墊變粗躁。具體而言，最好缺口底部之曲率為1 mm以上。又，若考慮到SEMI標準，缺口底部之曲率最大為1.5 mm左右。

(第2實施形態)

以下，參照圖示對本發明之第2實施形態之半導體基板及其製造方法加以說明。

第2實施形態之半導體基板之第1特徵與第1實施形態一樣，係在端部所形成之缺口之兩肩部之形狀都為圓弧狀，

且該兩肩部之曲率之差為0 mm以上且0.1 mm以下。又，第2特徵係缺口之兩肩部之曲率皆為0.3mm以上。換言之，在第2實施形態之半導體基板(半導體晶圓)中，缺口之兩肩部之形狀相同，且缺口之兩肩部之曲率比第1實施形態大。所以，可緩和研磨時缺口肩部對研磨墊之碰撞，因此可確實地防止例如在STI-CMP後之半導體晶圓表面產生段差，具體而言，可確實地防止在STI-CMP後之晶圓邊緣部之被研磨膜之最終膜厚變薄。

圖6表示在第2實施形態之半導體基板之缺口形狀之一個例子。3維測定之結果係在圖6所示之缺口之圓弧狀之兩肩部之曲率都較小，為 $R1=0.788$ mm以及 $R2=0.794$ mm。此處， $|R1-R2| < 0.1$ mm，同時， $R1 > 0.3$ mm， $R2 > 0.3$ mm。又，在圖6， V_r 表示缺口之深度， θ_v 表示缺口之兩壁面(除缺口底部以外)之間之角度。

又，第2實施形態之半導體基板之製造方法，即圖6所示之那樣之半導體基板之製造方法(晶圓加工方法)和圖4之流程圖所示第1實施形態一樣。

圖7表示使用圖1所示之研磨裝置，對擁有圖6所示之缺口形狀之半導體晶圓施行3次批量處理(合計6個半導體晶圓)之STI-CMP時，被研磨膜(SiN膜)之最終膜厚之測定結果。在圖7，橫軸表示距晶圓中心之距離(100 mm係晶圓端面)，縱軸表示SiN膜之厚度。

如圖7所示，在距晶圓端面5 mm左右之晶圓邊緣部，看不到SiN膜之膜厚急劇地變薄之以往之問題(參照如下所述

之第1或第2比較形態)，除了在距晶圓端面3 mm左右之測定點SiN膜之膜厚變厚了一點，其它晶圓部份SiN膜之膜厚幾乎都變得均勻。此處，在前述晶圓邊緣部之SiN膜之膜厚和在該晶圓邊緣部以外之晶圓部份之SiN膜之平均膜厚之差為10 nm以下，該差與第1實施形態相比縮小(改善)了2~3 nm左右。又，在該晶圓邊緣部中，在距晶圓端面2~3 mm左右之範圍內，SiN膜之膜厚偏差都被抑制於比第1實施形態小之15 nm左右以下。

如上所示，圖7所示之結果是使用如圖1所示之研磨裝置，即可在同一研磨床上同時研磨兩個半導體晶圓之裝置而獲得。此處，即使在各個批量處理中之半導體晶圓之間(供給新漿體之時機不同)，以及即使在各個批量處理之間(半導體晶圓之處理順序不同)，SiN膜之膜厚偏差之傾向也沒有大的不同，不管在哪種情況下都可將該偏差抑制於目標值(30 nm)以下。即，可證明半導體晶圓之缺口形狀對SiN膜之膜厚偏差具有很大之影響。

如上所述，明白了使用第2實施形態，與第1實施形態一樣，使位於半導體晶圓之缺口之兩肩部之曲率之差為0.1 mm以下，且使兩肩部之曲率都為0.3 mm以上，是為控制STI-CMP後之SiN膜之最終膜厚，特別是可有效地將距晶圓端面2~5 mm左右之範圍之晶圓邊緣部之該最終膜厚之偏差抑制於30 nm以下。具體而言，由於半導體晶圓之缺口之兩肩部之曲率均勻且該兩肩部之曲率都為0.3 mm以上，因此在對該晶圓施行CMP時，可更確實地防止因缺口而引起之

研磨墊(本實施形態中圖1之研磨墊11)之特定部分變粗糙。所以，研磨墊之整個面之研磨速度變得均勻，其結果可提高在晶圓表面之被研磨膜之削去量之均勻性，因此可充分地抑制在CMP後之被研磨膜之最終膜厚之偏差。故可抑制在CMP後之晶圓表面產生段差，例如可防止在形成閘極時產生尺寸偏差和電極間之短路等問題，因此可提高半導體裝置之可靠性。

又，在第2實施形態中，以直徑200 mm之半導體晶圓作了對象，不僅是它，用其它尺寸之半導體晶圓作對象，也可獲得同樣之效果。

又，在第2實施形態中，以STI-CMP為前提，不僅是它，在用層間膜或金屬膜等作為被研磨膜之CMP處理中，也可獲得同樣之效果。

又，在第2實施形態中，使用了圖1所示之研磨裝置，使用其它種類之研磨裝置取代它，例如單片式研磨裝置(每次只處理一個晶圓之裝置)，也可獲得同樣之效果。

又，在第2實施形態中，半導體晶圓之缺口形狀除了前述本實施形態之特徵部分以外，都遵從SEMI標準。具體而言，缺口之深度為1.0 mm以上且1.25 mm以下。缺口之角度(缺口之兩壁面之間之角度)為 89° 以上且 95° 以下。此時，若缺口之底部擁有所定之曲率之圓弧狀，或者缺口壁面用從所周知之方法施行鏡面加工，可更確實地防止因缺口而引起之研磨墊變粗躁。具體而言，最好缺口底部之曲率為1 mm以上。又，若考慮到SEMI標準，半導體晶圓之缺口之兩肩

部之曲率最大為2.0 mm左右，缺口底部之曲率最大為1.5 mm左右。

(第1比較形態)

圖8係表示第1比較形態之半導體基板之缺口形狀之一個例子。3維測定之結果係圖8所示之缺口之圓弧狀之兩肩部之曲率分別為 $R1=0.610$ mm以及 $R2=0.424$ mm， $|R1-R2| > 0.1$ mm。又，在圖8， V_r 表示缺口之深度， θ_v 表示缺口之兩壁面(除缺口底部以外)之間之角度。

通常，例如由於將缺口壁面施行鏡面加工時之研磨機之研磨布之劣化等使缺口肩部之完成角度發生變化，因此在缺口之兩肩部之曲率之間產生超過0.1 mm之差。換言之，缺口兩肩部之圓弧狀相互不對稱。

圖9表示使用圖1所示之研磨裝置，對擁有圖8所示之缺口形狀之半導體晶圓施行3次批量處理以及一次單個處理(合計7個半導體晶圓)之STI-CMP時，被研磨膜(SiN膜)之最終膜厚之測定結果。在圖9，橫軸表示距晶圓中心之距離(100 mm係晶圓端面)，縱軸表示SiN膜之厚度。

如圖9所示，可看出在距晶圓端面5 mm左右之晶圓邊緣部，SiN膜之膜厚急劇地變薄之問題，具體而言，在該晶圓邊緣部之SiN膜之膜厚與在除了該晶圓邊緣部之晶圓部份之SiN膜之平均膜厚相比，薄了20 nm左右以上。又，在該晶圓邊緣部中，在距晶圓端面2~3 mm左右之範圍內，SiN膜之膜厚偏差達到了45 nm左右，不能實現30 nm那樣之目標值。

如上所示，圖9所示之結果係使用如圖1所示之研磨裝置，即可在同一研磨床上同時研磨兩個半導體晶圓之裝置而獲得。此處，即使在各個批量處理中之半導體晶圓之間(供給新漿體之時機不同)，即使在各個批量處理之間(半導體晶圓之處理順序不同)，且即使在批量處理和單個處理之間，SiN膜之膜厚偏差之傾向也沒有大的不同，不管在哪種情況下都不可將該偏差抑制於目標值以下。即，可證明半導體晶圓之缺口形狀對SiN膜之膜厚偏差具有很大之影響。

(第2比較形態)

圖10表示在第2比較形態之半導體基板之缺口形狀之一個例子。3維測定之結果係圖10所示之缺口之圓弧狀之兩肩部之曲率分別為 $R1=0.322$ mm以及 $R2=0.507$ mm， $|R1-R2| > 0.1$ mm。另外，在圖10， V_r 表示缺口之深度， θ_v 表示缺口之兩壁面(除缺口底部以外)之間之角度。

通常，例如由於將缺口壁面施行鏡面加工時之研磨機之研磨布之劣化等使缺口肩部之完成角度發生變化，因此在缺口之兩肩部之曲率之間產生超過0.1 mm之差。換言之，缺口兩肩部之圓弧狀相互不對稱。

圖11表示使用圖1所示之研磨裝置，對具有圖10所示之缺口形狀之半導體晶圓施行3次批量處理(合計6個半導體晶圓)之STI-CMP時，被研磨膜(SiN膜)之最終膜厚之測定結果。在圖11，橫軸表示距晶圓中心之距離(100 mm係晶圓端面)，縱軸表示SiN膜之厚度。

如圖11所示，可看出在距晶圓端面5 mm左右之晶圓邊緣

部，SiN膜之膜厚急劇地變薄之問題，具體而言，在該晶圓邊緣部之SiN膜之膜厚與在除了該晶圓邊緣部之晶圓部份之SiN膜之平均膜厚相比，變薄了20 nm左右以上。又，在該晶圓邊緣部中，在距晶圓端面2~3 mm左右之範圍內，SiN膜之膜厚偏差達到了45 nm左右，不能實現30 nm之目標值。

如上所示，圖11所示之結果係使用如圖1所示之研磨裝置，即可在同一研磨床上同時研磨兩個半導體晶圓之裝置而獲得。這裡，即使在各個批量處理中之半導體晶圓之間(供給新漿體之時機不同)，即使在各個批量處理之間(半導體晶圓之處理順序不同)，SiN膜之膜厚偏差之傾向也沒有大的不同，不管在哪種情況下都不可將該偏差抑制在目標值以下。即，可證明半導體晶圓之缺口形狀對SiN膜之膜厚偏差具有很大之影響。

(第3實施形態)

以下，參照圖示對本發明之第3實施形態之半導體裝置之製造方法，具體而言，對使用第1或第2實施形態之半導體基板(在缺口肩部之形狀方面具有特徵之半導體基板)之半導體裝置之製造方法加以說明。

圖12(a)~圖12(c)係表示第3實施形態之半導體裝置之製造方法之各個工序之剖面圖。

首先，如圖12(a)所示，在半導體基板101上，依次形成保護氧化膜(SiO₂膜)102，以及成為STI-CMP之終點檢測膜之氮化膜(SiN膜)103。將兩肩部之曲率之差為0 mm以上且0.1

mm以下之缺口設置於半導體基板101之端部。此處，最好缺口之兩肩部之曲率皆為0.3 mm以上。又，保護氧化膜102在半導體基板101和氮化膜103之間作為緩衝膜作用。

接著，利用光刻，在元件隔離區域形成有開口部之光阻圖案(省略圖示)，再利用將該光阻圖案作為屏蔽，對於氮化膜103、保護氧化膜102以及半導體基板101依次施行乾式蝕刻，形成元件隔離用之溝渠104。

其次，如圖12(b)所示，利用CVD法，在半導體基板101上之整個面上沈積埋入氧化膜105，藉以無空穴地埋入溝渠104。

其次，如圖12(c)所示，利用CMP法，通過研磨除去在形成半導體元件之活性區域上所沈積之埋入氧化膜105，即溝渠104之外側之埋入氧化膜105。藉以在溝渠104形成由埋入氧化膜105所構成之元件隔離(STI)106。

此時，由於當氮化膜103露出時，終點檢測機檢出之光之反射率，或者研磨機之研磨床之旋轉轉矩力量發生變動，因此將該變動產生之時刻作為對埋入氧化膜105施行研磨之終點檢測。又，在圖12(c)所示之CMP工序中之完成段差調整是以埋入氧化膜105之研磨速度比氮化膜103之研磨速度快兩倍以上之研磨條件施行。如此，可抑制在構成元件隔離106之埋入氧化膜105之表面和其它基板表面之間產生段差。又，該完成段差調整利用調節CMP裝置之機頭(保持基板且使基板旋轉之部份)之旋轉速度或負載條件、貼有研磨墊之研磨床之旋轉速度、或漿體材料等施行。

依據第3實施形態，在第1或第2實施形態之半導體基板，即在設置有兩肩部之曲率之差為0 mm以上且0.1 mm以下之缺口之半導體基板101上形成溝渠104，然後，將埋入氧化膜105埋入溝渠104，之後，對該氧化膜105施行CMP。此時，由於可充分地抑制在埋入氧化膜105之下側所形成之氮化膜103(即終點檢測膜)之最終膜厚之偏差，因此可抑制在CMP後之基板表面產生段差。具體而言，即使對距成為半導體基板101之半導體晶圓之端面2~5 mm左右之範圍，也可使在STI-CMP後之晶圓表面所產生之段差，即平坦化加工偏差在30 nm以下。所以，可防止因基板表面之段差而引起之在CMP後之工序中產生之問題，因此可提高半導體裝置之可靠性。又，可使從半導體晶圓所能取得之晶片數量之晶圓有效領域擴大。換言之，由於可增加從半導體晶圓所能取得之晶片數量，因此可降低半導體裝置製造之成本。

又，依據第3實施形態，在將埋入氧化膜105施行平坦化之工序中，使用埋入氧化膜105之研磨速度比氮化膜(終點檢測膜)103之研磨速度快兩倍以上之研磨條件。因此，可確實地測定在成為半導體基板101之半導體晶圓之全體上，或在晶圓上以半導體裝置(晶片)為單位之部分上是否完成了平坦化。又，可防止在CMP後之氮化膜103(終點檢測膜)之最終膜厚隨晶片內之溝渠104之存在密度而產生差，或者在晶圓內之CMP後之氮化膜103之最終膜厚隨晶片內之溝渠104之存在密度而產生差。

又，在第3實施形態中，不特別地限定成為半導體基板

101之半導體晶圓之尺寸。

又，在第3實施形態中，以STI-CMP為前提，不僅是它，在用層間膜或金屬膜等作為被研磨膜之CMP處理中，也可獲得同樣之效果。

又，在第3實施形態中，不特別限定在STI-CMP中所用之研磨裝置。

又，在第3實施形態中，成為半導體基板101之半導體晶圓之缺口形狀除了第1或第2實施形態之半導體基板之特徵部分，都遵從SEMI標準。具體而言，缺口之深度為1.0 mm以上且1.25 mm以下。缺口之角度(缺口之兩壁面之間之角度)為 89° 以上且 95° 以下。此時，若缺口之底部具有所定之曲率之圓弧狀，或者缺口壁面是用從所週知之方法施行鏡面加工，可更確實地防止因缺口而引起之研磨墊變粗躁。具體而言，最好缺口底部之曲率為1 mm以上。又，若考慮到SEMI規格，在半導體晶圓之缺口之兩肩部之曲率最大為2.0 mm左右，缺口底部之曲率最大為1.5 mm左右。

又，在第3實施形態中，在將埋入氧化膜105施行平坦化之工序後，最好包括利用化學機械之研磨將氮化膜103即終點檢測膜研磨之工序。如此，利用研磨除去氮化膜103後，例如可利用光刻形成沒有尺寸偏差之閘極圖案等。

(產業上之利用可能性)

本發明係關於半導體基板、其製造方法以及半導體裝置之製造方法，在用於成為CMP之對象之半導體基板時，特別有用。

【圖示之簡單說明】

圖1係表示在本發明之各個實施形態中，在被研磨膜之最終膜厚之評價或STI形成等所使用之研磨裝置(CMP裝置)之模型圖。

圖2係表示在本發明第1實施形態之半導體基板上之缺口形狀之一個例子。

圖3係表示在本發明第1實施形態之半導體基板上之缺口形狀之其它例子。

圖4係表示本發明第1實施形態之半導體基板之製造方法之流程圖。

圖5係表示對本發明之第1實施形態之半導體基板施行STI-CMP時SiN膜之最終膜厚之測定結果。

圖6係表示在本發明之第2實施形態之半導體基板之缺口形狀之一個例子。

圖7係表示對本發明之第2實施形態之半導體基板施行STI-CMP時SiN膜之最終膜厚之測定結果。

圖8係表示第1比較形態之半導體基板之缺口形狀之一個例子。

圖9係表示對第1比較形態之半導體基板施行STI-CMP時SiN膜之最終膜厚之測定結果。

圖10係表示第2比較形態之半導體基板之缺口形狀之一個例子。

圖11係表示對第2比較形態之半導體基板施行STI-CMP時SiN膜之最終膜厚之測定結果。

圖 12(a)~圖 12(c) 係表示本發明之第 3 實施形態之半導體裝置之製造方法之各個工序之剖面圖。

【符號說明】

- 11 研磨墊
- 12A 一種類型之半導體基板
- 12B 另一種類型之半導體基板
- 13A 一種類型之半導體基板之缺口
- 13B 另一種類型之半導體基板之缺口
- 14 研磨盤(研磨墊)之旋轉方向
- 15A 一種類型之半導體基板之旋轉方向
- 15B 另一種類型之半導體基板之旋轉方向
- 16 對一種類型之半導體基板之缺口肩部之研磨墊之衝擊方向
- 101 半導體基板
- 102 保護氧化膜
- 103 氮化膜
- 104 汲極
- 105 埋入氧化膜
- 106 元件隔離
- R1 在半導體基板之缺口之一種類型之肩部之曲率
- R2 在半導體基板之缺口之另一種類型之肩部之曲率
- R3 在半導體基板之缺口之底部之曲率
- Vr 半導體基板之缺口之深度
- θ 半導體基板之缺口之兩壁面所形成之角度

伍、中文發明摘要：

本發明係旨在：提供一種半導體基板、其製造方法以及半導體裝置之製造方法。其目的係在於：抑制CMP後之基板表面之段差。

本發明之半導體裝置，係於端部具有缺口之半導體基板上，缺口之兩肩部之形狀皆為圓弧狀，且兩肩部之曲率之差在0 mm以上且0.1 mm以下。

陸、英文發明摘要：

In a semiconductor substrate having a notch in an edge portion thereof, each of the two shoulder portions of the notch is configured as an arc and the difference in curvature between the two shoulder portions of the notch is not less than 0 mm and not more than 0.1 mm.

拾、申請專利範圍：

1. 一種半導體基板，其於端部有缺口，其特徵在於：
前述缺口之兩肩部之形狀皆係圓弧狀，且前述兩肩部之曲率之差在0 mm以上且在0.1 mm以下。
2. 如申請專利範圍第1項所述之半導體基板，其中：
前述兩肩部之曲率皆在0.3 mm以上。
3. 如申請專利範圍第1項所述之半導體基板，其中：
前述缺口之底部之形狀係圓弧狀，前述底部之曲率在1 mm以上。
4. 如申請專利範圍第3項所述之半導體基板，其中：
前述缺口之兩壁面皆被施行鏡面加工，且它們之間之角度在89°以上且在95°以下。
5. 一種半導體裝置之製造方法，該半導體裝置使用申請專利範圍第1項所述之半導體基板，其特徵在於具備：
將絕緣膜或導電膜埋入設於前述半導體基板之凹部之工序；
及利用化學機械之研磨將前述絕緣膜或前述導電膜平坦化之工序。
6. 一種半導體裝置之製造方法，該半導體裝置使用申請專利範圍第1項所述之半導體基板，其特徵在於具備：
在前述半導體基板上形成終點檢測膜之工序；
用光阻圖案對前述終點檢測膜及前述半導體基板施行蝕刻形成隔離溝之工序；
於前述隔離溝埋入絕緣膜之工序；

以及利用化學機械之研磨將所述絕緣膜平坦化之工序。

7. 如申請專利範圍第6項所述之半導體裝置之製造方法，其中：

在將前述絕緣膜平坦化之工序中，前述絕緣膜之研磨速度比前述終點檢測膜之研磨速度快2倍以上。

8. 如申請專利範圍第6項所述之半導體裝置之製造方法，其中：

在將前述絕緣膜平坦化之工序後，係包括利用化學機械之研磨將前述終點檢測膜研磨之工序。

9. 一種半導體基板之製造方法，該半導體基板係端部有缺口，其特徵在於具備：

將前述端部施行鏡面研磨之加工工序；

前述加工工序，係包括使前述缺口之兩肩部之形狀皆為圓弧狀且使前述兩肩部之曲率之差皆在0 mm以上且在0.1 mm以下。

10. 如申請專利範圍第9項所述之半導體基板之製造方法，其中：

前述加工工序，係包括使前述兩肩部之曲率皆在0.3 mm 以上之工序。

11. 如申請專利範圍第9項所述之半導體基板之製造方法，其中：

前述加工工序，係包括使前述缺口之底部之形狀為圓弧狀且使前述底部之曲率在1mm以上之工序。

12. 如申請專利範圍第11項所述之半導體基板之製造方法，其中：

前述加工工序，係包括為使前述缺口之兩壁面之間之角度在 89° 以上且在 95° 以下而施行鏡面加工之工序。

拾壹、圖式：

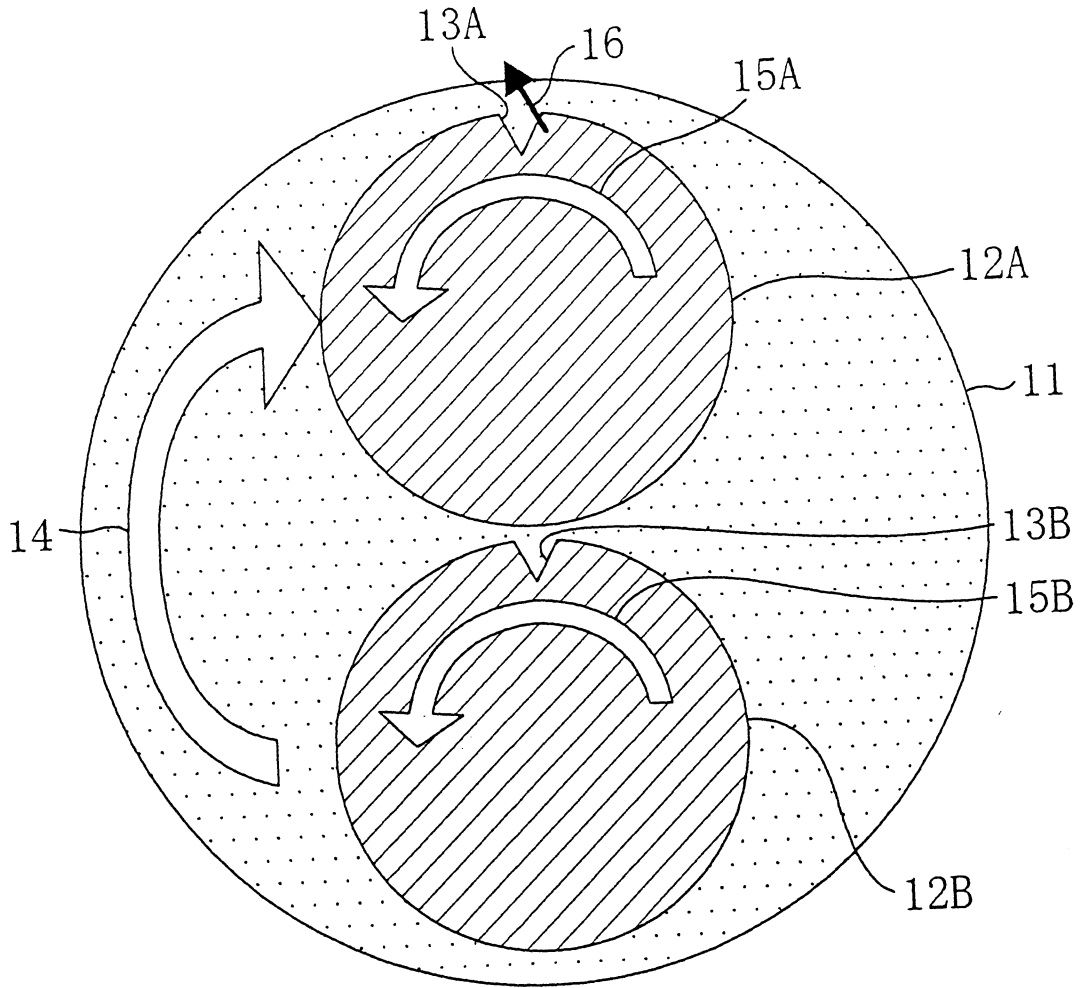


圖1

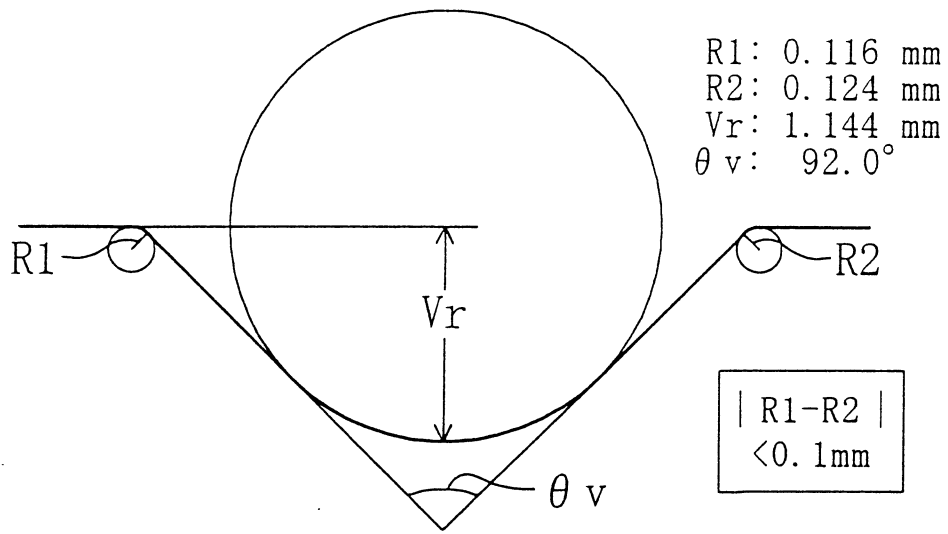


圖2

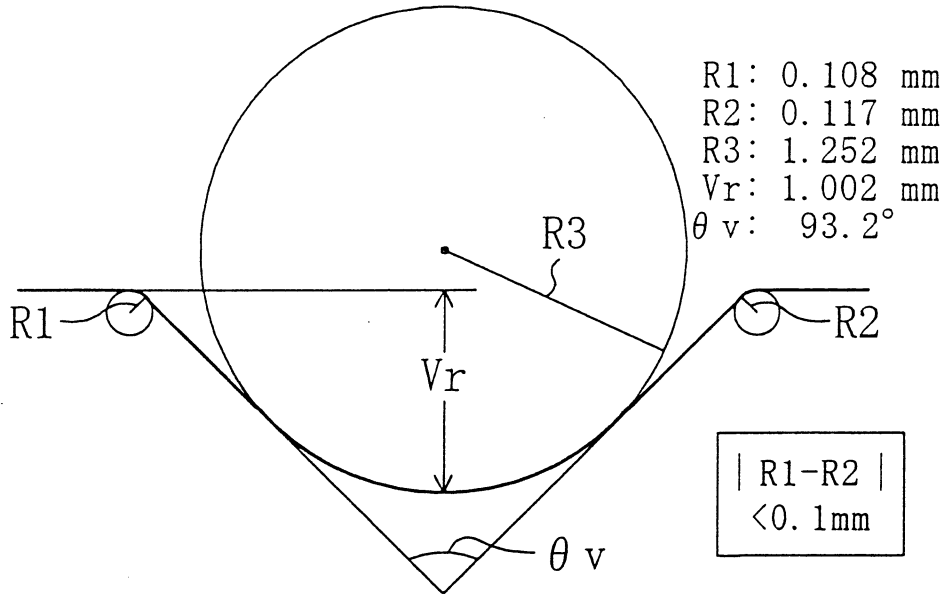


圖3

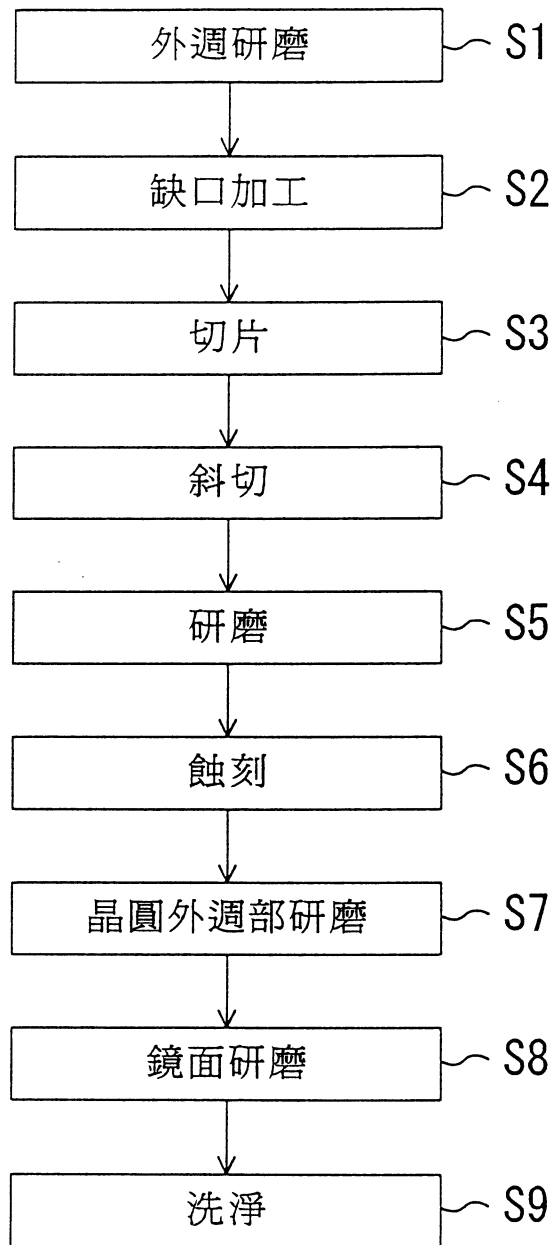


圖4

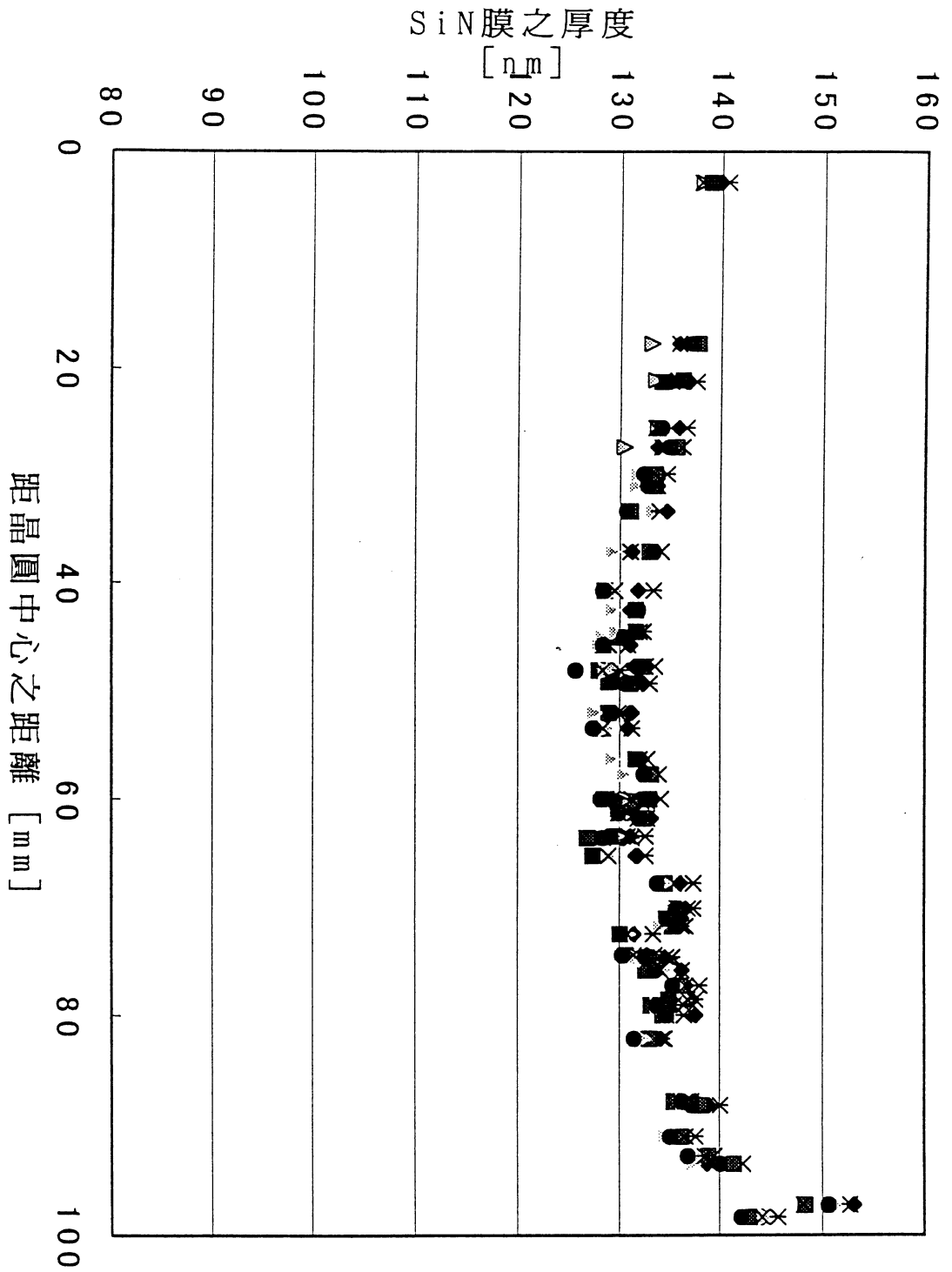


圖5

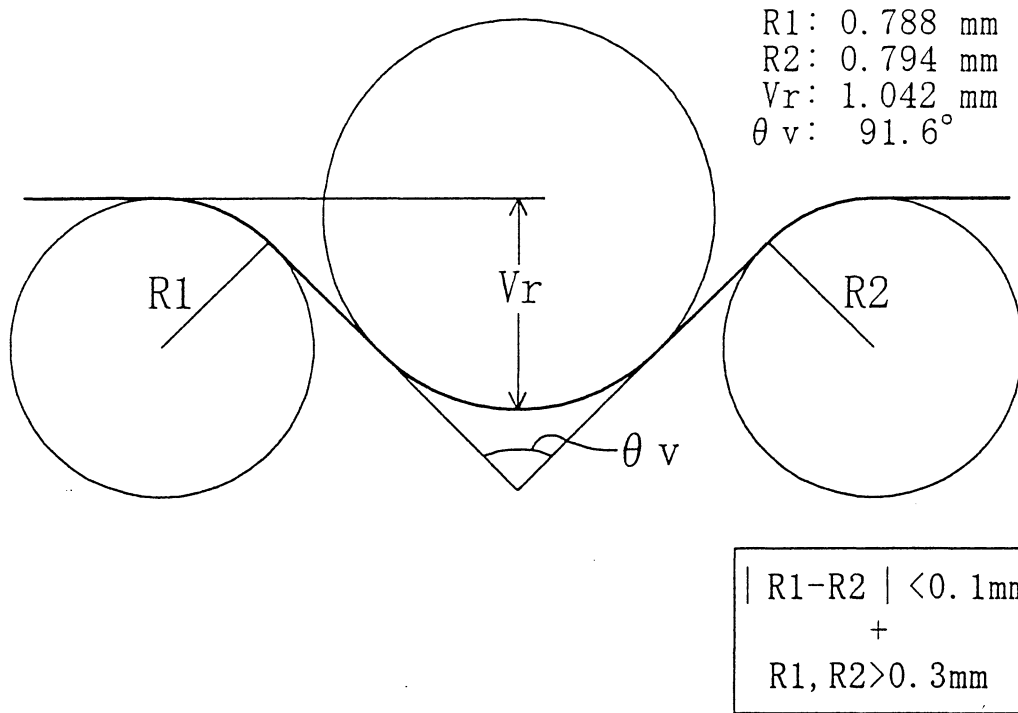


圖6

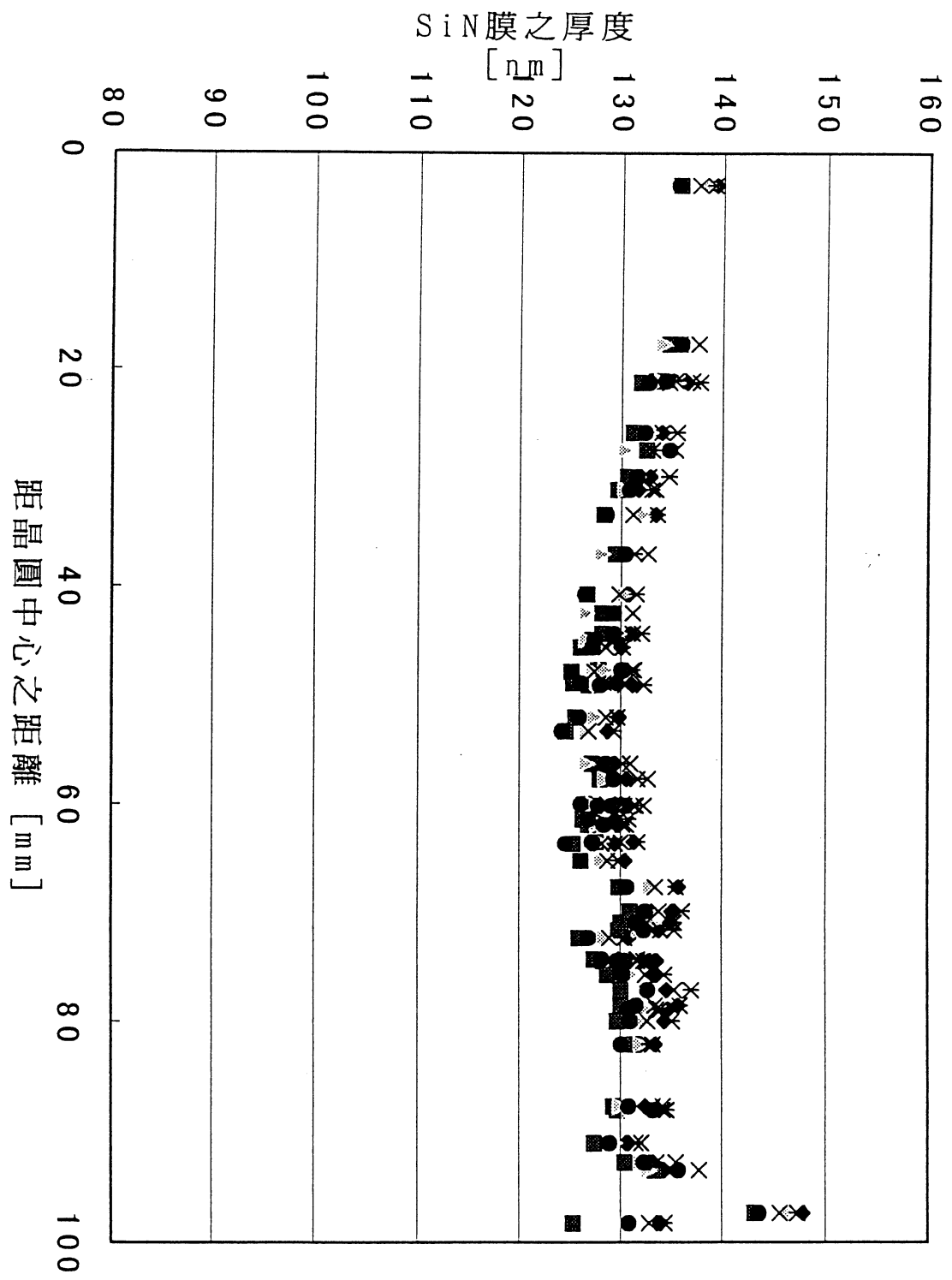


圖7

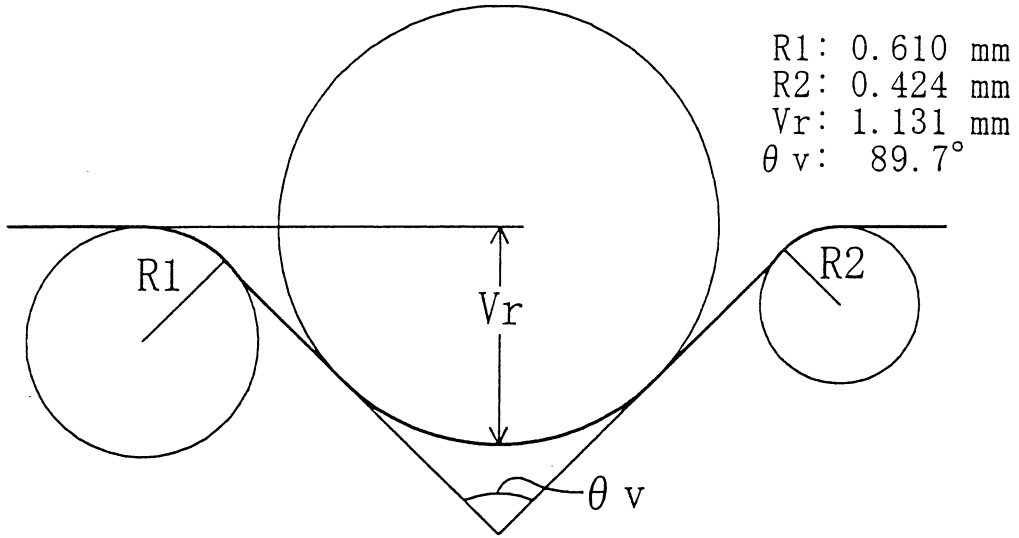


圖8

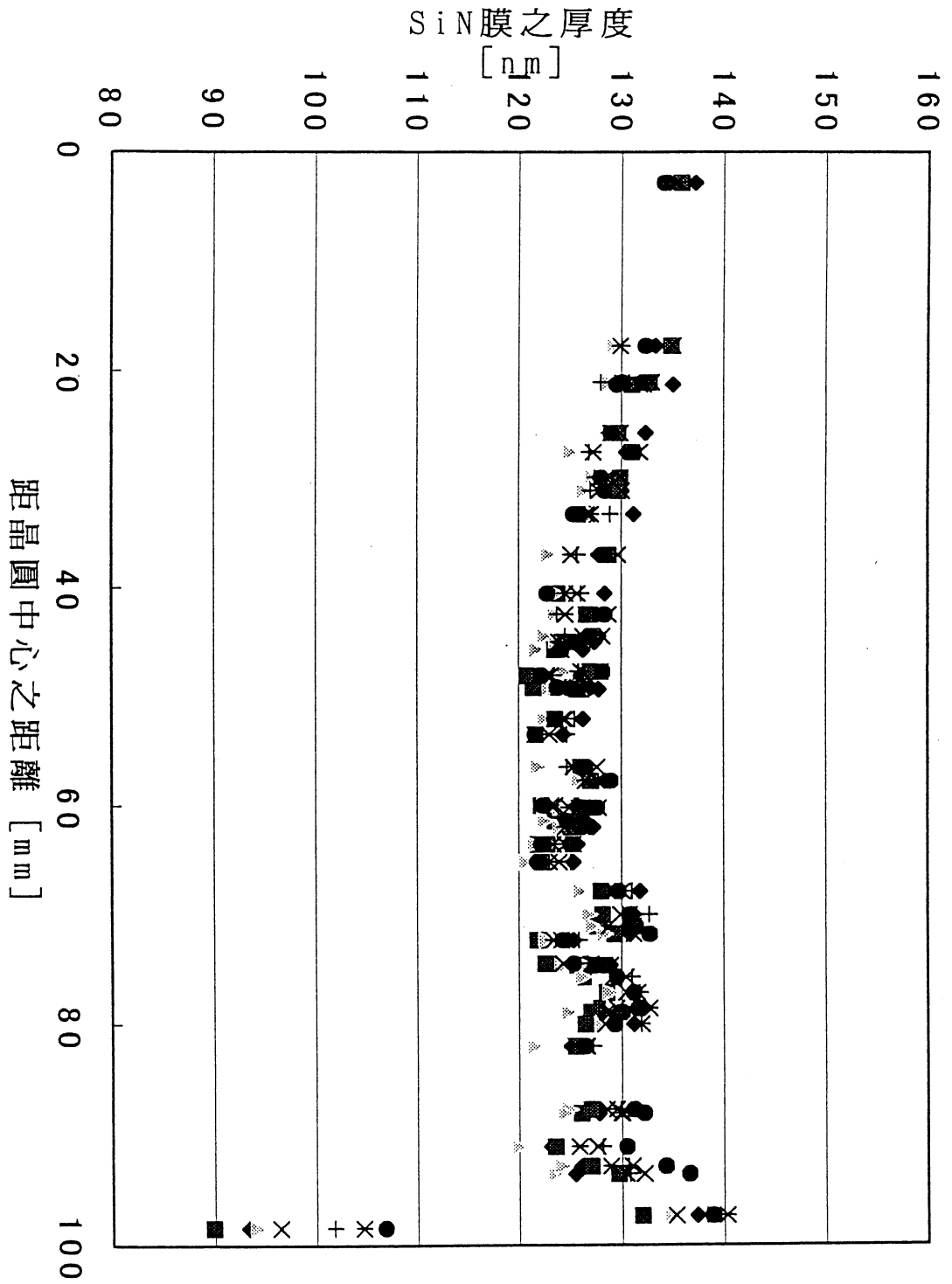


圖9

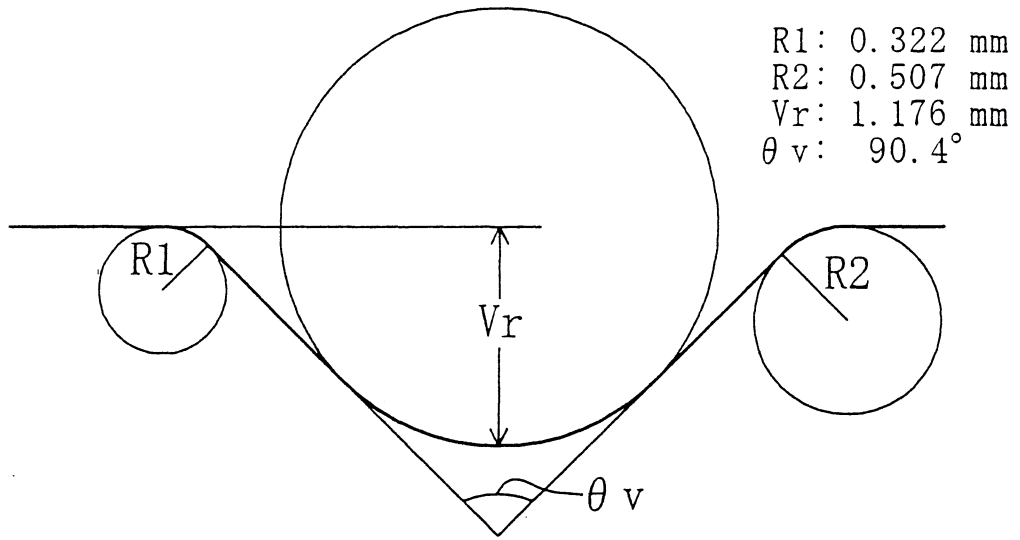


圖10

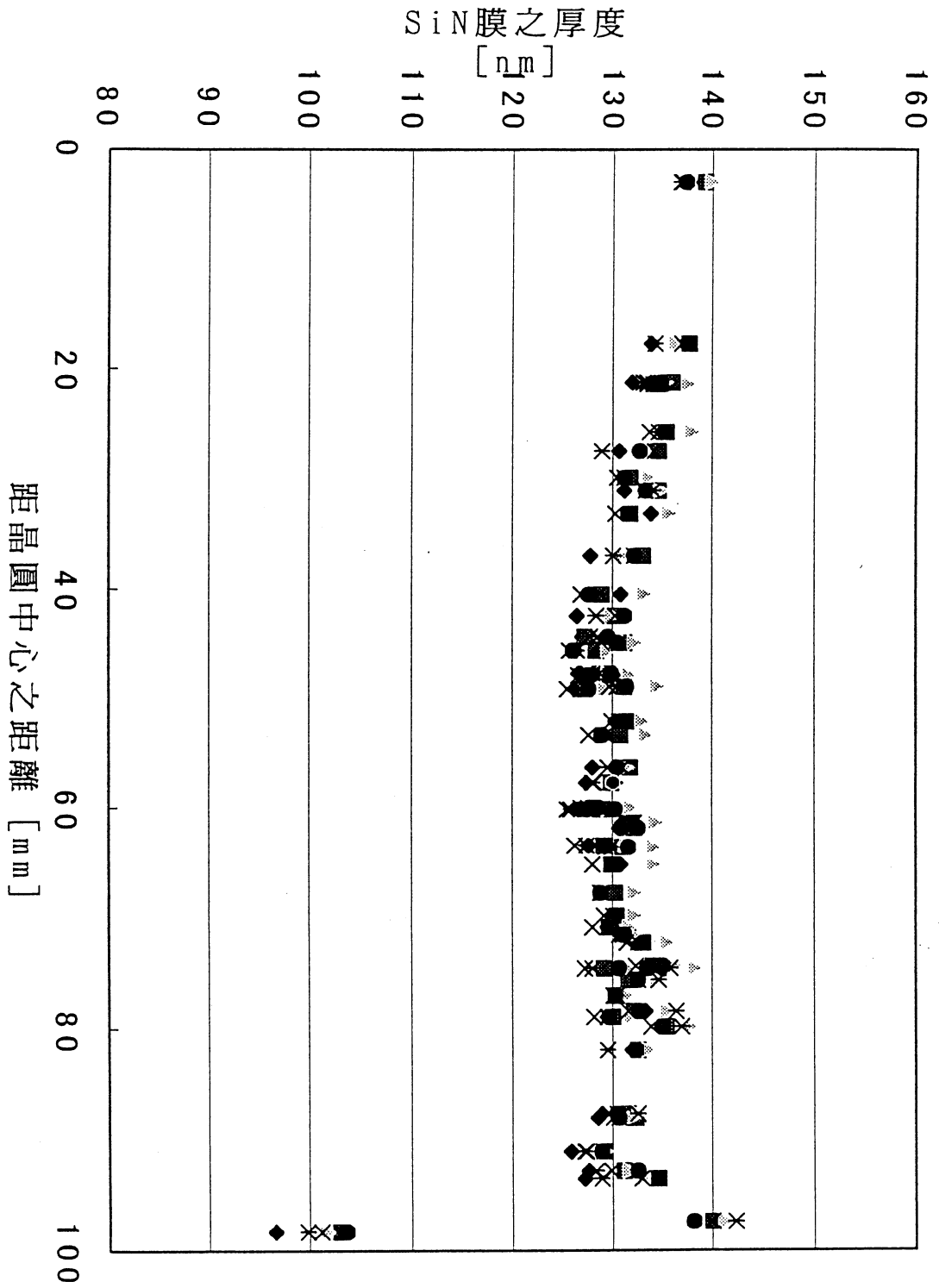


圖11

圖12 (a)

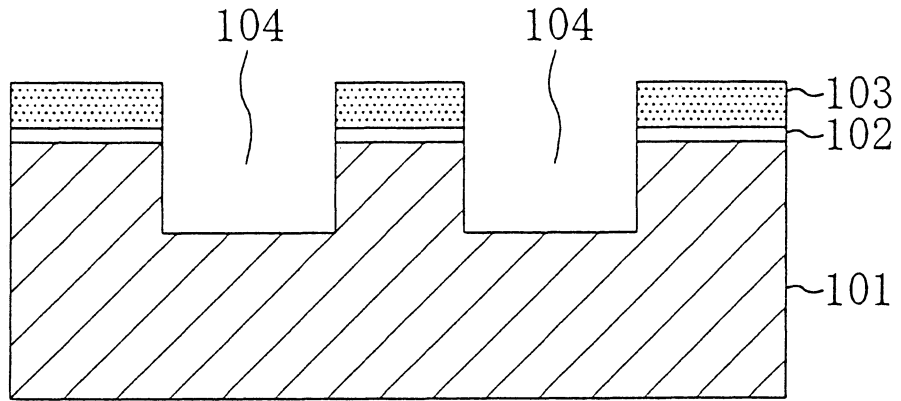


圖12 (b)

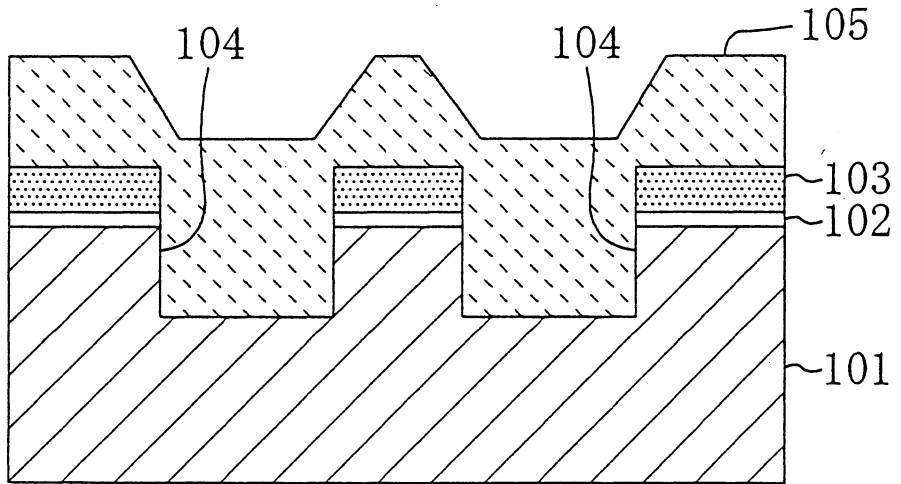
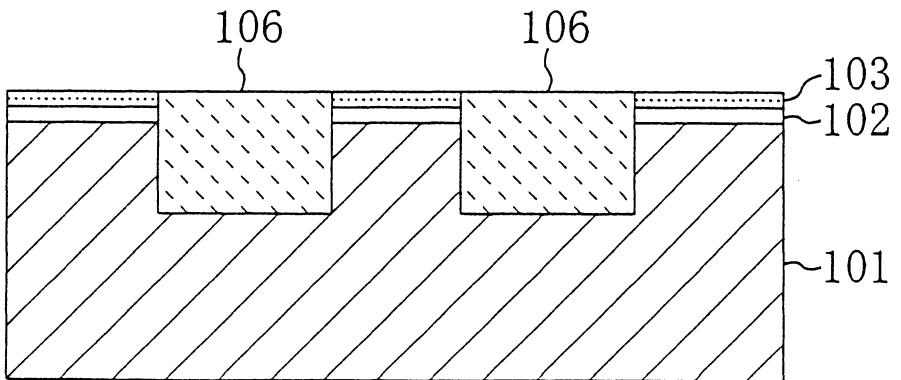


圖12 (c)



柒、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件代表符號簡單說明：

R1 在半導體基板之缺口之一種類型之肩部之曲率

R2 在半導體基板之缺口之另一種類型之肩部之曲率

Vr 半導體基板之缺口之深度

θv 半導體基板之缺口之兩壁面所形成之角度

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)