(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2015년11월11일
(11) 등록번호 10-1568148
(24) 등록일자 2015년11월05일

(51) 국제특허분류(Int. Cl.)
H01L 31/0749 (2012.01) *H01L 31/0256* (2006.01)
H01L 31/04 (2014.01) *H01L 31/046* (2014.01)
(21) 출원번호 10-2014-0066711
(22) 출원일자 2014년06월02일
심사청구일자 2014년06월02일
(56) 선행기술조사문헌
KR1020130044850 A*
KR1020080067817 A
KR1020110070541 A
KR1020130048717 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
한밭대학교 산학협력단
대전광역시 유성구 동서대로 125 (덕명동)
(72) 발명자
정중희
대전광역시 서구 둔산로 20, 102동 907호 (둔산동, 국화아파트)
(74) 대리인
특허법인 플러스

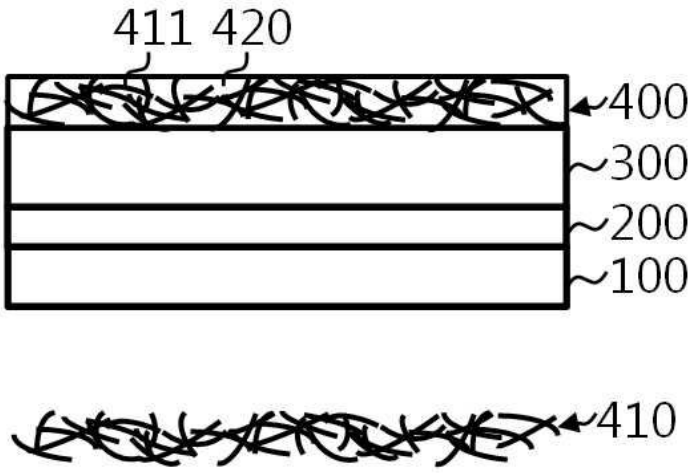
전체 청구항 수 : 총 4 항 심사관 : 방기인

(54) 발명의 명칭 **화합물 반도체 박막 태양전지**

(57) 요 약

본 발명에 따른 박막형 태양전지는 후면전극이 형성된 기재; 상기 후면전극 상부에 위치하는 화합물 반도체인 광흡수층; 상기 광흡수층 상부에 위치하며, 상기 광흡수층과 접하는 복합층;을 포함하되, 상기 복합층은 전도성 메쉬; 및 적어도 상기 전도성 메쉬의 빈 공간을 채우는 반도체 물질을 포함한다.

대 표 도 - 도2



명 세 서

청구범위

청구항 1

후면전극이 형성된 기재; 상기 후면전극 상부에 위치하는 화합물 반도체인 광흡수층; 상기 광흡수층 상부에 위치하며, 상기 광흡수층과 접하는 복합층;을 포함하되,

상기 화합물 반도체는 구리-인듐-갈륨-칼코젠 화합물 또는 구리-아연-주석-칼코젠 화합물이며,

상기 복합층은 전도성 메쉬; 및 적어도 상기 전도성 메쉬의 빈 공간을 채우는 반도체 물질을 포함하되,

상기 복합층은 적어도 상기 전도성 메쉬의 빈 공간으로 노출되는 광흡수층의 표면을 모두 덮는 제1반도체 물질 및 상기 제1반도체 물질 상부에 위치하며, 상기 전도성 메쉬의 나머지 빈 공간을 채우는 제2반도체 물질을 포함하며,

상기 제1반도체 물질은 ZnS(O,OH), Zn(O,S), ZnS, CdS, $Zn_xCd_{1-x}S$(0<x<1인 실수), In_2S_3, In(OH,S), SnS_2, CdSe 및 ZnSe에서 하나 또는 둘 이상 선택되는 물질이며, 제2반도체 물질은 n형 도펀트를 함유하는 제1반도체 물질인 박막형 태양전지.

청구항 2

삭제

청구항 3

삭제

청구항 4

제 1항에 있어서,

상기 복합층의 상기 광흡수층과 접하는 면으로부터 그 대향면의 방향인 두께 방향으로 n형 도펀트의 농도가 변화되는 박막형 태양전지.

청구항 5

제 4항에 있어서,

상기 n형 도펀트의 농도는 상기 두께 방향으로 연속적 또는 불연속적으로 증가하는 박막형 태양전지.

청구항 6

삭제

청구항 7

삭제

청구항 8

제 1항에 있어서,

상기 전도성 메쉬는 금속 와이어, 금속 튜브, 탄소 나노튜브 및 그라핀에서 하나 이상 선택된 나노구조체의 네트워크인 박막형 태양전지.

발명의 설명

기 술 분 야

[0001] 본 발명은 화합물 반도체기반 박막형 태양전지에 관한 것으로, 매우 단순한 구조를 가져 대량생산 및 상업화에 적합한 화합물 반도체기반 박막형 태양전지에 관한 것이다.

배 경 기 술

[0002] 최근 환경문제와 천연자원의 고갈에 대한 관심이 높아지면서, 환경오염에 대한 문제가 없으며 에너지 효율이 높은 대체 에너지로서의 태양전지에 대한 관심이 높아지고 있다. 태양전지는 구성성분에 따라 실리콘 반도체 태양전지, 화합물 반도체 태양전지, 적층형 태양전지 등으로 분류되며, CIGS로 대표되는 화합물 반도체 기반 태양전지는 실리콘 반도체 태양전지에 버금가는 효율을 가질 뿐만 아니라, 전기 광학적으로 극히 안정하여, 실리콘 반도체 태양전지를 대체할 수 있는 차세대 태양전지로 각광받고 있다.

[0003] 그러나, 화합물 반도체 기반 태양전지는 기재-후면전극-광흡수층-버퍼층-다층 구조를 갖는 윈도우층-금속 그리드 전극등 그 적층구조가 복잡하고, 각 층을 제조하기 위해서는 정교한 진공장비와 같이 막대한 초기설비 투자가 필요한 상황이며, 전자선 증착과 같이 극히 양산성이 떨어지는 공정이 요구됨에 따라, 상업화에 걸림돌이 되고 있다.

[0004] 대한민국 공개특허 제2013-0040385호와 같이, 유연성 태양전지를 구현하고 비용을 절감하기 위해, 탄소나노튜브를 전극으로 이용하는 것이 제안된 바 있으나, 기재-후면전극-광흡수층-버퍼층-다층 구조를 갖는 윈도우층-금속 그리드 전극이라는 기본적인 6층의 적층 구조를 벗어나지 못해, 여전히 상업화에는 그 한계가 있다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 대한민국 공개특허 제2013-0040385호

발명의 내용

해결하려는 과제

[0006] 본 발명의 목적은 극히 간단한 적층 구조를 가져 제조 공정의 단순화 및 비용 절감이 가능하고 상업화에 유리한 화합물 반도체 기반 박막형 태양전지를 제공하는 것이다.

과제의 해결 수단

[0007] 본 발명의 일 실시예에 따른 박막형 태양전지는 후면전극이 형성된 기재; 후면전극 상부에 위치하는 화합물 반도체인 광흡수층; 광흡수층 상부에 위치하며, 광흡수층과 접하는 복합층;을 포함하되, 복합층은 전도성 메쉬; 및 적어도 상기 전도성 메쉬의 빈 공간을 채우는 반도체 물질을 포함할 수 있다.

[0008] 본 발명의 일 실시예에 따른 박막형 태양전지에 있어, 화합물 반도체는 구리-인듐-갈륨-칼코젠 화합물 또는 구리-아연-주선-칼코젠 화합물일 수 있다.

[0009] 본 발명의 일 실시예에 따른 박막형 태양전지에 있어, 복합층의 전도성 메쉬는 금속 와이어, 금속 튜브, 탄소나노튜브 및 그라핀에서 하나 이상 선택된 나노구조체의 네트워크일 수 있다.

[0010] 본 발명의 일 실시예에 따른 박막형 태양전지에 있어, 복합층의 반도체 물질은 인트린직(intrinsic) 반도체, 익스트린직(extrinsic) n형 반도체 또는 인트린직(intrinsic) 반도체와 익스트린직 n형 반도체를 모두 포함할 수 있다.

[0011] 본 발명의 일 실시예에 따른 박막형 태양전지에 있어, 복합층의 반도체 물질은 복합층의 광흡수층과 접하는 면으로부터 그 대향면의 방향인 두께 방향으로 n형 도펀트의 농도가 변화될 수 있다.

[0012] 본 발명의 일 실시예에 따른 박막형 태양전지에 있어, n형 도펀트의 농도는 상기 두께 방향으로 연속적 또는 불연속적으로 증가할 수 있다.

[0013] 본 발명의 일 실시예에 따른 박막형 태양전지에 있어, 복합층은 적어도 전도성 메쉬의 빈 공간으로 노출되는 광흡수층의 표면을 모두 덮는 제1반도체 물질 및 상기 제1반도체 물질 상부에 위치하는 제2반도체 물질을 포함할 수 있다.

[0014] 본 발명의 일 실시예에 따른 박막형 태양전지에 있어, 제1반도체 물질은 ZnS(O,OH), Zn(O,S), ZnS, CdS, $Zn_xCd_{1-x}S$(0<x<1인 실수), In_2S_3, In(OH,S), SnS_2, CdSe 및 ZnSe에서 하나 또는 둘 이상 선택되는 물질이며, 제2반도체 물질은 n형 도펀트를 함유하는 제1반도체 물질일 수 있다.

발명의 효과

[0015] 본 발명에 따른 박막형 태양전지는 종래의 금속 그리드-윈도우층-버퍼층이 복합층으로 구현됨에 따라, 극히 단순한 적층구조를 가져 소자구조 및 제작공정의 단순화가 가능하여, 태양전지를 저가로 대량생산할 수 있어 상업화에 유용한 장점이 있으며, 기재-후면전극-광흡수층-복합층의 단순 구조로도 종래의 기재-후면전극-광흡수층-버퍼층-다층 구조를 갖는 윈도우층-금속 그리드 전극에 상응하는 효율을 가질 수 있으며, 나아가, 극히 단순한 적층구조를 가짐에 따라 플렉시블 태양전지에 특히 적합한 장점이 있다.

도면의 간단한 설명

[0016] 도 1은 종래 박막형 태양전지의 일 단면도를 도시한 도면이며,

도 2는 본 발명의 일 실시예에 따른 박막형 태양전지의 일 단면도를 도시한 도면이며,

도 3은 본 발명의 일 실시예에 따른 태양전지에 있어, 복합층만을 상세 도시한 도면이며,

도 4는 도 3에 도시한 일 예에 따른 복합층의 복합층 두께(t)를 기준한 반도체 층의 n형 도펀트 농도 프로파일을 도시한 일 예이며,

도 5(a)는 본 발명의 일 실시예에 따른 박막형 태양전지에 있어, 복합층을 도시한 다른 일 단면도이며, 도 5(b) 및 도 5(c)는 반도체 층의 복합층 두께(t)에 따른 n형 도펀트 농도 프로파일을 도시한 일 예이며,

도 6은 본 발명의 일 실시예에 따른 박막형 태양전지의 일 단면도를 도시한 도면이며,

도 7은 본 발명의 일 실시예에 따른 박막형 태양전지의 다른 일 단면도를 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0017] 이하 첨부한 도면들을 참조하여 본 발명의 박막형 태양전지를 상세히 설명한다. 다음에 소개되는 도면들은 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되는 것이다. 따라서, 본 발명은 이하 제시되는 도면들에 한정되지 않고 다른 형태로 구체화될 수도 있으며, 이하 제시되는 도면들은 본 발명의 사상을 명확히 하기 위해 과장되어 도시될 수 있다. 이때, 사용되는 기술 용어 및 과학 용어에 있어서 다른 정의가 없다면, 이 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 통상적으로 이해하고 있는 의미를 가지며, 하기의 설명 및 첨부 도면에서 본 발명의 요지를 불필요하게 흐릴 수 있는 공지 기능 및 구성에 대한 설명은 생략한다.

[0018] 도 1은 기 알려진 화합물 반도체 기반 태양전지의 기본 구조를 도시한 도면으로, 도 1에 도시한 바와 같이, 통상적인 화합물 반도체 기반 태양전지는 기판(10)-Mo를 포함하는 후면전극(20)-화합물 반도체 기반 광흡수층(30)-버퍼층(40)-윈도우층(투명창층)(50)-전면금속(금속 그리드, 60)의 적층 구조 또는 윈도우층(50)과 전면금속(60) 사이에 반사방지막(미도시)이 더 구비되는 적층 구조를 가지며, 윈도우층(50) 또한, 인트린직(intrinsic)-ZnO(i-ZnO, 51)와 Al 도핑된 ZnO(ZnO:Al), 52)의 적층 박막이 사용되는 것이 통상적이다.

[0019] 화합물 반도체 기반 태양전지는 실리콘 태양전지를 대체할 수 있는 정도의 높은 효율을 가지며, 소재 비용 절감이 가능하여 상업화에 가장 유망한 전지로 주목받고 있으나, 대량 생산을 기반한 상용화 양산을 위해서는 고도의 진공 증착 공정이 가능한 배제되어야 할 뿐만 아니라, 가능한 간단한 공정으로 제조 가능하여야 한다. 버퍼층의 경우 화학적 용액 증착 방법(CBD)을 이용하여 제조 가능하며, 이러한 CBD를 이용하는 경우 가장 우수한 성능을 갖는 버퍼층의 제조가 가능한 것으로 알려져 있다. 그러나, i-ZnO와 Al:ZnO의 적층 박막인 투명창의 제조를 위해서는 진공 증착이 요구되며, 무반사막이나 전면 금속의 경우 전자선 증착이 요구되고 있는 실정이다.

[0020] 본 출원인은 화합물 반도체 기반 태양전지의 상용화 가능한 구조를 개발하기 위해, 장기간 연구를 수행한 결과, 극히 단순한 구조를 가짐에 따라, 제조시 생산성을 현저하게 향상시킬 수 있고, 공정 구축 비용의 절감이 가능하며, 다단계의 엄격한 공정 제어가 불필요하고, 증착 공정을 최소화하면서도, 종래의 화합물 반도체 기반 태양전지에 버금가는 발전 효율을 가질 수 있는 구조를 개발하여, 본 특허를 출원하기에 이르렀다.

[0021] 본 발명의 일 실시예에 따른 박막형 태양전지는 후면전극이 형성된 기재; 후면전극 상부에 위치하는 화합물 반도체인 광흡수층; 광흡수층 상부에 위치하며 광흡수층과 접하는 복합층;을 포함하되, 복합층은 전도성 메쉬; 및 적어도 상기 전도성 메쉬의 빈 공간을 채우는 반도체 물질을 포함할 수 있다. 복합층은 전도성 메쉬 및 전도성 메쉬의 빈 공간을 채우는 반도체 물질에 의해, 적어도 종래의 버퍼층, 윈도우층 및 전면 금속의 역할을 동시에 수행할 수 있다.

[0022] 도 2는 본 발명의 일 실시예에 따른 박막형 태양전지의 단면을 도시한 도면으로, 도 2에 도시한 일 예와 같이, 본 발명의 일 실시예에 따른 박막형 태양전지는 후면전극(200)이 형성된 기재(100); 후면전극(200) 상부에 위치하는 화합물 반도체인 광흡수층(300); 광흡수층(300)과 접하여 광흡수층(300) 상부에 위치하는 복합층(400);을 포함하되, 복합층(400)은 전도성 메쉬(410); 및 적어도 전도성 메쉬(410)의 빈 공간을 채우는 반도체 물질(420)을 포함할 수 있다.

[0023] 기재(100)는 지지체의 역할을 수행할 수 있으며, 리지드 기재 또는 플렉시블 기재를 포함할 수 있다. 리지드 기재의 구체적인 일 예로 소다라임 유리를 포함하는 유리 기재, 알루미나와 같은 세라믹 기재, 스테인레스 스틸, 구리와 같은 금속 기재를 들 수 있으며, 플렉시블 기재의 구체적인 일 예로, 폴리이미드와 같은 고분자 기재를 들 수 있으나 본 발명이 기재의 물질에 의해 한정될 수 없음은 물론이다.

[0024] 후면전극(200)은 높은 전기전도도를 가지며, 화합물 반도체와 오믹 접합을 이룰 수 있으며, 칼코젠 분위기에서 안정한 물질이면 무방하며, 통상적인 화합물 반도체기반 태양전지에서 사용되는 물질이면 족하다. 구체적인 후면전극의 일 예로, 몰리브덴(Mo)을 들 수 있으나, 본 발명이 후면전극(배면전극)의 물질에 의해 한정될 수 없음은 물론이다. 후면전극의 두께는 통상적인 화합물 반도체기반 태양전지에서 사용되는 물질이면 족하며, 구체적이고 비 한정적인 일 예로, 0.5 내지 2㎛를 들 수 있으나, 본 발명이 후면전극(배면전극)의 두께에 의해 한정될 수 없음은 물론이다.

[0025] 후면전극은 기재 상부에 금속막을 형성할 수 있는 어떠한 공지의 방법을 사용하여 형성될 수 있다. 구체적으로, 공지의 화학적 증착법 또는 물리적 증착법 등을 이용할 수 있으며, 일 예로, 스퍼터링법(Sputtering), 진공증착법(Evaporation), 유기금속화학기상증착법(MOCVD; Metal Organic Chemical Vapour Deposition) 또는 분자빔에피택시법(MBE; molecular beam epitaxy)의 증착법을 이용할 수 있다.

[0026] 광흡수층(300)을 이루는 화합물 반도체는 구리 및 12족 내지 14족에서 하나 또는 둘 이상 선택된 원소의 칼코젠 화합물 층을 의미할 수 있다. 구체적으로, 화합물 반도체는 구리-인듐-갈륨-칼코젠 화합물 또는 구리-아연-주석-칼코젠 화합물을 포함할 수 있다. 보다 구체적으로, 화합물 반도체는 CIGS(Cu-In-Ga-Se 또는 Cu-In-Ga-S), CIGSS(Cu-In-Ga-Se-S), CZTS(Cu-Zn-Sn-Se 또는 Cu-Zn-Sn-S) 또는 CZTSS(Cu-Zn-Sn-Se-S)일 수 있다. 보다 더 구체적으로, 화합물 반도체는 $CuIn_xGa_{1-x}Se_2$(0<x<1인 실수), $CuIn_xGa_{1-x}S_2$(0<x<1인 실수), $CuIn_xGa_{1-x}(Se_yS_{1-y})_2$(0<x<1인 실수, 0<y<1인 실수), $Cu_2Zn_xSn_{1-x}Se_4$(0<x<1인 실수), $Cu_2Zn_xSn_{1-x}S_4$(0<x<1인 실수) 또는 $Cu_2Zn_xSn_{1-x}(Se_yS_{1-y})_4$(0<x<1인 실수, 0<y<1인 실수)일 수 있으나, 이에 한정되는 것은 아니며, 통상적인 화합물 반도체기반 태양전지에서 사용되는 광흡수층으로 사용되는 물질이면 족하다. 광흡수층의 두께는 통상적인 화합물 반도체기반 태양전지에서 사용되는 두께이면 족하며, 구체적이고 비 한정적인 일 예로, 1.5 내지 3㎛를 들 수 있으나, 본 발명이 광흡수층의 두께에 의해 한정될 수 없음은 물론이다.

[0027] 광흡수층은 공지의 CIGS 또는 CZTS 광흡수층을 제조하는 방법을 이용할 수 있다. 예를 들어, 대한민국 특허 공개번호 제2009-0043245호, 미국 특허 등록번호 제7,547,569호, 미국 특허 등록번호 제6,258,620호, 미국 특허

등록번호 제5,981,868호 등에 공지된 광흡수층 성장 방법을 이용할 수 있다. 비 한정적인 일 예로, 광흡수층은 동시증발법(Evaporation), 스퍼터링-셀렌화법(Sputtering + Selenization), 전착법(Electrodeposition), 분말 또는 콜로이드 상태의 전구체 잉크를 도포하고 반응 소결시키는 잉크프린팅, 또는 스프레이 열분해법등을 이용하여 제조될 수 있다.

[0028] 복합층(400)은 전도성 메쉬(410) 및 적어도 전도성 메쉬(410)의 빈 공간을 채우는 반도체 물질(420)을 포함할 수 있다. 전도성 메쉬(410)는 금속 와이어, 금속 튜브, 탄소 나노튜브 및 그라핀에서 하나 이상 선택된 나노구조체(411)의 네트워크일 수 있다.

[0029] 복합층(400)의 전도성 메쉬(410)는 광흡수층(300)에서 형성되는 광전류를 모으는(collect) 역할을 수행하며, 나아가 전지 외부로의 전류 이동을 위한 단자의 역할을 동시에 수행할 수 있다. 적어도 전도성 메쉬(410)의 빈 공간을 채우는 반도체 물질(420)은 광의 흡수시 광흡수층(300)에서 형성되는 전자 및 정공 중, 전자의 이동 경로를 제공하는 역할(전자전달체)을 수행할 수 있으며, 나아가, 전도성 메쉬(410)의 빈 공간에 해당하는 영역에서 전도성 메쉬로 전류이동 경로를 제공하는 역할을 동시에 수행할 수 있다. 즉, 광흡수층(300)과 복합층(400)의 적층 방향을 수직 방향으로 칭할 때, 전도성 메쉬(410)의 빈 공간을 채우는 반도체 물질(420)은 수직 방향으로 광흡수층(300) 내에서 형성된 전자와 정공 중, 전자를 분리 이동시키는 역할을 수행하며, 이와 동시에 분리된 전자가 전도성 메쉬로 이동할 수 있는 저 저항 경로를 제공하는 역할을 수행할 수 있다.

[0030] 복합층(400)의 전도성 메쉬(410)를 이루는 나노구조체(411)는 금속 와이어, 금속 튜브 및 탄소 나노튜브를 포함하는 일차원 나노구조체 및/또는 그라핀과 같은 이차원 나노구조체를 포함할 수 있으며, 나노구조체의 네트워크는 나노구조체들이 서로 연속적으로 접하여, 복합층의 평면(in-plane) 방향, 나아가, 복합층의 평면 방향 및 복합층의 두께 방향(광흡수층과 접하는 면에서 그 대향면으로의 최단거리 방향)으로 전류이동 경로를 제공하는 구조를 의미할 수 있다. 구체적인 일 예로, 나노구조체의 네트워크는 일차원 나노구조체 및/또는 이차원 나노구조체들이 서로 접하며 불규칙적으로 얽혀 있는 구조일 수 있다. 금속 나노와이어 또는 금속 나노튜브의 금속은 금, 은, 알루미늄 및 구리에서 하나 또는 둘 이상 선택되는 물질일 수 있으나, 나노와이어나 나노튜브와 같은 나노 디멘젼에서도 안정적이며 우수한 전기전도도를 갖는 물질이면 사용 가능하다. 탄소 나노튜브는 단일벽(Single-walled), 이중벽(Double walled), 얇은 다중벽(Thin multi-walled), 다중벽(Multi-walled), 다발형(Roped) 또는 이들의 혼합물일 수 있다. 그라핀은 단층 그라핀, 다층 그라핀 또는 이들의 혼합물일 수 있다.

[0031] 복합층이 일차원 나노구조체를 포함하는 경우, 나노구조체들의 안정적인 네트워크 형성 측면에서, 일차원 나노구조체의 길이는 10 ㎛ 내지 100 ㎛ 일 수 있으며, 나노구조체들간의 단순 접촉에 의해서도 원활한 전류이동 경로 제공 측면에서 일차원 나노구조체의 장단축비는 100 내지 1000일 수 있다. 복합층이 그라핀을 포함하는 이차원 나노구조체를 포함하는 경우, 그래핀의 가장 긴 변의 길이는 10 ㎛ 내지 100 ㎛ 일 수 있다.

[0032] 복합층은 광흡수층 표면을 기준으로 전도성 메쉬의 투영 이미지(projection image)상, 전도성 메쉬에 의해 광흡수층 표면이 덮인 면적인 표면 커버리지가 1 내지 15% 일 수 있다. 구체적으로, 표면 커버리지는 전도성 메쉬의 투영 이미지 상, 전도성 메쉬에 의해 광흡수층이 덮이는 면적을 복합층과 접하는 광흡수층 표면으로 나눈 값*100(%)일 수 있다. 이때, 전도성 메쉬의 투영 이미지는 광흡수층 상 위치하는 전도성 메쉬에, 광흡수층의 표면에 수직 방향으로 평행 광을 조사하여 형성되는 전도성 메쉬의 2차원 이미지일 수 있다. 전도성 메쉬가 이러한 표면 커버리지를 갖는 경우, 전도성 네트워크가 안정적으로 형성됨과 동시에, 광흡수층과 복합층의 반도체 물질 간의 접촉 면적을 최대화하며, 복합층에 의한 광 투과율 저하를 방지할 수 있다. 이때, 금속 그리드 전극의 부가적인 형성 없이, 복합층 표면에 직접 외부 도선을 연결하여 전지 외부와의 전기적 접속이 이루어질 수 있는 측면에서, 복합층은 표면 커버리지 5 내지 15%, 좋게는 8 내지 15%가 되도록 전도성 메쉬를 함유할 수 있다. 이때, 복합층이 표면 커버리지가 1% 이상이 되도록 전도성 메쉬(나노구조체)를 함유하는 경우 나노구조체의 네트워크인 전도성 메쉬는 수십Ω/□ 이하의 면저항을 가질 수 있다. 복합층이 표면 커버리지가 5 내지 15%, 좋게는 8 내지 15%가 되도록 전도성 메쉬(나노구조체)를 함유하는 경우, 전도성 메쉬는 수Ω/□ 이하의 면저항을 가질 수 있어 금속 그리드 전극과 유사 내지 동등한 전기전도도를 가질 수 있다.

[0033] 복합층의 두께는 후술하는 반도체 물질에 따라 어느 정도 가변될 수 있으나, 50nm 내지 500nm일 수 있다. 복합층의 두께가 50nm 미만으로 너무 얇은 경우 복합층의 저항이 높아져 광전류가 손실될 위험이 있으며, 복합층의 두께가 500nm를 초과하여 너무 두꺼운 경우 광투과율 저하에 의해 다시 전지 효율이 감소할 위험이 있다.

[0034] 적어도 전도성 메쉬(410)의 빈 공간을 채우는 반도체 물질(420)은 태양전지의 동작 원리에 부합하도록 광흡수층과 접하여 p-n 정션을 형성할 수 있는 반도체 물질일 수 있으며, 이와 동시에 광흡수층에서 형성된 광전하를 전도성 메쉬로 전달하는 전하전달체의 역할을 수행할 수 있는 반도체 물질일 수 있다. 좋게는, 구리 및 12족 내지

14족에서 하나 또는 둘 이상 선택된 원소의 칼코젠화합물이 p형 반도체임에 따라, 복합층(400)에 함유되는 반도체 물질(420)은 n형 반도체 물질일 수 있다.

[0035] 전도성 메쉬(410)의 빈 공간을 채우는 반도체 물질(420)은 인트린직(intrinsic) 반도체; 익스트린직(extrinsic) n형 반도체; 또는 인트린직 반도체와 익스트린직 n형 반도체;를 모두 포함할 수 있다.

[0036] 인트린직 반도체는 전기적 특성을 조절하기 위해 인위적으로 도펀트(불순물)가 도핑되지 않은 반도체를 의미한다. 그러나, 인트린직 반도체가 불순물을 전혀 함유하지 않는 것으로 한정 해석될 수 없으며, 원료나 제조 공정에 의해 야기되는 미량의 불순물을 함유할 수 있음은 물론이다. 익스트린직 n형 반도체는 n형 도펀트를 함유하는 반도체 물질을 의미할 수 있다. 광흡수층이 CIGS 또는 CZTS 광흡수층인 경우, 광흡수층과 p-n 정션을 형성하여 광흡수층으로부터 전자를 분리 이동시킬 수 있도록, 인트린직 반도체는 ZnS(O,OH), Zn(O,S), ZnS, CdS, $Zn_xCd_{1-x}S$(0<x<1인 실수), In_2S_3, In(OH,S), SnS_2, CdSe 및 ZnSe에서 하나 또는 둘 이상 선택되는 물질일 수 있다. 광흡수층이 CIGS 또는 CZTS 광흡수층인 경우, 익스트린직 n형 반도체는 n형 도펀트를 함유하는 상술한 인트린직 반도체 일 수 있다. 상세하게, 익스트린직 n형 반도체는 n형 도펀트를 함유하는 ZnS(O,OH), Zn(O,S), ZnS, CdS, $Zn_xCd_{1-x}S$(0<x<1인 실수), In_2S_3, In(OH,S), SnS_2, CdSe 및 ZnSe에서 하나 또는 둘 이상 선택되는 물질일 수 있다. n형 도펀트는 Al, Ga, B, Sn, Sb, F, Cl, Mn, Co, Ni, Fe, Ti, Mo, Nb, P, O, In, Cr 및 Zn에서 하나 또는 둘 이상 선택되는 원소, 보다 구체적으로 Ga, Al, B In, F, Cr 및 Zn에서 하나 또는 둘 이상 선택되는 원소를 들 수 있다. 구체적이며 비 한정적인 일 예로, 익스트린직 n형 반도체는 Ga, Al, B, In, F, Cr 및 Zn에서 하나 이상 선택된 원소가 도핑된 CdS 또는 Al, B 및 F에서 하나 이상 선택된 원소가 도핑된 ZnS을 들 수 있으나, 본 발명이 제시된 반도체 물질에 의해 한정될 수 없음은 물론이다. 일 예로, 인트린직 반도체는 종래 CIGS 또는 CZTS 광흡수층이 구비되는 태양전지의 버퍼층으로 사용되는 물질일 수 있으며, 익스트린직 n형 반도체는 종래 CIGS 또는 CZTS 광흡수층이 구비되는 태양전지의 버퍼층으로 사용된 반도체 재료에 n형 도펀트를 첨가한 물질 또는 윈도우층으로 사용되는 물질일 수 있다.

[0037] 상술한 복합층은 종래의 금속 그리드 전극-윈도우층-버퍼층을 대체할 수 있음에 따라, 전지가 기판-후면전극-광흡수층-복합층이라는 극히 단순한 적층구조를 가져 소자구조 및 제작공정의 단순화가 가능하여, 태양전지를 저가로 대량생산할 수 있어 상업화에 극히 유용함을 알 수 있다. 기판-후면전극-광흡수층-복합층이라는 극히 단순한 적층구조를 가지면서도 종래의 화합물 반도체 기반 태양전지에 버금가는 효율을 가질 수 있고, 극히 단순한 적층구조에 의해 보다 얇은 전지의 구현이 가능하며, 플렉시블 태양전지의 구현에 특히 적합한 장점이 있다.

[0038] 이하, 본 발명의 일 실시예에 따른 박막형 태양전지에 있어, 복합층만을 상세 도시하여 보다 복합층의 보다 바람직한 구조를 상술한다. 이때, 복합층의 하부면(도면에서 bottom으로 도시)이 광흡수층과 접하는 면이며, 하부면에서 상부면(도면에서 top으로 도시)으로의 방향이 두께 방향(도면에서 화살표 t로 표시)이다. 또한, 복합층의 기본 틀(framework)을 전도성 메쉬에 의해 규정하여 복합층이 반도체 물질을 함유한다고 상술하였으나, 전도성 메쉬의 빈 공간을 채우는 반도체 물질이 연속적(continuum) 막을 형성함에 따라, 전도성 메쉬의 빈 공간을 채우는 반도체 물질을 반도체 층으로 지칭한다. 즉, 복합층은 반도체 층에 전도성 메쉬가 임베딩(embedding)된 구조로 해석될 수 있다. 또한, 이하 복합층을 도시함에 있어, 전도성 메쉬가 일차원 나노구조체인 은 나노선으로 이루어진 경우를 기준으로 도면을 도시하였으나, 이는 본 발명의 이해를 돕기 위함일 뿐이며, 본 발명이 전도성 메쉬를 구성하는 나노구조체의 종류에 의해 한정될 수 없음은 물론이다.

[0039] 도 3은 본 발명의 일 실시예에 따른 박막형 태양전지에 있어, 복합층(400)을 도시한 일 단면도이다. 도 3에 도시한 일 예와 같이, 전도성 메쉬(410)는 은나노선(411-1)이 평면 방향(도 3의 화살표 p 및 두께 방향(도 3의 화살표 t)으로 서로 불규칙적으로 접하며, 평면 방향 및 두께 방향으로 낮은 임피던스 경로를 제공할 수 있다.

[0040] 반도체 층(420´)의 반도체 물질은 적어도 은나노선(411-1) 사이의 빈 공간을 채우며, 광흡수층(300)과 접할 수 있다. 도 3의 일 실시예에 있어, 반도체 층(420´)은 적어도 하나 이상의 인트린직 반도체 층(421, 제1반도체 물질 층) 및 적어도 하나 이상의 익스트린직 n형 반도체 층(422, 제2반도체 물질 층)을 포함할 수 있으며, 두께 방향(도 3의 화살표 t)으로 인트린직 반도체 층(421)이 하부에, 익스트린직 n형 반도체 층(422)이 상부에 위치할 수 있다.

[0041] 즉, 반도체 층(420´)은 광흡수층(300)에 접하는 인트린직 반도체 층(421)과 인트린직 반도체 층(421) 상부에 위치하는 익스트린직 n형 반도체 층(422)을 포함할 수 있다.

[0042] 도 3에 도시한 일 예와 같이, 인트린직 반도체 층(421)은 ZnS(O,OH), Zn(O,S), ZnS, CdS, $Zn_xCd_{1-x}S$(0<x<1인 실

수), In_2S_3, In(OH,S), SnS_2, CdSe 및 ZnSe에서 하나 또는 둘 이상 선택되는 물질의 단일층 또는 ZnS(O,OH), Zn(O,S), ZnS, CdS, $Zn_xCd_{1-x}S$(0<x<1)인 실수, In_2S_3, In(OH,S), SnS_2, CdSe 및 ZnSe에서 둘 이상 선택되는 물질 각각이 층을 이루는 적층층일 수 있다.

[0043] 인트린직 반도체 층(421)은, 광흡수층과 p-n 정션을 형성할 뿐만 아니라, 익스트린직 n형 반도체 층(422)과 광흡수층(300)과의 격자 상수 차 완화 및/또는 전하의 원할한 이동을 위한 광 흡수층과의 에너지 밴드 구조 정렬의 역할을 수행할 수 있다. p-n 정션의 형성, 안정적인 격자 상수 차 완화 및 안정적인 에너지 밴드 구조 정렬 제공 측면에서, 인트린직 반도체 층(421)의 두께는 복합층의 총 두께(t_0)를 기준으로 10% 내지 50%($0.1t_0$~$0.5t_0$)일 수 있다.

[0044] 익스트린직 n형 반도체 층(422)은 광전류가 반도체 물질 영역에서 전도성 메쉬로 원활히 이동할 수 있는 저 임피던스 경로를 제공하는 역할을 수행할 수 있다. 즉, 복합층이 익스트린직 n형 반도체 층(422)을 포함함으로써, 복합층의 인-플레인(in-plane, 도 3의 화살표 p) 방향으로 원활한 광전류 이동이 담보될 수 있다.

[0045] 도 3에 도시한 일 예와 같이, 익스트린직 n형 반도체 층(422)은 ZnS(O,OH), Zn(O,S), ZnS, CdS, $Zn_xCd_{1-x}S$(0<x<1인 실수), In_2S_3, In(OH,S), SnS_2, CdSe 및 ZnSe에서 하나 또는 둘 이상 선택되는 물질이 n형 도펀트에 의해 도핑된 단일층 또는 ZnS(O,OH), Zn(O,S), ZnS, CdS, $Zn_xCd_{1-x}S$(0<x<1인 실수), In_2S_3, In(OH,S), SnS_2, CdSe 및 ZnSe에서 둘 이상 선택되는 물질 각각이 n형 도펀트에 의해 도핑되어 층을 이루는 적층층일 수 있다. 이때, n형 도펀트는 Al, Ga, B, Sn, Sb, F, Cl, Mn, Co, Ni, Fe, Ti, Mo, Nb, P, O, In, Cr 및 Zn에서 하나 또는 둘 이상 선택되는 원소, 보다 구체적으로 Ga, Al, B In, F, Cr 및 Zn에서 하나 또는 둘 이상 선택되는 원소일 수 있다. 전도성 메쉬의 빈 공간의 크기에 따라서 어느 정도 가변될 수 있으나, 광전류의 안정적인 전류 이동 경로 제공 측면에서, 익스트린직 n형 반도체 층의 면저항은 1 GΩ/□, 좋게는 10MΩ/□ 이하일 수 있으며, 익스트린직 n형 반도체 층은 이러한 면저항을 만족하도록 n형 도펀트를 함유할 수 있다. 이때, 익스트린직 n형 반도체 층(422)의 두께는 복합층의 총 두께(t_0)를 기준으로 50% 내지 90%($0.5t_0$~$0.9t_0$)일 수 있다.

[0046] 도 4는 도 3에 도시한 일 예에 따른 복합층의 복합층 두께(t)를 기준한 반도체 층(420′)의 n형 도펀트 농도 프로파일을 도시한 일 예로, t1은 인트린직 반도체층과 익스트린직 n형 반도체층이 접하는 계면 위치 및 C1은 익스트린직 n형 반도체층의 n형 도펀트 농도이다. 도 4에 도시한 바와 같이, n형 도펀트 관점에서, 도 3의 일 예는 복합층(400)이 복합층(400)의 두께 방향으로 불연속적으로 n형 도펀트가 증가하는 반도체 층(420′)을 포함하는 구조의 일 예에 해당될 수 있다.

[0047] 도 3에 도시한 일 예에서, 인트린직 반도체 층이 종래의 버퍼층의 역할을 수행하며, 전도성 메쉬와 결합된 익스트린직 n형 반도체 층이 종래의 윈도우층의 역할을 수행하며, 또한 전도성 메쉬 자체가 종래의 금속 그리드 역할을 수행할 수 있음에 따라, 종래에 가장 효과적인 구조로 알려진 금속 그리드-윈도우층-버퍼층-광흡수층의 적층구조에 상응하는 구조가 단일한 복합층으로 구현될 수 있다. 또한 광흡수층에서 형성된 광전류가, 광흡수층에서 복합층의 인트린직 반도체 층으로, 인트린직 반도체 층에서 익스트린직 n형 반도체 층으로, 익스트린직 n형 반도체 층에서 전도성 메쉬로 흐름에 따라, 광전류 관점에서, 종래의 금속 그리드-윈도우층-버퍼층-광흡수층의 적층구조와 동일 내지 유사한 에너지 밴드 구조(태양전지를 구성하는 각 층의 에너지 밴드가 이루는 구조)를 가질 수 있다.

[0048] 도 5(a)는 본 발명의 일 실시예에 따른 박막형 태양전지에 있어, 복합층(400)을 도시한 다른 일 단면도이다. 도 5에 도시한 일 예와 같이, 복합층(400)은 전도성 메쉬(410) 및 반도체 층(420′)을 포함할 수 있으며, 반도체 층(420′)은 복합층의 두께 방향으로, 연속적으로 증가하는 n형 도펀트의 농도 프로파일을 가질 수 있다.

[0049] 구체적으로, 도 5(b) 및 도 5(c)는 반도체 층의 복합층 두께(t)에 따른 n형 도펀트 농도 프로파일을 도시한 일 예로, t=0는 광흡수층과 복합층 간의 계면을, t=t_0는 복합층의 표면을 의미한다.

[0050] 도 5(b)에 도시한 일 예와 같이, 반도체 층(420′)은 광흡수층과 미 도핑 상태(도핑 농도=0)의 인트린직 반도체가 서로 접하여 계면을 형성하되, 복합층의 두께가 증가할수록 n형 도펀트의 농도가 연속적으로 증가할 수 있다. 도 5(c)에 도시한 일 예와 같이, 반도체 층(420′)은 광흡수층과 n형 도펀트로 도핑된 도핑 상태(도핑 농도=C2)의 n형 반도체가 서로 접하여 계면을 형성하되, 복합층의 두께가 증가할수록 n형 도펀트의 농도가 연속적으로 증가할 수 있다. 도 5(b) 및 도 5(c)에서 비록, n형 도펀트의 농도가 직선적으로 증가하는 경우를 도시하였으나, 원활한 광전류의 흐름을 담보하고, 복합층 내에서 광흡수층과의 격자상수 차, 에너지 밴드 구조 및 기

설계된 복합층의 두께를 고려하여, n형 도펀트의 농도 프로파일이 가변될 수 있음은 물론이다. 일 예로, 복합층의 두께를 얇게 구현하고자 하는 경우, n형 도펀트의 농도는 지수함수적으로 증가하는 프로파일을 가질 수 있다. 이때, 상술한 바와 같이, 반도체 층의 면저항은 전도성 메쉬의 빈 공간의 크기에 따라 어느정도 가변될 수 있으나, 적어도 최상부 표면에 위치하는 반도체층 영역, 즉, 복합층 내에서 가장 높은 농도로 도핑된 반도체 물질의 면저항이 1 GΩ/□ 이하인 것이 좋다. 구체적인 일 예로, 광흡수층 표면을 기준으로 전도성 메쉬의 투영 이미지상, 전도성 메쉬에 의해 광흡수층 표면이 덮인 면적인 표면 커버리지가 5% 이상, 구체적으로 8% 이상, 보다 구체적으로 10% 이상으로 상대적으로 큰 표면 커버리지를 갖는 경우 복합층 내에서 가장 높은 농도로 도핑된 반도체 물질의 면저항이 1 GΩ/□ 이하일 수 있으며, 표면 커버리지가 5% 미만, 구체적으로 1%와 같이 상대적으로 작은 표면 커버리지를 갖는 경우, 복합층 내에서 가장 높은 농도로 도핑된 반도체 물질의 면저항이 10 MΩ/□ 이하일 수 있다.

[0051] 도 5는 미도핑 또는 저 농도로 도핑된 반도체 층의 하부 영역이 종래의 버퍼층의 역할을 수행하며, 전도성 메쉬와 결합된 고 농도로 도핑된(면 저항이 1 GΩ/□ 이하, 좋게는 10 MΩ/□ 이하가 되도록 도핑된) 반도체 층의 상부 영역이 종래의 윈도우층의 역할을 수행할 수 있음에 따라, 도 4를 기반으로 상술한 바와 유사하게 종래의 금속 그리드-윈도우층-버퍼층-광흡수층의 적층구조에 상응하는 구조가 단일한 복합층으로 구현될 수 있다. 다만, 도 4는 n형 도펀트의 농도가 불연속적으로 변화되는 구조를 통해 종래의 금속 그리드-윈도우층-버퍼층-광흡수층의 적층구조와 유사 내지 대응되는 구조를 갖는 복합층을 도시한 것이며, 도 5는 n형 토펀트의 농도가 연속적으로 변화되는 구조를 통해 종래의 금속 그리드-윈도우층-버퍼층-광흡수층의 적층구조와 유사 내지 대응되는 구조를 갖는 복합층을 도시한 것이다.

[0052] 복합층은 광흡수층 상부에 전도성 메쉬를 형성하는 나노구조체를 도포하여 전도성 메쉬를 형성한 후, 전도성 메쉬 상에 반도체 물질을 형성시키는 방법으로 형성될 수 있다. 나노구조체의 도포는 스핀코팅, 스프레이 코팅, 딥코팅, 진공 여과법(Vacuum filtration), 메이어 로드 코팅법(Meyer rod coating)등을 이용할 수 있다.

[0053] 반도체 물질의 형성은 종래 반도체 물질을 증착하기 위해 사용되는 공지의 방법을 사용하여 수행될 수 있으며, 공지된 방법 중 증착하고자 하는 반도체 물질의 물질적 특성을 고려하여 적절한 방법을 이용할 수 있다. 구체적인 일 예로, CBD(chemical bath deposition), SILAR(successive ionic layer adsorption and reaction), 스핀코팅, 스프레이코팅, 딥코팅, 화학기상증착법(유기금속화학증착법), 원자층 증착법, 스퍼터링법(반응성 스퍼터링법), 증발증착법, 산화법, 황화법등을 사용하여 반도체 물질을 증착할 수 있다. 나아가, 인트린직 반도체 물질과 익스트린직 n형 반도체 물질이 서로 동일한 반도체인 경우, 단지 n형 도펀트의 공급 유무나 공급량을 조절함으로써 복합층을 형성할 수 있음에 따라, 보다 경제적이며 간단한 공정을 통해 복합층의 형성이 가능하다. 상세하게, 반도체 물질의 증착 공정 중, n형 도펀트 물질 또는 이의 전구체를 공급함으로써, 증착되는 반도체 물질의 n형 도펀트 농도를 조절할 수 있다. n형 도펀트 물질 또는 이의 전구체의 공급 유무를 제어함으로써, 도 4와 같은 불연속적으로 변화되는 n형 도펀트 농도 프로파일을 갖는 복합층이 제조될 수 있으며, n형 도펀트 물질 또는 이의 전구체의 공급량을 제어함으로써, 도 5와 같은 연속적으로 변화되는 n형 도펀트 농도 프로파일을 갖는 복합층이 제조될 수 있다.

[0054] 본 발명의 일 실시예에 따른 태양전지는 금속 그리드 전극이 구비되지 않을 수 있다. 상세하게, 종래의 화합물 반도체 기반 박막 태양전지는 i-ZnO와 n형 ZnO의 이중 적층막 상부로 광 전류를 수집하는 금속 그리드 전극이 구비되는 것이 통상적이다. 그러나, 본 발명의 일 실시예에 따른 태양전지는 상술한 바와 같이, 복합층에 구비되는 전도성 메쉬 자체가 금속 그리드의 역할을 수행할 수 있음에 따라, 복합층 상부에 금속 그리드 전극이 구비되지 않을 수 있다. 그러나, 전지 외부와의 보다 안정적인 전기적 접속을 형성하기 위해, 전지의 용도 및 사용 환경을 고려하여, 선택적으로 복합층 상부에 금속 그리드 전극을 형성할 수 있음은 물론이다. 금속 그리드 전극은 화합물 기반 반도체 태양전지에서 윈도우층 상부에 위치하여 광전류를 모으는 역할을 하는 금속 그리드 전극에 사용되는 물질 및 구조를 가질 수 있으며, 알려진 방법을 사용하여 제조 가능함은 물론이다.

[0055] 도 6은 본 발명의 일 실시예에 따른 태양전지의 일 단면도를 도시한 도면으로, 도 6(a)는 복합층(400) 상부에 금속 그리드 전극(500)이 구비되는 일 예를, 도 6(b)는 복합층(400)에 외부와의 전기적 연결을 위한 단자 영역(430)이 형성된 일 예를 도시한 것이다. 도 6(a)에 도시한 일 예와 같이, 전지 외부와의 보다 안정적인 전기적 접속을 형성하기 위해 복합층(400) 상에 금속 그리드 전극(500)이 구비될 수 있다. 이때, 금속 그리드 전극(500)은 복합층(400)의 전도성 메쉬(410)와 연결된 상태일 수 있다. 도 6(b)에 도시한 일 예와 같이, 외부와의 전기적 연결을 위해, 복합층(400)의 일부 영역에 반도체 물질이 형성되지 않을 수 있다. 즉, 복합층(400)은 외부와의 전기적 연결을 위한 단자 영역(430)을 포함할 수 있으며, 이러한 단자 영역(430)은 전도성 메쉬 자체로 이루어질 수 있다. 이러한 단자 영역(430)은 태양전지의 용도 및 모듈화를 고려하여, 설계될 수 있으며, 복합층

의 반도체 물질 증착시 단자 영역을 쉐이딩하여, 반도체 물질이 증착되는 것을 방지함으로써, 용이하게 형성될 수 있다.

[0056] 도 7은 본 발명의 일 실시예에 따른 태양전지의 일 단면도를 도시한 도면으로, 도 7에 도시한 일 예와 같이, 본 발명의 일 실시예에 따른 태양전지는 복합층(400) 상부에 위치하는 n형 반도체층(600)을 더 포함할 수 있다. 복합층(400) 상부에 위치하는 n형 반도체층(600)에 의해, 복합층(400)의 반도체 물질에서 전도성 메쉬로의 전류 이동이 보다 안정적이며 원활하게 이루어질 수 있다. 상세하게, 복합층(400) 상부에 복합층(400)과 접하여 형성된 n형 반도체층(600)은 복합층(400)의 반도체 물질(420)로부터 광전하를 전달받아 복합층의 전도성 메쉬(410)로 광전하를 이동시켜 보다 원활한 인-플레인(도 3의 화살표 p방향) 방향으로의 광전류 이동을 가능하게 할 수 있다.

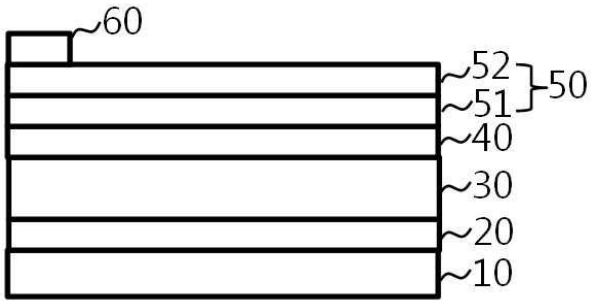
[0057] 반도체 물질 관점에서, 복합층(400)의 반도체 물질(420)과 n형 반도체층(600)은 서로 일체일 수 있다. 즉, 복합층(400)의 형성을 위해 전도성 메쉬(410)에 반도체 물질을 증착하는 단계에서, 전도성 메쉬(410)를 모두 덮도록 반도체 물질을 증착함으로써, n형 반도체층(600)이 복합층의 반도체 물질(420)과 일체로 형성될 수 있다. 이때, n형 반도체층(600)은 상술한 복합층의 익스트린직 n형 반도체층과 동일한 물질일 수 있다. 다만, 인-플레인 방향으로의 보다 안정적인 전류 이동을 담보하는 측면에서 n형 도펀트의 농도가 복합층의 익스트린직 n형 반도체층보다 상대적으로 더 높을 수 있다.

[0058] 이상과 같이 본 발명에서는 특정된 사항들과 한정된 실시예 및 도면에 의해 설명되었으나 이는 본 발명의 보다 전반적인 이해를 돕기 위해서 제공된 것일 뿐, 본 발명은 상기의 실시예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상의 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다.

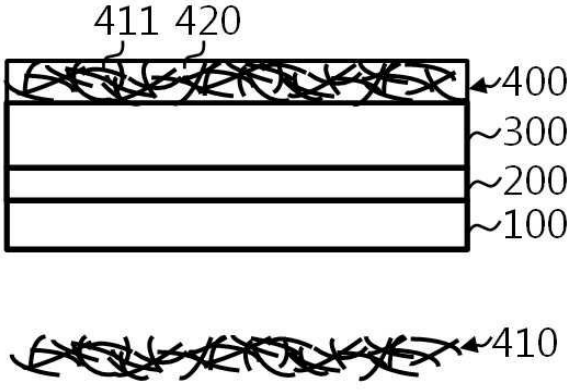
[0059] 따라서, 본 발명의 사상은 설명된 실시예에 국한되어 정해져서는 아니되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등하거나 등가적 변형이 있는 모든 것들은 본 발명 사상의 범주에 속한다고 할 것이다.

도면

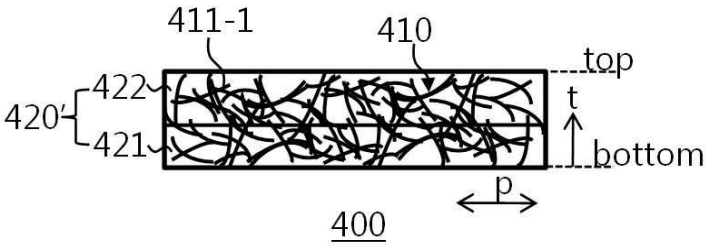
도면1



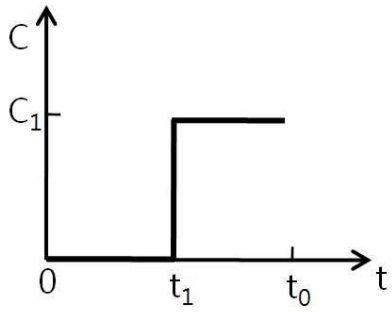
도면2



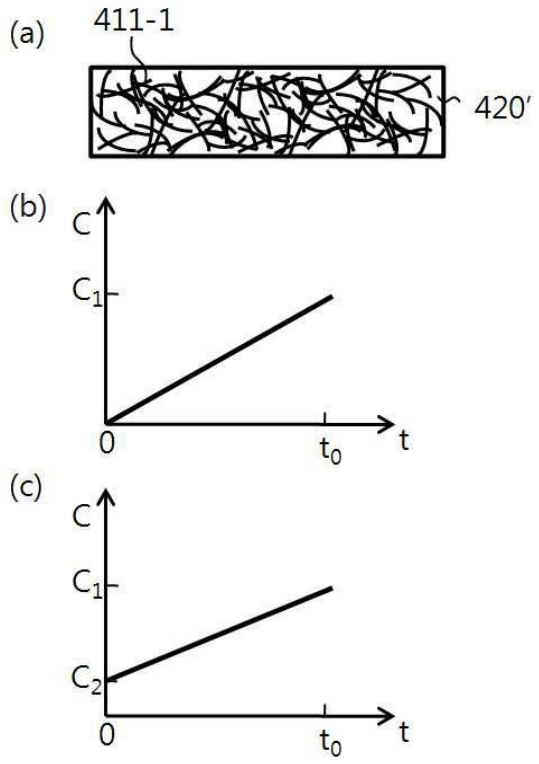
도면3


411-1
410
top
422
420'
t
421
bottom
p
400

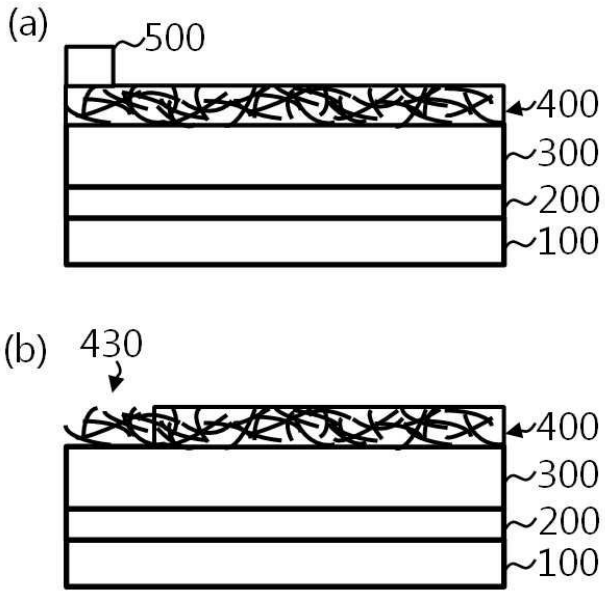
도면4


C
C1
0
t1
t0
t

도면5


(a)
411-1
420'
(b)
C
C1
0
t0
t
(c)
C
C1
C2
0
t0
t

도면6



도면7

