

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年2月15日(15.02.2024)



(10) 国際公開番号

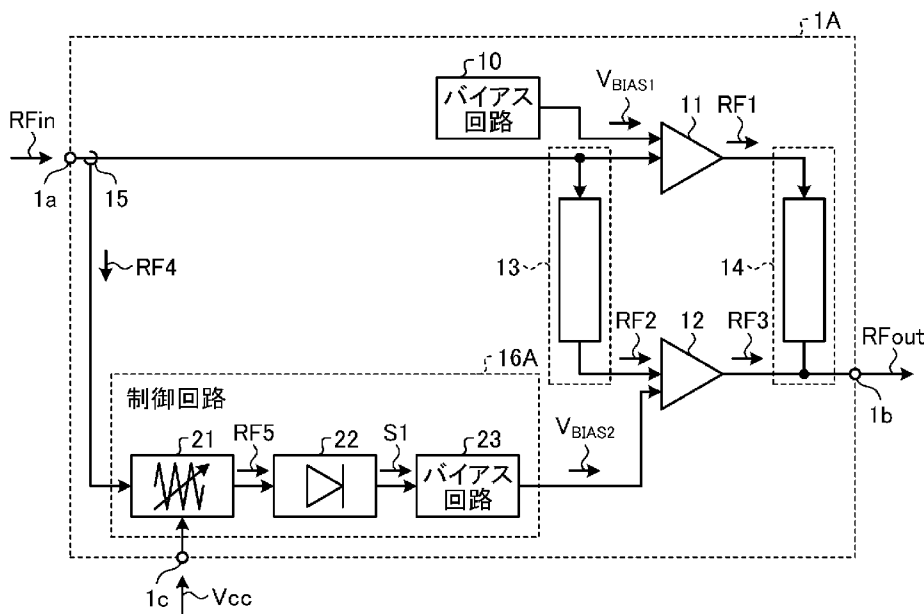
WO 2024/034682 A1

- (51) 国際特許分類:
H03F 1/02 (2006.01) H03F 3/68 (2006.01)
H03F 3/21 (2006.01)
- (21) 国際出願番号: PCT/JP2023/029351
- (22) 国際出願日: 2023年8月10日(10.08.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2022-128862 2022年8月12日(12.08.2022) JP
- (71) 出願人: 株式会社村田製作所
(MURATA MANUFACTURING CO., LTD.) [JP/
JP]; 〒6178555 京都府長岡京市東神足 1
丁目 10 番 1 号 Kyoto (JP).
- (72) 発明者: 今井 翔平(IMAI, Shohei); 〒6178555 京
都府長岡京市東神足 1 丁目 10 番 1 号 株
式会社村田製作所内 Kyoto (JP). 森沢 文
雅(MORISAWA, Fuminori); 〒6178555 京都府
長岡京市東神足 1 丁目 10 番 1 号 株式
会社村田製作所内 Kyoto (JP).
- (74) 代理人: 弁理士法人酒井国際特許事務所
(SAKAI INTERNATIONAL PATENT OFFICE);
〒1000013 東京都千代田区霞が関 3 丁目 8 番 1
号 虎の門三井ビルディング Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC,
EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,

(54) Title: DOHERTY AMPLIFICATION CIRCUIT

(54) 発明の名称: ドハティ増幅回路

図4



10, 23 Bias circuit
16A Control circuit

(57) Abstract: This Doherty amplification circuit comprises: a carrier amplifier for amplifying high-frequency signals; a peak amplifier for amplifying high-frequency signals; and a control circuit including a first pass-characteristics-variable circuit of which the pass characteristics for passing high-frequency signals vary according to a supply voltage, and a wave detector for performing wave detection on the high-frequency signals that have passed the first pass-characteristics-variable circuit, the control circuit controlling the bias of the peak amplifier according to the wave detection result of the wave detector.

HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: ドハティ増幅回路は、高周波信号を増幅するキャリアアンプと、高周波信号を増幅するピークアンプと、高周波信号を通過させる通過特性が供給電圧に応じて可変である第1通過特性可変回路と、第1通過特性可変回路を通過後の高周波信号を検波する検波器と、を含み、検波器での検波結果に応じて、ピークアンプのバイアスを制御する制御回路と、を含む。

明 細 書

発明の名称：ドハティ増幅回路

技術分野

[0001] 本開示は、ドハティ増幅回路に関する。

背景技術

[0002] 高効率な電力増幅回路として、ドハティ (Doherty) 増幅回路が知られている。ドハティ増幅回路は、一般的に、高周波入力信号の電力レベルにかかわらず動作するキャリアアンプと、高周波入力信号の電力レベルが小さい場合はオフとなり、大きい場合にオンとなるピークアンプとが並列に接続された構成である。当該構成では、高周波入力信号の電力レベルが大きい場合、キャリアアンプが飽和出力電力レベルで飽和を維持しながら動作する。これにより、ドハティ増幅回路は、通常の電力増幅回路に比べて効率を向上させることができる。

[0003] ドハティ増幅回路では、高周波出力信号の歪みを抑制したり、消費電力を抑制したりするために、ピークアンプの動作を好適に制御することが望ましい。

[0004] 下記の非特許文献1には、ピークアンプにバイアス電流を供給する、適応 (adaptive) バイアス回路が記載されている。適応バイアス回路は、コレクタバイアス電圧が減少すると、ピークアンプのバイアス電流を増加させる。また、適応バイアス回路は、コレクタバイアス電圧が増加すると、ピークアンプのバイアス電流を減少させる。

先行技術文献

非特許文献

[0005] 非特許文献1: Yunsung Cho、外4名、「Linear Doherty power amplifier with adaptive bias circuit for average power-tracking」、2016 IEEE MTT-S International Microwave Symposium(IMS)、2016年5月22日－27日、p. 1－3、DOI:10.1109/MWSYM.2016.7540180

発明の概要

発明が解決しようとする課題

[0006] 非特許文献 1 記載の技術では、次のような不都合が生じる。例えば、コレクタバイアス電圧が時間遅れやノイズ誤差を有する場合、ピークアンプを起動するタイミングがずれる。これにより、必要ではない場合にピークアンプが起動されることにより、消費電力が増加する。また、必要な場合にピークアンプが起動されないことにより、高周波出力信号に大きな歪が発生する。

[0007] 本開示は、上記に鑑みてなされたものであって、消費電力の増加を抑制し、高周波出力信号の歪を抑制することを目的とする。

課題を解決するための手段

[0008] 本開示の一側面のドハティ増幅回路は、高周波信号を増幅するキャリアアンプと、高周波信号を増幅するピークアンプと、高周波信号を通過させる通過特性が供給電圧に応じて可変である第 1 通過特性可変回路と、第 1 通過特性可変回路を通過後の高周波信号を検波する検波器と、を含み、検波器での検波結果に応じて、ピークアンプのバイアスを制御する制御回路と、を含む。

発明の効果

[0009] 本開示によれば、消費電力の増加を抑制し、高周波出力信号の歪を抑制することが可能となる。

図面の簡単な説明

[0010] [図1]図 1 は、第 1 の実施の形態のドハティ増幅回路の構成を示す図である。

[図2]図 2 は、比較例のバイアス電圧と、入力電力と、供給電圧と、の関係を示す図である。

[図3]図 3 は、第 1 の実施の形態の制御回路のバイアス電圧と、入力電力と、供給電圧と、の関係を示す図である。

[図4]図 4 は、第 2 の実施の形態のドハティ増幅回路の構成を示す図である。

[図5]図 5 は、第 3 の実施の形態の増幅システムの構成を示す図である。

[図6]図 6 は、第 4 の実施の形態のドハティ増幅回路の構成を示す図である。

[図7]図 7 は、第 5 の実施の形態の制御回路の構成を示す図である。

[図8]図 8 は、第 5 の実施の形態の制御回路の第 1 通過特性可変回路の通過特性を示す図である。

[図9]図 9 は、第 6 の実施の形態の制御回路の構成を示す図である。

[図10]図 10 は、第 7 の実施の形態の制御回路の構成を示す図である。

[図11]図 11 は、可変電流源回路の回路例を示す図である。

発明を実施するための形態

[0011] 以下に、本開示の実施の形態を図面に基づいて詳細に説明する。なお、この実施の形態により本発明が限定されるものではない。各実施の形態は例示であり、異なる実施の形態で示した構成の部分的な置換又は組み合わせが可能であることは言うまでもない。第 2 の実施の形態以降では第 1 の実施の形態と共通の事柄についての記述を省略し、異なる点についてのみ説明する。特に、同様の構成による同様の作用効果については実施の形態毎には逐次言及しない。

[0012] <第 1 の実施の形態>

(構成)

図 1 は、第 1 の実施の形態のドハティ増幅回路の構成を示す図である。ドハティ増幅回路 1 は、入力端子 1 a に入力される高周波入力信号 RF_{in} を増幅して、高周波出力信号 RF_{out} を出力端子 1 b から出力する。

[0013] ドハティ増幅回路 1 は、バイアス回路 10 と、キャリアアンプ 11 と、ピークアンプ 12 と、ディバイダ 13 と、結合器 14 と、検出器 15 と、制御回路 16 と、を含む。

[0014] バイアス回路 10 は、バイアス電圧 V_{BIAS1} を、キャリアアンプ 11 に出力する。

[0015] キャリアアンプ 11 は、高周波入力信号 RF_{in} を増幅した高周波信号 RF_1 を結合器 14 に出力する。

[0016] ディバイダ 13 は、高周波入力信号 RF_{in} と位相が略 90° 異なる高周

波信号 RF_2 をピークアンプ 12 に出力する。なお、「略 90° 」とは、 90° の位相のみではなく、 $90^\circ \pm 45^\circ$ の位相をも含むものとする。ディバイダ 13 は、 90° ハイブリッド回路が例示されるが、本開示はこれに限定されない。

[0017] ピークアンプ 12 は、高周波信号 RF_2 を増幅した高周波信号 RF_3 を出力する。

[0018] 結合器 14 は、高周波信号 RF_1 と高周波信号 RF_3 とを結合した高周波出力信号 RF_{out} を、ドハティ増幅回路 1 の出力端子 1b から出力する。

[0019] 検出器 15 は、高周波入力信号 RF_{in} を検出し、高周波入力信号 RF_{in} に応じた高周波信号 RF_4 を制御回路 16 に出力する。

[0020] ドハティ増幅回路 1 の入力端子 1c には、最終段の増幅器に供給される供給電圧 V_{cc} が入力される。最終段の増幅器は、例えば、ドハティ増幅回路 1 の後段に増幅器が無い場合には、キャリアアンプ 11 及びピークアンプ 12 である。また例えば、最終段の増幅器は、ドハティ増幅回路 1 の後段に増幅器が有る場合には、当該増幅器である。なお、ドハティ増幅回路 1 の入力端子 1c に入力される供給電圧 V_{cc} について、ドハティ増幅回路 1 の前段に 1 以上の増幅器が有る場合には、当該 1 以上の増幅器のうちのいずれかに供給される供給電圧 V_{cc} であってもよい。また、ドハティ増幅回路 1 の後段に 1 以上の増幅器が有る場合においても、キャリアアンプ 11 及びピークアンプ 12 に供給される供給電圧 V_{cc} であってもよい。

[0021] 供給電圧 V_{cc} は、例えば、高周波入力信号 RF_{in} の包絡線に応じて変化する、つまりエンベロープトラッキング制御される電源電圧であることが例示されるが、本開示はこれに限定されない。

[0022] 制御回路 16 は、高周波信号 RF_4 及び供給電圧 V_{cc} に基づいて、バイアス電圧 V_{BIAS2} をピークアンプ 12 に出力する。

[0023] (比較例)

図 2 は、比較例のバイアス電圧と、入力電力と、供給電圧と、の関係を示す図である。図 2 において、縦軸は、バイアス電圧 V_{BIAS2} を表し、横軸は、

高周波入力信号 RF_{in} の入力電力を表す。

[0024] 比較例は、非特許文献 1 と同様に、入力電力に依らず、供給電圧 V_{cc} だけに基づいて、バイアス電圧 V_{BIAS2} を出力する。

[0025] 線 201 は、供給電圧 V_{cc} が相対的に低い場合の、バイアス電圧 V_{BIAS2} を表す。線 202 は、供給電圧 V_{cc} が相対的に中間の場合の、バイアス電圧 V_{BIAS2} を表す。線 203 は、供給電圧 V_{cc} が相対的に高い場合の、バイアス電圧 V_{BIAS2} を表す。

[0026] 供給電圧 V_{cc} が低いほど、キャリアアンプ 11 が飽和し易い。そこで、比較例は、供給電圧 V_{cc} が低いほど、バイアス電圧 V_{BIAS2} を高くすることにより、ピークアンプ 12 をより動作させる（起動させる）。逆に、供給電圧 V_{cc} が高いほど、キャリアアンプ 11 が飽和しづらい。そこで、比較例は、供給電圧 V_{cc} が高いほど、バイアス電圧 V_{BIAS2} を低くすることにより、ピークアンプ 12 の動作を抑制する（停止させる）。

[0027] （実施の形態）

図 3 は、第 1 の実施の形態の制御回路のバイアス電圧と、入力電力と、供給電圧と、の関係を示す図である。図 3 において、縦軸は、バイアス電圧 V_{BIAS2} を表し、横軸は、高周波入力信号 RF_{in} の入力電力を表す。

[0028] 第 1 の実施の形態の制御回路 16 は、入力電力及び供給電圧 V_{cc} に基づいて、バイアス電圧 V_{BIAS2} を出力する。

[0029] 線 211 は、供給電圧 V_{cc} が相対的に低い場合の、バイアス電圧 V_{BIAS2} を表す。線 212 は、供給電圧 V_{cc} が相対的に中間の場合の、バイアス電圧 V_{BIAS2} を表す。線 213 は、供給電圧 V_{cc} が相対的に高い場合の、バイアス電圧 V_{BIAS2} を表す。

[0030] 供給電圧 V_{cc} が低いほど、キャリアアンプ 11 が飽和し易い。そこで、制御回路 16 は、供給電圧 V_{cc} が低いほど、バイアス電圧 V_{BIAS2} を高くすることにより、ピークアンプ 12 をより動作させる（起動させる）。逆に、供給電圧 V_{cc} が高いほど、キャリアアンプ 11 が飽和しづらい。そこで、制御回路 16 は、供給電圧 V_{cc} が高いほど、バイアス電圧 V_{BIAS2} を低くす

ることにより、ピークアンプ12の動作を抑制する（停止させる）。

[0031] また、入力電力が大きいほど、キャリアアンプ11が飽和し易い。そこで、制御回路16は、入力電力が大きいほど、バイアス電圧 V_{BIAS2} を高くすることにより、ピークアンプ12をより動作させる（起動させる）。逆に、入力電力が小さいほど、キャリアアンプ11が飽和しづらい。そこで、制御回路16は、入力電力が小さいほど、バイアス電圧 V_{BIAS2} を低くすることにより、ピークアンプ12の動作を抑制する（停止させる）。

[0032] 以上を総合すると、供給電圧 V_{CC} が相対的に低い場合（線211）の入力電力の閾値を閾値Aとし、供給電圧 V_{CC} が相対的に中間の場合（線212）の入力電力の閾値を閾値Bとし、供給電圧 V_{CC} が相対的に高い場合（線213）の入力電力の閾値を閾値Cとする。ここで、 $A < B < C$ である。そして、制御回路16は、入力電力が閾値未満の場合には、バイアス電圧 V_{BIAS2} を一定にし、入力電力が閾値以上の場合には、入力電力が大きくなるほど、バイアス電圧 V_{BIAS2} を高くする。

[0033] （効果）

（1）第1の実施の形態のドハティ増幅回路1は、供給電圧 V_{CC} が急に上昇した場合に、ピークアンプ12の不要な動作を抑制することにより、消費電力を抑制できる。

[0034] 供給電圧 V_{CC} は、一般に、入力電力によって決定されることが多い。つまり、入力電力が大きいほど、供給電圧 V_{CC} は高くなり、入力電力が小さいほど、供給電圧 V_{CC} は低くなる。但し、温度変化、外乱ノイズ等の影響により、入力電力が小さいにもかかわらず、供給電圧 V_{CC} が瞬間的に高くなることもあり得る。

[0035] このとき、非特許文献1及び比較例は、ピークアンプ12のバイアス点を下げるように動作しようとする。しかし、制御回路が有する遅延（時定数）により生ずる遅れによって、供給電圧 V_{CC} が高く、且つ、バイアス電圧 V_{BIAS2} が高い状態が瞬間的に生じてしまう。これにより、ピークアンプ12には高い供給電圧 V_{CC} が入力され、且つ、大きなバイアス電流が流れ、多く

の電力を浪費してしまう。

[0036] 一方、ドハティ増幅回路 1 は、図 3 の線 2 1 1 から線 2 1 3 で示す通り、入力電力が小さい場合には、バイアス電圧 V_{BIAS2} が低くなり、ピークアンプ 1 2 が停止される。従って、ドハティ増幅回路 1 は、非特許文献 1 及び比較例のような無駄な消費電力を抑制できる。

[0037] (2) 第 1 の実施の形態のドハティ増幅回路 1 は、供給電圧 V_{CC} が急に下降した場合に、ピークアンプ 1 2 の起動遅れを抑制し、高周波出力信号 RF_{out} の歪の発生を抑制できる。

[0038] 上記の (1) とは逆に、供給電圧 V_{CC} が、温度変化、外乱ノイズ等の影響により、瞬間的に低くなることもあり得る。これは、例えば、ドハティ増幅回路 1 が搭載されている場合に、エンジンスタート時に、同じ電源系統につながっている他の装置が大電流を消費した場合に発生する瞬時低電圧が例示される。

[0039] このとき、非特許文献 1 及び比較例は、ピークアンプ 1 2 のバイアス点を上げるように動作しようとする。しかし、制御回路が有する遅延（時定数）により生ずる遅れによって、供給電圧 V_{CC} が低く、且つ、バイアス電圧 V_{BIAS2} が低い状態が瞬間的に生じてしまう。これにより、ピークアンプ 1 2 は起動されず、ピークアンプ 1 2 は高周波信号 RF_2 を増幅せず、高周波出力信号 RF_{out} に大きな歪が発生する。

[0040] 一方、ドハティ増幅回路 1 は、図 3 の線 2 1 1 から線 2 1 3 で示す通り、入力電力が大きい場合には、供給電圧 V_{CC} にかかわらず、バイアス電圧 V_{BIAS2} が高くなり、ピークアンプ 1 2 が起動される。従って、ドハティ増幅回路 1 は、高周波出力信号 RF_{out} の歪の発生を抑制できる。

[0041] <第 2 の実施の形態>

第 2 の実施の形態の構成要素のうち、第 1 の実施の形態の構成要素と同一の構成要素については、同一の符号を付して説明を省略する。

[0042] 図 4 は、第 2 の実施の形態のドハティ増幅回路の構成を示す図である。

[0043] ドハティ増幅回路 1 A は、ドハティ増幅回路 1（図 1 参照）と比較して、

制御回路 16 に代えて、制御回路 16 A を含む。

[0044] 制御回路 16 A は、第 1 通過特性可変回路 21 と、検波器 22 と、バイアス回路 23 と、を含む。

[0045] 第 1 通過特性可変回路 21 は、供給電圧 V_{cc} に応じて、通過特性の閾値が変化し、高周波信号 RF_4 を通過させる通過特性が変化する。第 1 通過特性可変回路 21 は、供給電圧 V_{cc} が相対的に低い場合、通過特性が高くなる。第 1 通過特性可変回路 21 は、供給電圧 V_{cc} が相対的に高い場合、通過特性が低くなる。

[0046] 第 1 通過特性可変回路 21 は、通過特性に応じて、高周波信号 RF_4 の通過量（通過度合い）を制御し、高周波信号 RF_5 を検波器 22 に出力する。つまり、高周波信号 RF_5 は、供給電圧 V_{cc} と、高周波入力信号 RF_{in} の入力電力と、の両方に応じた電力となる。

[0047] 検波器 22 は、高周波信号 RF_5 を検波（或いは、整流）し、高周波信号 RF_5 に応じた信号 S_1 をバイアス回路 23 に出力する。

[0048] バイアス回路 23 は、信号 S_1 に応じたバイアス電圧 V_{BIAS2} を、ピークアンプ 12 に出力する。

[0049] なお、検波器 22 の回路構成を工夫すると、バイアス回路 23 の一部機能を共有することができるので、そのようにしても良い。

[0050] （効果）

制御回路 16 A は、供給電圧 V_{cc} を補助的に用いて、ピークアンプ 12 のバイアス点を好適に制御することが可能となる。つまり、ドハティ増幅回路 1 A は、外乱ノイズ等の影響によって供給電圧 V_{cc} が変動しても、消費電力を抑制でき、高周波出力信号 RF_{out} の歪の発生を抑制できる。

[0051] （変形例）

第 2 の実施の形態では、検波器 22 をシングルエンド検波器としたが、本開示はこれに限定されない。検波器 22 は、差動検波器であっても良い。その場合、第 1 通過特性可変回路 21 と検波器 22 との間に、高周波信号 RF_5 を差動高周波信号に変換する balan を設けて、検波器 22 が、balan から

出力される差動高周波信号を検波するようにしても良い。

[0052] <第3の実施の形態>

第3の実施の形態の構成要素のうち、他の実施の形態の構成要素と同一の構成要素については、同一の符号を付して説明を省略する。

[0053] 供給電圧 V_{cc} は、ドハティ増幅回路1Aを制御しているシステムによって管理されていることもしばしばある。その場合は、第1通過特性可変回路21の通過特性を、システムによって管理されている供給電圧 V_{cc} に応じてデジタル的に制御する手法をとっても良い。但し、第1通過特性可変回路21の通過特性を、供給電圧 V_{cc} に応じてアナログ的に制御する方が、前述した外乱ノイズのようにシステムによって管理できない供給電圧 V_{cc} の変動に対して、対応できるようになる。本開示は、第1通過特性可変回路21の通過特性を、アナログ的处理や、デジタル的处理や、アナログ的处理とデジタル的处理とを組み合わせた処理としても良い。

[0054] 図5は、第3の実施の形態の増幅システムの構成を示す図である。増幅システム31は、ドハティ増幅回路1Bと、デジタルシステム32と、電圧供給回路33と、を含む。

[0055] ドハティ増幅回路1Bは、ドハティ増幅回路1A（図4参照）と比較して、制御回路16Aに代えて、制御回路16Bを含む。制御回路16Bは、制御回路16Aと比較して、第1通過特性可変回路21に代えて、第1通過特性可変回路21Bを含む。

[0056] デジタルシステム32は、ドハティ増幅回路1Bの全体を制御する。デジタルシステム32は、エンベロープトラッキング回路が例示されるが、本開示はこれに限定されない。

[0057] デジタルシステム32は、供給電圧 V_{cc} を指示する信号S11を、電圧供給回路33に出力する。例えば、デジタルシステム32は、エンベロープトラッキング回路である場合には、信号S11を、高周波入力信号 RF_{in} の包絡線に応じて変化させる。信号S11は、デジタル信号であっても良いし、アナログ信号であっても良い。

[0058] 電圧供給回路 33 は、信号 S11 に応じた供給電圧 V_{cc} を、キャリアアンプ 11 及びピークアンプ 12 に出力する。キャリアアンプ 11 及びピークアンプ 12 は、供給電圧 V_{cc} を電源電圧として利用して、動作する。

[0059] デジタルシステム 32 は、供給電圧 V_{cc} に応じた信号 S12 を、入力端子 1c を介して、第 1 通過特性可変回路 21B に出力する。例えば、デジタルシステム 32 は、エンベロープトラッキング回路である場合には、信号 S12 を、高周波入力信号 RF_{in} の包絡線に応じて変化させる。信号 S12 は、デジタル信号であっても良いし、アナログ信号であっても良い。

[0060] 第 1 通過特性可変回路 21B は、信号 S12 に応じて、通過特性が変化する。つまり、第 1 通過特性可変回路 21B は、供給電圧 V_{cc} に応じて、通過特性が変化する。第 1 通過特性可変回路 21B は、通過特性に応じて、高周波信号 RF_4 の通過量（通過度合い）を制御し、高周波信号 RF_5 を検波器 22 に出力する。つまり、高周波信号 RF_5 は、供給電圧 V_{cc} と、高周波入力信号 RF_{in} の入力電力と、の両方に応じた電力となる。

[0061] (効果)

ドハティ増幅回路 1B は、デジタルシステム 32 から入力される信号 S12 に応じて、ピークアンプ 12 のバイアス電圧 V_{BIAS2} を制御することができる。これにより、ドハティ増幅回路 1B は、供給電圧 V_{cc} そのものが入力される場合（図 4 参照）と比較して、信号 S12 が電圧供給回路 33 を経由しないので、制御回路 16B での遅延を抑制することができる。

[0062] <第 4 の実施の形態>

第 4 の実施の形態の構成要素のうち、他の実施の形態の構成要素と同一の構成要素については、同一の符号を付して説明を省略する。

[0063] 本開示のドハティ増幅回路は、他のピークアンプ制御技術との親和性が良い。例えば、本開示のドハティ増幅回路は、ピークアンプ以外のアンプ（例えば、キャリアアンプ、ドハティ増幅回路 1 の後段のアンプ）のドライブレベル（飽和度）と、入力電力と、によってピークアンプの起動を制御する技術と併用が可能である。

- [0064] 図6は、第4の実施の形態のドハティ増幅回路の構成を示す図である。
- [0065] ドハティ増幅回路1Cは、ドハティ増幅回路1A（図4参照）と比較して、制御回路16Aに代えて、制御回路16Cを含む。制御回路16Cは、制御回路16Aと比較して、第2通過特性可変回路24を更に含む。
- [0066] 第2通過特性可変回路24には、キャリアアンプ11のドライブレベルを表す信号S21がバイアス回路10から入力される。信号S21は、キャリアアンプ11のドライブレベルに相補的に変化する信号（反転信号）であっても良い。または、ドハティ増幅回路1Cは、高周波信号RF1を検出する検出器17と、検出器17の検出信号に基づいて、キャリアアンプ11のドライブレベルを表す信号S22を第2通過特性可変回路24に出力するドライブレベル検出器18と、を含んでも良い。信号S22は、キャリアアンプ11のドライブレベルに相補的に変化する信号（反転信号）であっても良い。
- [0067] 第2通過特性可変回路24には、信号S21及び信号S22の内の少なくとも一方が入力されることとすれば良い。または、第2通過特性可変回路24には、信号S21と信号S22とが1つの信号に纏められた信号が入力されることとしても良い。
- [0068] なお、第4の実施の形態では、キャリアアンプ11のドライブレベルを表す信号が制御回路16Cに入力されることとしたが、本開示はこれに限定されない。ピークアンプ12以外のアンプのドライブレベルを表す信号が制御回路16Cに入力されれば良い。例えば、ドハティ増幅回路1Cの後段のアンプのドライブレベルを表す信号が制御回路16Cに入力されることとしても良い。
- [0069] 第2通過特性可変回路24は、キャリアアンプ11のドライブレベルに応じて、通過特性が変化する。第2通過特性可変回路24は、キャリアアンプ11のドライブレベルが相対的に低い場合、通過特性が低くなる。第2通過特性可変回路24は、キャリアアンプ11のドライブレベルが相対的に高い場合、通過特性が高くなる。

[0070] 第2通過特性可変回路24は、通過特性に応じて、高周波信号RF5の通過量（通過度合い）を制御し、高周波信号RF6を検波器22に出力する。つまり、高周波信号RF6は、供給電圧Vccと、高周波入力信号RFinの入力電力と、キャリアアンプ11のドライブレベルと、に応じた電力となる。

[0071] （効果）

ドハティ増幅回路1Cは、ドハティ増幅回路1Aと同様に、供給電圧Vccを補助的に用いて、ピークアンプ12のバイアス点を好適に制御することが可能となる。つまり、ドハティ増幅回路1Cは、外乱ノイズ等の影響によって供給電圧Vccが変動しても、消費電力を抑制でき、高周波出力信号RFoutの歪の発生を抑制できる。

[0072] また、キャリアアンプ11は、温度やその他周辺環境が変化した場合（例えば、極低温でキャリアアンプ11の利得が上昇した場合等）に、高周波入力信号RFinの電力が小さくても、飽和してしまうことがあり得る。第2通過特性可変回路24は、そのような場合にも対応できるように、キャリアアンプ11のドライブレベルを検知し、キャリアアンプ11が飽和に近い場合には、高周波信号RF4の電力が小さくても、直ぐにピークアンプ12を起動させる。

[0073] 第1通過特性可変回路21が高周波信号RF4を検知するので、第2通過特性可変回路24がキャリアアンプ11のドライブレベルを検知するのに時間を要したとしても、制御回路16Cは、キャリアアンプ11を飽和させることなく、ピークアンプ12を起動させることができる。これにより、ドハティ増幅回路1Cは、高周波出力信号RFoutの歪を抑制できる。

[0074] 制御回路16Cは、高周波入力信号RFinに応じてフィードフォワード的に動作し、信号S21及び信号S22の内の少なくとも一方に応じてフィードバック的に動作すると考えることもできる。

[0075] <第5の実施の形態>

第5の実施の形態の構成要素のうち、他の実施の形態の構成要素と同一の

構成要素については、同一の符号を付して説明を省略する。

[0076] 図 7 は、第 5 の実施の形態の制御回路の構成を示す図である。

[0077] 制御回路 16D は、第 1 通過特性可変回路 21 と、検波器 22 と、を含む。制御回路 16D では、検波器 22 の電流供給能力が高いので、バイアス回路 23 を省略可能である。つまり、制御回路 16D では、検波器 22 は、バイアス回路 23 の機能を兼ね備えている。

[0078] 第 1 通過特性可変回路 21 は、引き抜き部 21a と、バイアス部 21b と、信号通過部 21c と、を含む。

[0079] 引き抜き部 21a は、供給電圧 V_{cc} に応じて、電流 I_2 をバイアス部 21b から引き抜く。引き抜き部 21a は、供給電圧 V_{cc} の増減を電流 I_2 の増減に変換する回路である。

[0080] バイアス部 21b は、電流 I_2 に応じて、バイアス電流 I_4 を信号通過部 21c に出力する回路である。

[0081] 信号通過部 21c は、バイアス電流 I_4 に応じて、高周波信号 RF4 を増幅して高周波信号 RF5 を出力する回路である。

[0082] 引き抜き部 21a は、抵抗 R1 及び R2 と、トランジスタ Q1、Q2、Q3 及び Q4 と、を含む。

[0083] 本開示では、各トランジスタは、バイポーラトランジスタとするが、本開示はこれに限定されない。バイポーラトランジスタは、ヘテロ接合バイポーラトランジスタ (Heterojunction Bipolar Transistor: HBT) が例示されるが、本開示はこれに限定されない。トランジスタは、例えば、電界効果トランジスタ (Field Effect Transistor: FET) であっても良い。トランジスタは、複数の単位トランジスタを電氣的に並列接続した、マルチフィンガートランジスタであっても良い。単位トランジスタとは、トランジスタが構成される最小限の構成を言う。

[0084] 各トランジスタが FET である場合、FET のドレインがバイポーラトランジスタのコレクタに相当し、FET のゲートがバイポーラトランジスタのベースに相当し、FET のソースがバイポーラトランジスタのエミッタに相

当する。

- [0085] 抵抗 R_1 の一端には、供給電圧 V_{cc} が入力される。抵抗 R_1 の他端は、トランジスタ Q_1 のコレクタに電氣的に接続されている。
- [0086] トランジスタ Q_1 のベースは、ノード N_1 に電氣的に接続されている。トランジスタ Q_1 のエミッタは、ノード N_2 に電氣的に接続されている。
- [0087] 抵抗 R_2 の一端には、設定された定電流 I_1 が電流源 5_1 から入力される。抵抗 R_2 の他端は、ノード N_1 に電氣的に接続されている。
- [0088] トランジスタ Q_2 のコレクタ及びベースは、ノード N_1 に電氣的に接続されている。つまり、トランジスタ Q_1 とトランジスタ Q_2 とは、カレントミラー接続されている。トランジスタ Q_2 のエミッタは、ノード N_2 に電氣的に接続されている。
- [0089] トランジスタ Q_3 のコレクタ及びベースは、ノード N_2 に電氣的に接続されている。トランジスタ Q_3 のエミッタは、基準電位に電氣的に接続されている。
- [0090] トランジスタ Q_4 のベースは、ノード N_2 に電氣的に接続されている。つまり、トランジスタ Q_3 とトランジスタ Q_4 とは、カレントミラー接続されている。トランジスタ Q_4 のエミッタは、基準電位に電氣的に接続されている。トランジスタ Q_4 のコレクタは、バイアス部 2_1b のノード N_4 に電氣的に接続されている。
- [0091] ノード N_4 からトランジスタ Q_4 のコレクタへ流出する電流 I_2 が、引き抜き部 2_1a の出力電流である。
- [0092] バイアス部 2_1b は、トランジスタ Q_5 、 Q_6 及び Q_7 を含む。
- [0093] トランジスタ Q_5 のコレクタ及びベースは、ノード N_3 に電氣的に接続されている。つまり、トランジスタ Q_5 は、ダイオード接続されている。ノード N_3 には、設定された定電流 I_3 が電流源 5_2 から入力される。トランジスタ Q_5 のエミッタは、ノード N_4 に電氣的に接続されている。
- [0094] トランジスタ Q_6 のコレクタ及びベースは、ノード N_4 に電氣的に接続されている。つまり、トランジスタ Q_6 は、ダイオード接続されている。トラ

ンジスタQ6のエミッタは、基準電位に電氣的に接続されている。

[0095] トランジスタQ7のコレクタには、電源電圧が入力される。トランジスタQ7のベースは、ノードN3に電氣的に接続されている。つまり、トランジスタQ5とトランジスタQ7とは、カレントミラー接続されている。トランジスタQ7のエミッタは、信号通過部21cの抵抗R3の一端に電氣的に接続されている。つまり、トランジスタQ7と抵抗R3とは、エミッタフォロワ接続されている。

[0096] トランジスタQ7のエミッタ電流が、バイアス電流I4である。

[0097] 信号通過部21cは、抵抗R3及びR4と、コンデンサC1と、トランジスタQ8と、を含む。

[0098] 抵抗R3の他端は、トランジスタQ8のベースに電氣的に接続されている。抵抗R3の一端に流入するバイアス電流I4は、トランジスタQ8のベースに入力される。

[0099] コンデンサC1の一端には、高周波信号RF4が入力される。コンデンサC1の他端は、トランジスタQ8のベースに電氣的に接続されている。コンデンサC1は、高周波信号RF4の直流成分をカットするDCカットコンデンサである。

[0100] 抵抗R4の一端には、電源電圧が入力される。抵抗R4の他端は、トランジスタQ8のコレクタに電氣的に接続されている。

[0101] トランジスタQ8のエミッタは、基準電位に電氣的に接続されている。

[0102] 信号通過部21cは、バイアス電流I4に応じて、高周波信号RF4を増幅し、コレクタから高周波信号RF5を出力する。

[0103] 第1通過特性可変回路21の動作について説明する。

[0104] 引き抜き部21aのノードN1の電圧は、各トランジスタのベース－エミッタ間電圧を V_{BE} とすると、概ね $2V_{BE}$ となる。

[0105] 供給電圧 V_{CC} が相対的に低電圧の場合（ $2V_{BE}$ より低い場合）について説明する。

[0106] この場合、定電流I1は、トランジスタQ1のベース－コレクタ間のPN

接合を経由して、供給電圧 V_{cc} の側に流れる。そのため、ノード N_2 には、電流が流入しない。従って、トランジスタ Q_4 のコレクターエミッタ間には、電流 I_2 が流れない。

[0107] 電流 I_2 が流れないので、定電流 I_3 の略全部が、ダイオード接続されているトランジスタ Q_5 、及び、ダイオード接続されているトランジスタ Q_6 に流れる。これにより、トランジスタ Q_7 のベースに相対的に高いバイアス電圧が印加されるので、トランジスタ Q_7 のエミッタ電流は、相対的に大きくなる。つまり、バイアス部 $21b$ は、相対的に大きなバイアス電流 I_4 を、信号通過部 $21c$ のトランジスタ Q_8 のベースに出力する。

[0108] トランジスタ Q_8 は、相対的に大きなバイアス電流 I_4 がベースに入力されると、相対的に電力が大きい高周波信号 RF_5 を出力する。

[0109] 以上を総合すると、第1通過特性可変回路 21 は、供給電圧 V_{cc} が相対的に低電圧の場合には、高周波信号 RF_5 の電力を相対的に大きくする。

[0110] 次に、供給電圧 V_{cc} が上昇して行く場合について説明する。

[0111] 供給電圧 V_{cc} が上昇して行くと、トランジスタ Q_1 が次第に適正に動作をし始め、トランジスタ Q_1 とトランジスタ Q_2 とは、カレントミラー動作を行うようになる。

[0112] 定電流 I_1 は、トランジスタ Q_2 のコレクタ（ベース）－エミッタ間を経由して、ノード N_2 に流入する。また、トランジスタ Q_1 とトランジスタ Q_2 とがカレントミラー動作を行うことにより、トランジスタ Q_2 のエミッタ電流に比例したトランジスタ Q_1 のエミッタ電流が、ノード N_2 に流入する。ノード N_2 に流入する電流は、トランジスタ Q_3 のコレクタ（ベース）－エミッタ間に流れる。

[0113] トランジスタ Q_3 とトランジスタ Q_4 とは、カレントミラー接続されている。従って、ノード N_2 に流入する電流に比例する電流 I_2 が、トランジスタ Q_4 のコレクターエミッタ間に流れる。

[0114] 電流 I_2 がノード N_4 からトランジスタ Q_4 のコレクタへ流出するので、定電流 I_3 から電流 I_2 を引いた電流が、トランジスタ Q_6 に流れる。これ

により、トランジスタQ 6のコレクターエミッタ間電圧が相対的に低くなり、トランジスタQ 7のベースに相対的に低いバイアス電圧が印加されるので、トランジスタQ 7のエミッタ電流は、相対的に小さくなる。つまり、バイアス部2 1 bは、相対的に小さなバイアス電流I 4を、信号通過部2 1 cのトランジスタQ 8のベースに出力する。

[0115] トランジスタQ 8は、相対的に小さなバイアス電流I 4がベースに入力されると、相対的に電力が小さい高周波信号RF 5を出力する。

[0116] 第1通過特性可変回路2 1から出力される高周波信号RF 5は、DCカットコンデンサ1 0 1を介して、検波器2 2に入力される。

[0117] 図8は、第5の実施の形態の制御回路の第1通過特性可変回路の通過特性を示す図である。図8において、縦軸は、第1通過特性可変回路2 1のSパラメータ($S(2, 1)$)を表し、横軸は、周波数を表す。

[0118] 第1通過特性可変回路2 1は、供給電圧に応じて通過特性の閾値が変化する。線2 2 1は、供給電圧 $V_{cc} = 2.0V$ の場合の、第1通過特性可変回路2 1のSパラメータを示す。線2 2 2は、供給電圧 $V_{cc} = 3.0V$ の場合の、第1通過特性可変回路2 1のSパラメータを示す。線2 2 3は、供給電圧 $V_{cc} = 4.0V$ の場合の、第1通過特性可変回路2 1のSパラメータを示す。線2 2 4は、供給電圧 $V_{cc} = 5.0V$ の場合の、第1通過特性可変回路2 1のSパラメータを示す。

[0119] 図8に示すように、0GHzから10GHzまでにわたって、供給電圧 V_{cc} が低いほど、第1通過特性可変回路2 1のSパラメータが大きくなり、供給電圧 V_{cc} が高いほど、第1通過特性可変回路2 1のSパラメータが小さくなる。

[0120] 再び図7を参照すると、検波器2 2は、バイアス部2 2 aと、検波部2 2 bと、フィルタ部2 2 cと、を含む。

[0121] バイアス部2 2 aは、トランジスタQ 1 1、Q 1 2及びQ 1 3を含む。

[0122] トランジスタQ 1 1のコレクタ及びベースは、ノードN 1 1に電氣的に接続されている。つまり、トランジスタQ 1 1は、ダイオード接続されている

。ノードN 1 1 には、設定された定電流 I 1 1 が電流源 5 3 から入力される。

[0123] トランジスタ Q 1 2 のコレクタ及びベースは、トランジスタ Q 1 1 のエミッタに電氣的に接続されている。つまり、トランジスタ Q 1 2 は、ダイオード接続されている。トランジスタ Q 1 2 のエミッタは、基準電位に電氣的に接続されている。

[0124] つまり、ノード N 1 1 の電圧は、概ね $2V_{BE}$ となる。

[0125] トランジスタ Q 1 3 のベースは、トランジスタ Q 1 2 のコレクタ及びベースに電氣的に接続されている。つまり、トランジスタ Q 1 2 とトランジスタ Q 1 3 とは、カレントミラー接続されている。トランジスタ Q 1 3 のエミッタは、基準電位に電氣的に接続されている。

[0126] 検波部 2 2 b は、抵抗 R 1 1 と、トランジスタ Q 1 4 と、を含む。

[0127] 抵抗 R 1 1 の一端は、ノード N 1 1 に電氣的に接続されている。抵抗 R 1 1 の他端は、トランジスタ Q 1 4 のベースに電氣的に接続されている。

[0128] つまり、トランジスタ Q 1 4 のベースバイアス電圧は、ノード N 1 1 の電圧によって定まる。

[0129] トランジスタ Q 1 4 のコレクタには、電源電圧が入力される。トランジスタ Q 1 4 のベースには、DC カットコンデンサ 1 0 1 を通過後の高周波信号 RF 5 が入力される。トランジスタ Q 1 4 のエミッタは、トランジスタ Q 1 3 のコレクタに電氣的に接続されている。

[0130] トランジスタ Q 1 4 のエミッタ電流のうち、一定の電流がトランジスタ Q 1 3 のコレクターエミッタ間に流れ、残りの電流がフィルタ部 2 2 c に流れる。

[0131] フィルタ部 2 2 c は、インダクタ L 1 1 と、コンデンサ C 1 1 と、を含む。フィルタ部 2 2 c は、高周波信号 RF 5 の基本波成分を除去するローパスフィルタである。なお、検波器 2 2 が差動検波器の場合には、フィルタ部 2 2 c は省略可能である。

[0132] インダクタ L 1 1 の一端は、トランジスタ Q 1 4 のエミッタに電氣的に接

続されている。インダクタ L_{11} の他端は、コンデンサ C_{11} の一端に電氣的に接続されている。コンデンサ C_{11} の他端は、基準電位に電氣的に接続されている。コンデンサ C_{11} の電圧が、ピークアンプ 12 のバイアス電圧 V_{BIAS2} となる。

[0133] 検波器 22 の動作について説明する。

[0134] トランジスタ Q_{14} は、高周波信号 RF_5 がトランジスタ Q_{14} の閾値電圧以上の場合にオン状態になり、エミッタ電流を出力する。

[0135] つまり、高周波信号 RF_5 の振幅が大きいほど、トランジスタ Q_{14} のエミッタ電流は大きくなる。また、高周波信号 RF_5 の振幅が小さいほど、トランジスタ Q_{14} のエミッタ電流は小さくなる。

[0136] トランジスタ Q_{14} のエミッタ電流のうち、一定の電流がトランジスタ Q_{13} のコレクターエミッタ間に流れ、残りの電流がフィルタ部 $22c$ に流れる。

[0137] 従って、高周波信号 RF_5 の振幅が大きいほど、バイアス電圧 V_{BIAS2} は高くなる。また、高周波信号 RF_5 の振幅が小さいほど、バイアス電圧 V_{BIAS2} は低くなる。

[0138] (効果)

制御回路 $16D$ は、供給電圧 V_{cc} を補助的に用いて、ピークアンプ 12 のバイアス点を好適に制御する回路を、実現できる。つまり、制御回路 $16C$ は、外乱ノイズ等の影響によって供給電圧 V_{cc} が変動しても、消費電力を抑制でき、高周波出力信号 RF_{out} の歪の発生を抑制できる回路を、実現できる。

[0139] <第6の実施の形態>

第6の実施の形態の構成要素のうち、他の実施の形態の構成要素と同一の構成要素については、同一の符号を付して説明を省略する。

[0140] 図9は、第6の実施の形態の制御回路の構成を示す図である。

[0141] 制御回路 $16E$ は、制御回路 $16D$ （図7参照）と比較して、第2通過特性可変回路 24 を更に含む。

[0142] 第2通過特性可変回路24は、信号通過部24aと、電流源24bと、を含む。

[0143] 信号通過部24aは、トランジスタQ21を含む。

[0144] トランジスタQ21のコレクタには、電源電圧が入力される。トランジスタQ21のベースには、高周波信号RF5が入力される。トランジスタQ21のエミッタは、電流源24bに電氣的に接続されている。

[0145] 電流源24bは、キャリアアンプ11のドライブレベルを表す信号S21及び信号S22の少なくとも一方に応じた電流を、トランジスタQ21のエミッタから引き込む。

[0146] 電流源24bは、キャリアアンプ11の飽和時に、大きな電流をトランジスタQ21のエミッタから引き込む。これにより、トランジスタQ21は、エミッタフォロワ回路として動作し、通過特性を高く保つ。

[0147] 一方、電流源24bは、キャリアアンプ11の非飽和時に、トランジスタQ21のエミッタに適切なバイアスを与えない。これにより、トランジスタQ21は、通過特性が低くなる。

[0148] (効果)

キャリアアンプ11は、温度やその他周辺環境が変化した場合（例えば、極低温でキャリアアンプ11の利得が上昇した場合等）に、高周波入力信号RF_{in}の電力が小さくても、飽和してしまうことがあり得る。制御回路16Eは、そのような場合にも対応できるように、キャリアアンプ11のドライブレベルを検知し、キャリアアンプ11が飽和に近い場合には、高周波信号RF4の電力が小さくても、直ぐにピークアンプ12を起動させる回路を、実現できる。

[0149] <第7の実施の形態>

第7の実施の形態の構成要素のうち、他の実施の形態の構成要素と同一の構成要素については、同一の符号を付して説明を省略する。

[0150] 図10は、第7の実施の形態の制御回路の構成を示す図である。

[0151] 制御回路16Fは、制御回路16D（図7参照）と比較して、第1通過特

性可変回路 2 1 の構成が一部異なっている。具体的に、制御回路 1 6 F において、第 1 通過特性可変回路 2 1 F は、第 1 通過特性可変回路 2 1 と比較して、電流源 5 1 及び引き抜き部 2 1 a に代えて、引き抜き部 2 1 d を含んでいる。

[0152] 引き抜き部 2 1 d は、抵抗 R 1 d 及び R 2 d と、比較器 6 1 と、可変電流源回路 6 2 と、を含む。

[0153] 抵抗 R 1 d の一端には、供給電圧 V_{cc} が入力される。抵抗 R 1 d の他端は、抵抗 R 2 d の一端に電氣的に接続されている。抵抗 R 2 d の他端は基準電位に電氣的に接続されている。

[0154] 比較器 6 1 は、第 1 入力端子、第 2 入力端子、及び出力端子を含む。比較器 6 1 の第 1 入力端子には、抵抗 R 1 d の他端と抵抗 R 2 d の一端との接続点が電氣的に接続され、供給電圧 V_{cc} を抵抗 R 1 d と抵抗 R 2 d とで分圧した電圧 V_{cc1} が印加される。比較器 6 1 の第 2 入力端子には、基準電圧 V_{ref} が印加される。比較器 6 1 は、第 1 入力端子に印加される電圧 V_{cc1} と第 2 入力端子に印加される基準電圧 V_{ref} とを比較して、比較結果を示す比較結果出力信号 V_{comp} を出力端子から出力する。

[0155] 可変電流源回路 6 2 は、比較器 6 1 の出力端子と電氣的に接続される。可変電流源回路 6 2 は、比較器 6 1 の出力端子から出力される比較結果出力信号 V_{comp} に応じて、電流 I_2 をバイアス部 2 1 b から引き抜く。言い換えれば、可変電流源回路 6 2 は、供給電圧 V_{cc} の増減を電流 I_2 の増減に変換し、かつ、供給電圧 V_{cc} に応じて、電流 I_2 をバイアス部 2 1 b から引き抜く。

[0156] 引き抜き部 2 1 d の動作、及び第 1 通過特性可変回路 2 1 F の動作について説明する。

[0157] 供給電圧 V_{cc} が相対的に低電圧の場合（基準電圧 V_{ref} より低い場合）について説明する。

[0158] この場合、比較器 6 1 は、比較結果出力信号 V_{comp} として、Low レベルの信号を出力する。Low レベルの比較結果出力信号 V_{comp} が入力

されると、可変電流源回路 6 2 は、駆動せず、オフ状態となる。したがって、電流 I_2 は流れない。

[0159] 電流 I_2 が流れないので、定電流 I_3 の略全部が、バイアス部 2 1 b に含まれるトランジスタ Q 5、及びトランジスタ Q 6 に流れる。これにより、トランジスタ Q 7 のベースに相対的に高いバイアス電圧が印加されるので、トランジスタ Q 7 のエミッタ電流は、相対的に大きくなる。つまり、バイアス部 2 1 b は、相対的に大きなバイアス電流 I_4 を、信号通過部 2 1 c のトランジスタ Q 8 のベースに出力する。

[0160] トランジスタ Q 8 は、相対的に大きなバイアス電流 I_4 がベースに入力されると、相対的に電力が大きい高周波信号 R F 5 を出力する。

[0161] 以上を総合すると、第 1 通過特性可変回路 2 1 F は、供給電圧 V_{cc} が相対的に低電圧の場合には、高周波信号 R F 5 の電力を相対的に大きくする。

[0162] 次に、供給電圧 V_{cc} が上昇して、相対的に高電圧となった場合（基準電圧 V_{ref} より高い場合）について説明する。

[0163] この場合、比較器 6 1 は、比較結果出力信号 V_{comp} として、High レベルの信号を出力する。High レベルの比較結果出力信号 V_{comp} が入力されると、可変電流源回路 6 2 は、駆動を開始し、オン状態となる。したがって、比較結果出力信号 V_{comp} の大きさに比例した電流 I_2 が流れ始める。

[0164] 電流 I_2 が可変電流源回路 6 2 へ流出するので、定電流 I_3 から電流 I_2 を引いた電流が、バイアス部 2 1 b のトランジスタ Q 6 に流れる。これにより、トランジスタ Q 6 のコレクターエミッタ間電圧が相対的に低くなり、トランジスタ Q 7 のベースに相対的に低いバイアス電圧が印加されるので、トランジスタ Q 7 のエミッタ電流は、相対的に小さくなる。つまり、バイアス部 2 1 b は、相対的に小さなバイアス電流 I_4 を、信号通過部 2 1 c のトランジスタ Q 8 のベースに出力する。

[0165] トランジスタ Q 8 は、相対的に小さなバイアス電流 I_4 がベースに入力されると、相対的に電力が小さい高周波信号 R F 5 を出力する。

[0166] 以上を総合すると、第1通過特性可変回路21Fは、供給電圧 V_{cc} が上昇して相対的に高電圧となった場合には、高周波信号RF5の電力を相対的に大きくする。

[0167] なお、制御回路16Fは、複数の半導体ダイを含んで構成されてもよい。具体的に、制御回路16Fのうち、第1通過特性可変回路21Fに含まれる引き抜き部21d及び電流源52は、例えば、シリコン(Si)からなる半導体基板を有する第1半導体ダイに形成されることが例示される。また、制御回路16Fのうち、引き抜き部21d及び電流源52を除いた残りの部分は、例えば、ガリウム砒素(GaAs)からなる半導体基板を有する第2半導体ダイに形成されることが例示される。第1半導体ダイには、制御回路16Fの引き抜き部21d及び電流源52に加えて、キャリアアンプ11及びピークアンプ12を制御する他の制御回路が形成されていてもよい。また、第2半導体ダイには、制御回路16Fの残りの部分に加えて、キャリアアンプ11及びピークアンプ12が形成されていてもよい。

[0168] また、可変電流源回路62の回路例について、説明する。

[0169] 図11は、可変電流源回路62の回路例を示す図である。

[0170] 可変電流源回路62は、例えば、オペアンプOP1と、インバータIN1と、PMOSトランジスタPM1、PM2と、スイッチSW1、SW2と、NMOSトランジスタNM1、NM2と、抵抗R3と、を含む。

[0171] オペアンプOP1は、非反転入力端子と、反転入力端子と、出力端子と、を有する。オペアンプOP1の非反転入力端子は、基準電位に接続される。オペアンプOP1の反転入力端子は、抵抗R3の一端とオペアンプOP1の出力端子とに接続される。抵抗R3の他端は、接地される。

[0172] PMOSトランジスタPM1のソース端子は、固定電位（例えば、電源電位）に接続される。PMOSトランジスタPM1のドレイン端子は、オペアンプOP1の出力端子に接続される。PMOSトランジスタPM1のゲートは、PMOSトランジスタPM2のゲート及びスイッチSW1の一端に、接続される。

- [0173] PMOSトランジスタPM2のソース端子は、固定電位（例えば、電源電位）に接続される。PMOSトランジスタPM2のドレイン端子は、NMOSトランジスタPM1のドレインに接続される。PMOSトランジスタPM2のゲートは、PMOSトランジスタPM1のゲート及びスイッチSW1の一端に接続される。
- [0174] スイッチSW1の一端は、PMOSトランジスタPM1、PM2のゲートに接続され、他端は固定電位（例えば、電源電位）に接続される。
- [0175] NMOSトランジスタNM1は、ドレインがゲートと接続され、ソースが接地されている。また、NMOSトランジスタNM2は、ドレインがバイアス部21bと接続され、ゲートがNMOSトランジスタNM1のゲートと接続され、ソースが接地されている。つまり、NMOSトランジスタNM1、NM2は、カレントミラー回路を構成している。NMOSトランジスタNM1のゲートとNMOSトランジスタNM2のゲートは、スイッチSW2を介して接地されている。
- [0176] オペアンプOP1には、比較器61の出力端子から出力される比較結果出力信号Vcompが制御信号として入力される。また、スイッチSW1、SW2にはそれぞれ、比較器61の出力端子から出力される比較結果出力信号Vcompが、インバータIN1を介して制御信号として入力される。
- [0177] 比較器61が、比較結果出力信号Vcompとして、Lowレベルの信号を出力した場合、当該Lowレベルの信号が制御信号として入力されるオペアンプOP1はオフ状態となる。また、当該Lowレベルの信号を反転したHighレベルの信号が制御信号として入力されるスイッチSW1、SW2はいずれもクローズ状態となる。この場合、スイッチSW1により、PMOSトランジスタPM1、PM2のゲート電位とソース電位とが同電位となる。また、スイッチSW2により、NMOSトランジスタNM1のゲートとNMOSトランジスタNM2のゲートとが接地電位に固定される。したがって、可変電流源回路62はオフ状態となる。
- [0178] 比較器61が、比較結果出力信号Vcompとして、Highレベルの信

号を出力した場合、当該H i g hレベルの信号が制御信号として入力されるオペアンプOP 1はオン状態となる。また、当該H i g hレベルの信号を反転したL o wレベルの信号が制御信号として入力されるスイッチSW 1、SW 2はいずれもオープン状態となる。この場合、スイッチSW 1により、PMOSトランジスタPM 1、PM 2のゲート電位とソース電位とは異なる電位となる。また、スイッチSW 2により、NMOSトランジスタNM 1のゲートとNMOSトランジスタNM 2のゲートとが接地電位に固定されない。従って、可変電流源回路6 2はオン状態となる。

[0179] <本開示の構成例>

本開示は、下記の構成をとることもできる。

[0180] (1)

高周波信号を増幅するキャリアアンプと、
前記高周波信号を増幅するピークアンプと、
前記高周波信号を通過させる通過特性が供給電圧に応じて可変である第1通過特性可変回路と、前記第1通過特性可変回路を通過後の前記高周波信号を検波する検波器と、を含み、前記検波器での検波結果に応じて、前記ピークアンプのバイアスを制御する制御回路と、
を含む、
ドハティ増幅回路。

[0181] (2)

上記(1)に記載のドハティ増幅回路であって、
前記制御回路は、
前記第1通過特性可変回路と前記検波器との間に電氣的に接続され、前記高周波信号を通過させる通過特性が前記ピークアンプ以外のアンプのドライブレベルに応じて可変である第2通過特性可変回路を更に含む、
ドハティ増幅回路。

[0182] (3)

上記(1)又は(2)に記載のドハティ増幅回路であって、

前記第 1 通過特性可変回路は、
前記高周波信号を通過させる通過部と、
前記通過部のバイアスを制御するバイアス部と、
前記供給電圧に応じて、前記バイアス部から電流を引き抜く引き抜き部と
、
を含む、
ドハティ増幅回路。

[0183] (4)

上記 (3) に記載のドハティ増幅回路であって、
前記引き抜き部は、
コレクタ又はドレインに前記供給電圧が入力され、ベース又はゲートが、
定電流が流入する第 1 ノードに電氣的に接続され、エミッタ又はソースが第
2 ノードに電氣的に接続された第 1 トランジスタと、
コレクタ又はドレイン、並びに、ベース又はゲートが前記第 1 ノードに電
氣的に接続され、エミッタ又はソースが前記第 2 ノードに電氣的に接続され
た第 2 トランジスタと、
コレクタ又はドレイン、並びに、ベース又はゲートが前記第 2 ノードに電
氣的に接続され、エミッタ又はソースが基準電位に電氣的に接続された第 3
トランジスタと、
ベース又はゲートが前記第 2 ノードに電氣的に接続され、エミッタ又はソ
ースが基準電位に電氣的に接続され、前記バイアス部からコレクタへ電流を
引き抜く第 4 トランジスタと、
を含む、
ドハティ増幅回路。

[0184] (5)

上記 (1) から (4) のいずれか 1 つに記載のドハティ増幅回路であって
、
前記供給電圧は、最終段のアンプへ供給される電源電圧、或いは、前記電

源電圧に対応する電圧である、

ドハティ増幅回路。

[0185] (6)

高周波信号を増幅するキャリアアンプと、

前記高周波信号を増幅するピークアンプと、

前記ピークアンプのバイアスを制御する制御回路と、

を含み、

前記制御回路は、

前記高周波信号を通過させる第1通過特性が可変であり、供給電圧に応じて通過特性の閾値が変化し、前記供給電圧が相対的に高いほど前記第1通過特性が相対的に低い、第1通過特性可変回路と、

前記第1通過特性可変回路を通過後の前記高周波信号を検波する検波器と

、

を含み、

前記検波器での検波結果に応じて、前記ピークアンプのバイアスを制御する、

ドハティ増幅回路。

[0186] (7)

上記(1)又は(6)に記載のドハティ増幅回路であって、

前記制御回路は、

前記第1通過特性可変回路と前記検波器との間に電氣的に接続され、前記高周波信号を通過させる第2通過特性が可変であり、前記ピークアンプ以外のアンプのドライブレベルが相対的に高いほど前記第2通過特性が相対的に高い第2通過特性可変回路を更に含む、

ドハティ増幅回路。

[0187] (8)

高周波信号を増幅するキャリアアンプと、

前記高周波信号を増幅するピークアンプと、

前記ピークアンプのバイアスを制御する制御回路と、
を含み、

前記制御回路は、供給電圧と、前記高周波信号とに応じて前記ピークアンプのバイアスを制御する、
ドハティ増幅回路。

[0188] (9)

上記(8)に記載のドハティ増幅回路であって、
前記制御回路は、さらに前記ピークアンプ以外のアンプのドライブレベルに応じて前記ピークアンプのバイアスを制御する、
ドハティ増幅回路。

[0189] (10)

上記(8)又は(9)に記載のドハティ増幅回路であって、
前記制御回路は、
前記高周波信号を通過させる通過特性が供給電圧に応じて可変である第1通過特性可変回路と、前記第1通過特性可変回路を通過後の前記高周波信号を検波する検波器と、を含む、
ドハティ増幅回路。

[0190] (11)

上記(3)に記載のドハティ増幅回路であって、
前記引き抜き部は、
前記供給電圧が一端に入力される第1抵抗素子と、
前記第1抵抗素子の他端に一端が電氣的に接続され、他端が基準電位に電氣的に接続される第2抵抗素子と、
第1入力端子、第2入力端子、及び出力端子を有し、前記第1入力端子には前記第1抵抗素子の他端と前記第2抵抗素子の一端との接続点から出力される信号が入力され、前記第2入力端子には基準電圧が入力され、前記出力端子から比較結果出力信号を出力する比較器と、
前記比較器の前記出力端子から出力される前記比較結果出力信号に応じて

、前記バイアス部から引き抜く電流を変化させる可変電流源回路と、
を含む、
ドハティ増幅回路。

[0191] (12)

上記(11)に記載のドハティ増幅回路であって、
前記第1通過特性可変回路のうち、前記引き抜き部は、第1半導体ダイに
形成され、前記通過部と前記バイアス部とは、第2半導体ダイに形成され、
前記第1半導体ダイに含まれる第1半導体基板の材料と、前記第2半導体
ダイに含まれる第2半導体基板の材料とは異なる、
ドハティ増幅回路。

[0192] なお、上記した実施の形態は、本発明の理解を容易にするためのものであ
り、本発明を限定して解釈するためのものではない。本発明は、その趣旨を
逸脱することなく、変更／改良され得るとともに、本発明にはその等価物も
含まれる。

符号の説明

[0193] 1、1A、1B、1C ドハティ増幅回路
10、23 バイアス回路
11 キャリアアンプ
12 ピークアンプ
13 ディバイダ
14 結合器
15 検出器
16、16A、16B、16C、16D、16E、16F 制御回路
21、21B、21F 第1通過特性可変回路
21a、21d 引き抜き部
21b、22a バイアス部
21c 信号通過部
22 検波器

- 2 2 b 検波部
- 2 2 c フィルタ部
- 2 4 第2通過特性可変回路
 - 2 4 a 信号通過部
 - 2 4 b 電流源
- 3 1 増幅システム
- 3 2 デジタルシステム
- 3 3 電圧供給回路
- 6 1 比較器
- 6 2 可変電流源回路

請求の範囲

- [請求項1] 高周波信号を増幅するキャリアアンプと、
前記高周波信号を増幅するピークアンプと、
前記高周波信号を通過させる通過特性が供給電圧に応じて可変である第1通過特性可変回路と、前記第1通過特性可変回路を通過後の前記高周波信号を検波する検波器と、を含み、前記検波器での検波結果に応じて、前記ピークアンプのバイアスを制御する制御回路と、
を含む、
ドハティ増幅回路。
- [請求項2] 請求項1に記載のドハティ増幅回路であって、
前記制御回路は、
前記第1通過特性可変回路と前記検波器との間に電氣的に接続され、前記高周波信号を通過させる通過特性が前記ピークアンプ以外のアンプのドライブレベルに応じて可変である第2通過特性可変回路を更に含む、
ドハティ増幅回路。
- [請求項3] 請求項1又は2に記載のドハティ増幅回路であって、
前記第1通過特性可変回路は、
前記高周波信号を通過させる通過部と、
前記通過部のバイアスを制御するバイアス部と、
前記供給電圧に応じて、前記バイアス部から電流を引き抜く引き抜き部と、
を含む、
ドハティ増幅回路。
- [請求項4] 請求項3に記載のドハティ増幅回路であって、
前記引き抜き部は、
コレクタ又はドレインに前記供給電圧が入力され、ベース又はゲートが、定電流が流入する第1ノードに電氣的に接続され、エミッタ又

はソースが第2ノードに電氣的に接続された第1トランジスタと、

コレクタ又はドレイン、並びに、ベース又はゲートが前記第1ノードに電氣的に接続され、エミッタ又はソースが前記第2ノードに電氣的に接続された第2トランジスタと、

コレクタ又はドレイン、並びに、ベース又はゲートが前記第2ノードに電氣的に接続され、エミッタ又はソースが基準電位に電氣的に接続された第3トランジスタと、

ベース又はゲートが前記第2ノードに電氣的に接続され、エミッタ又はソースが基準電位に電氣的に接続され、前記バイアス部からコレクタへ電流を引き抜く第4トランジスタ

と、

を含む、

ドハティ増幅回路。

[請求項5] 請求項1から4のいずれか1項に記載のドハティ増幅回路であって、

前記供給電圧は、最終段のアンプへ供給される電源電圧、或いは、前記電源電圧に対応する電圧である、

ドハティ増幅回路。

[請求項6] 高周波信号を増幅するキャリアアンプと、
前記高周波信号を増幅するピークアンプと、
前記ピークアンプのバイアスを制御する制御回路と、
を含み、

前記制御回路は、

前記高周波信号を通過させる第1通過特性が可変であり、供給電圧に応じて通過特性の閾値が変化し、前記供給電圧が相対的に高いほど前記第1通過特性が相対的に低い、第1通過特性可変回路と、

前記第1通過特性可変回路を通過後の前記高周波信号を検波する検波器と、

を含み、

前記検波器での検波結果に応じて、前記ピークアンプのバイアスを制御する、

ドハティ増幅回路。

[請求項7]

請求項1又は6に記載のドハティ増幅回路であって、

前記制御回路は、

前記第1通過特性可変回路と前記検波器との間に電氣的に接続され、前記高周波信号を通過させる第2通過特性が可変であり、前記ピークアンプ以外のアンプのドライブレベルが相対的に高いほど前記第2通過特性が相対的に高い第2通過特性可変回路を更に含む、

ドハティ増幅回路。

[請求項8]

高周波信号を増幅するキャリアアンプと、

前記高周波信号を増幅するピークアンプと、

前記ピークアンプのバイアスを制御する制御回路と、

を含み、

前記制御回路は、供給電圧と、前記高周波信号とに応じて前記ピークアンプのバイアスを制御する、

ドハティ増幅回路。

[請求項9]

請求項8に記載のドハティ増幅回路であって、

前記制御回路は、さらに前記ピークアンプ以外のアンプのドライブレベルに応じて前記ピークアンプのバイアスを制御する、

ドハティ増幅回路。

[請求項10]

請求項8又は9に記載のドハティ増幅回路であって、

前記制御回路は、

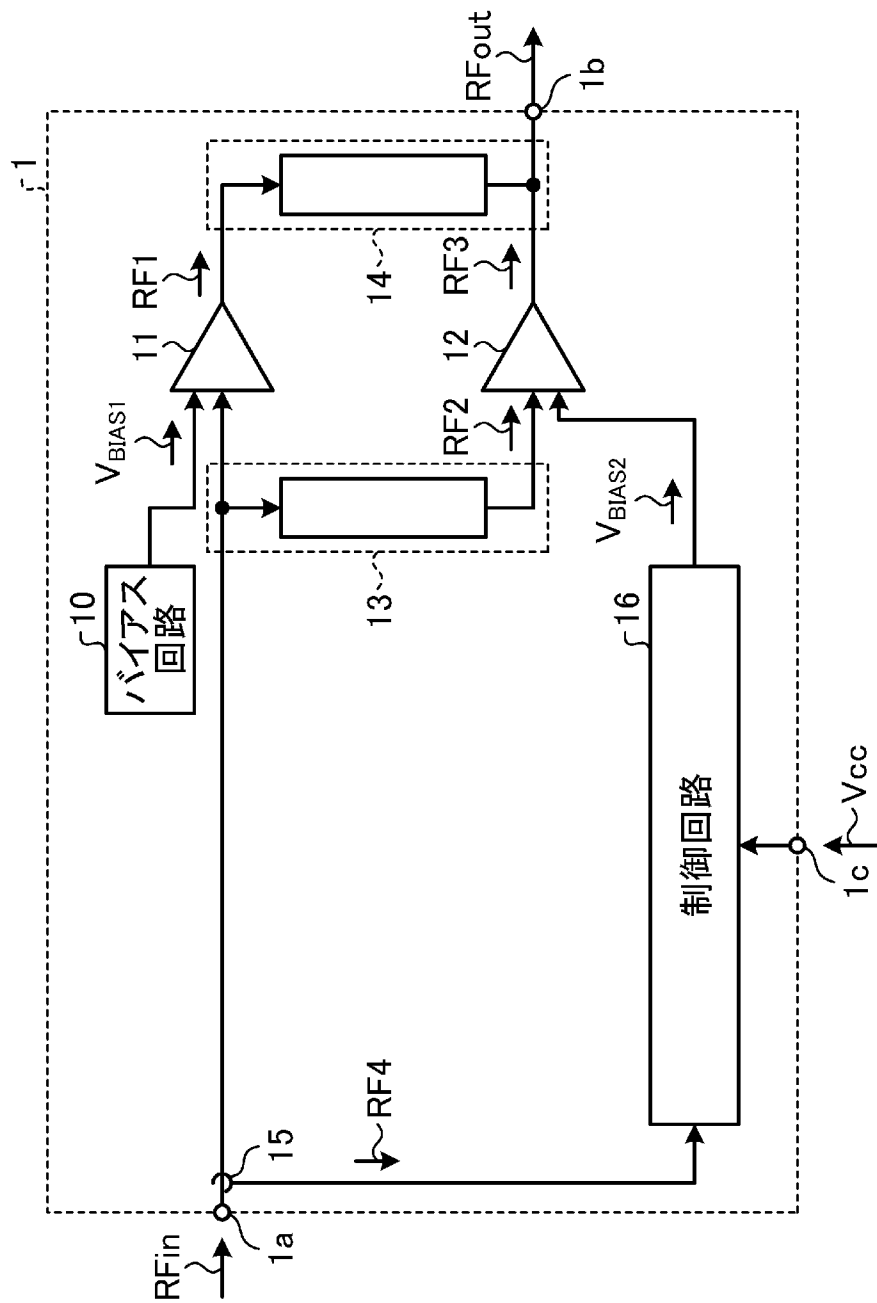
前記高周波信号を通過させる通過特性が供給電圧に応じて可変である第1通過特性可変回路と、前記第1通過特性可変回路を通過後の前記高周波信号を検波する検波器と、を含む、

ドハティ増幅回路。

- [請求項11] 請求項3に記載のドハティ増幅回路であって、
前記引き抜き部は、
前記供給電圧が一端に入力される第1抵抗素子と、
前記第1抵抗素子の他端に一端が電氣的に接続され、他端が基準電位に電氣的に接続される第2抵抗素子と、
第1入力端子、第2入力端子、及び出力端子を有し、前記第1入力端子には前記第1抵抗素子の他端と前記第2抵抗素子の一端との接続点から出力される信号が入力され、前記第2入力端子には基準電圧が入力され、前記出力端子から比較結果出力信号を出力する比較器と、
前記比較器の前記出力端子から出力される前記比較結果出力信号に応じて、前記バイアス部から引き抜く電流を変化させる可変電流源回路と、
を含む、
ドハティ増幅回路。
- [請求項12] 請求項11に記載のドハティ増幅回路であって、
前記第1通過特性可変回路のうち、前記引き抜き部は、第1半導体ダイに形成され、前記通過部と前記バイアス部とは、第2半導体ダイに形成され、
前記第1半導体ダイに含まれる第1半導体基板の材料と、前記第2半導体ダイに含まれる第2半導体基板の材料とは異なる、
ドハティ増幅回路。

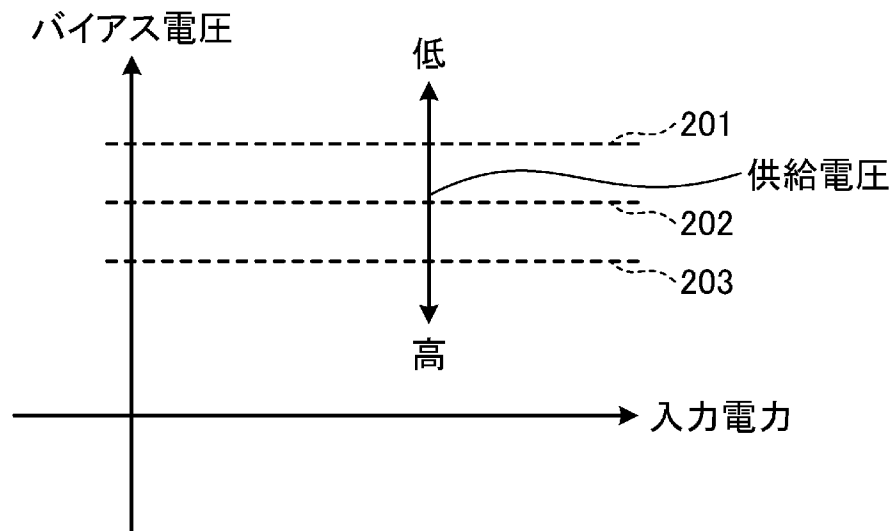
[図1]

図1



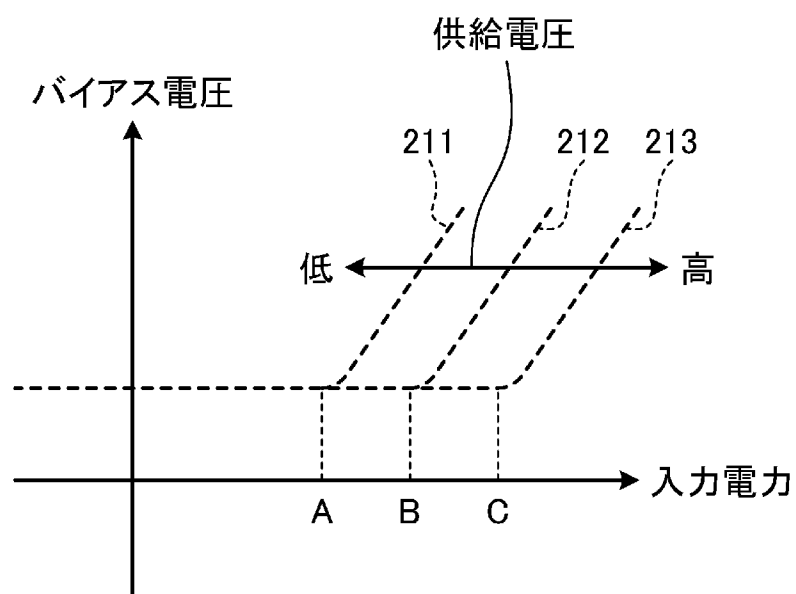
[図2]

図2

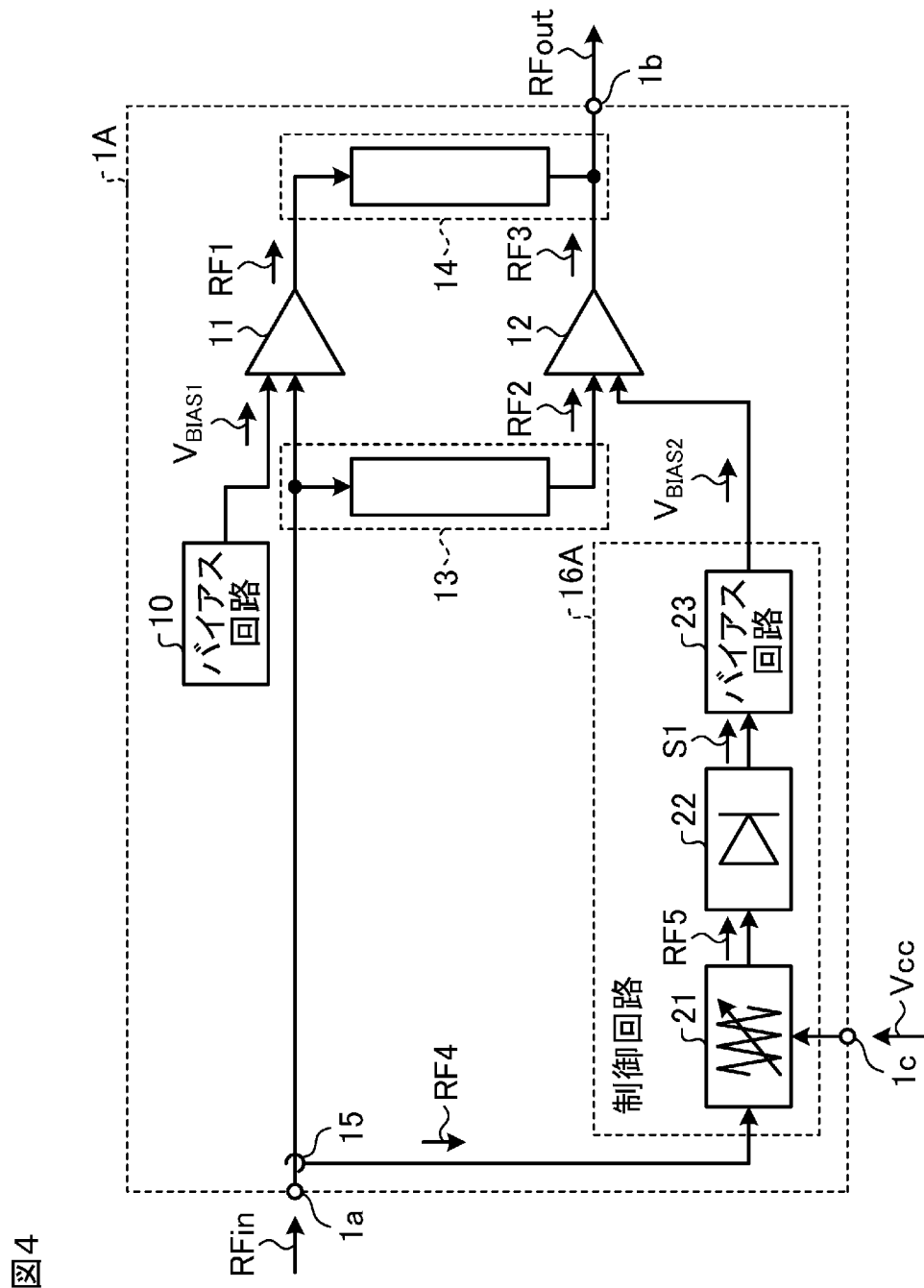


[図3]

図3

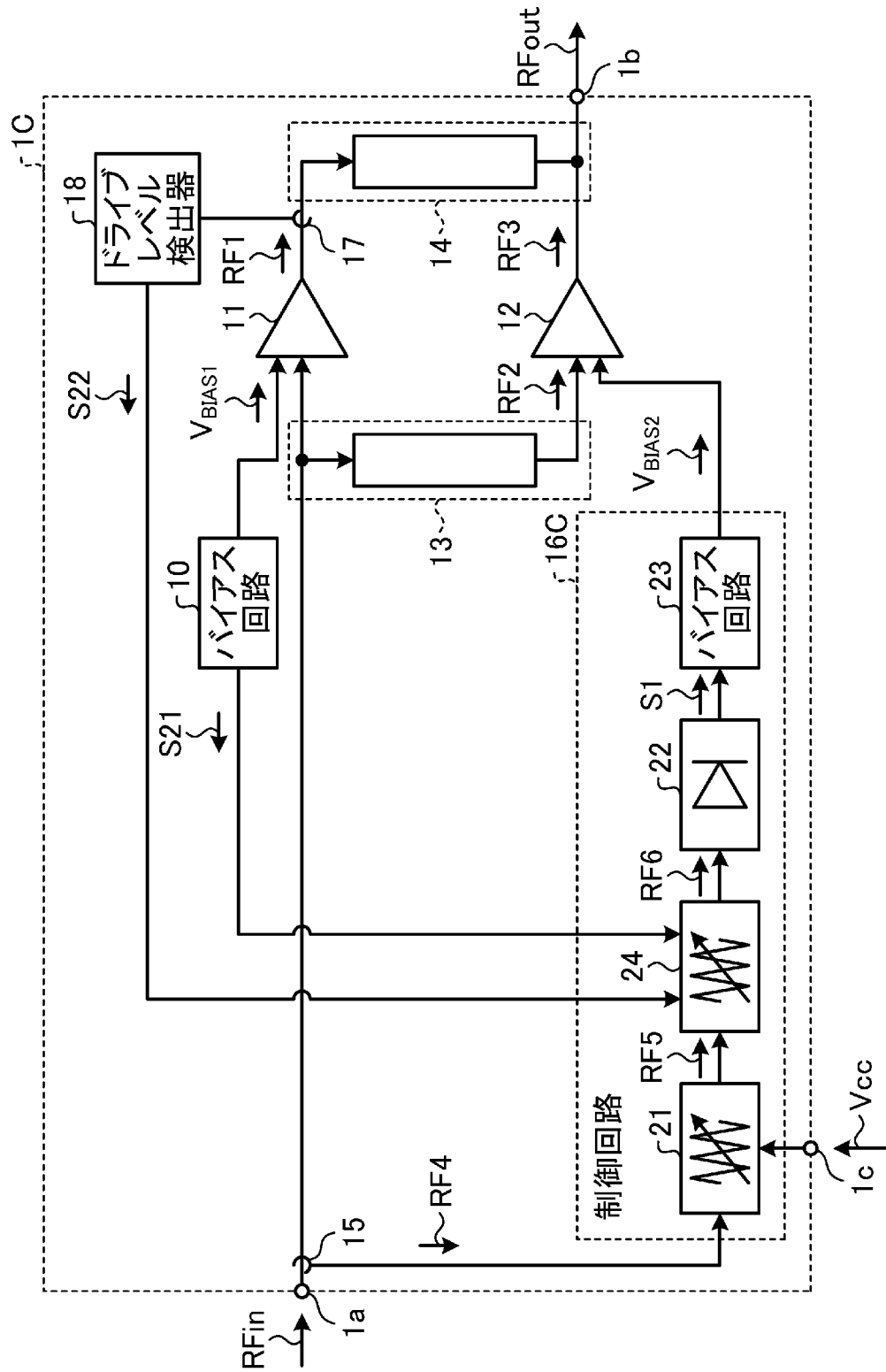


[図4]



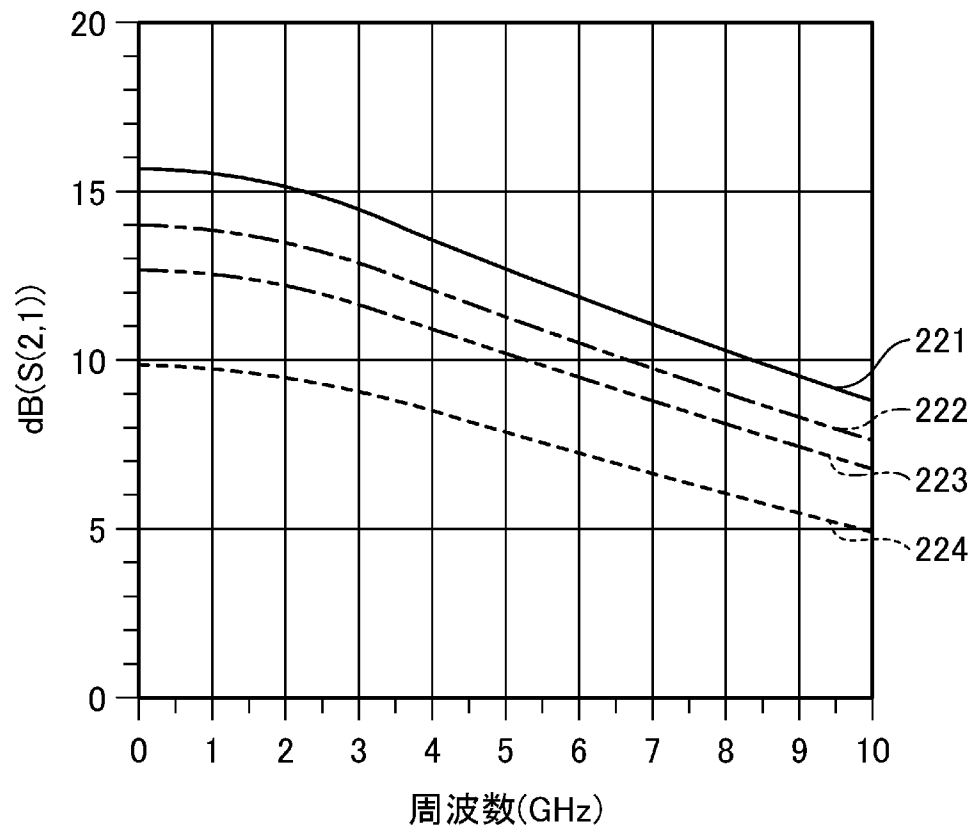
[図6]

図6



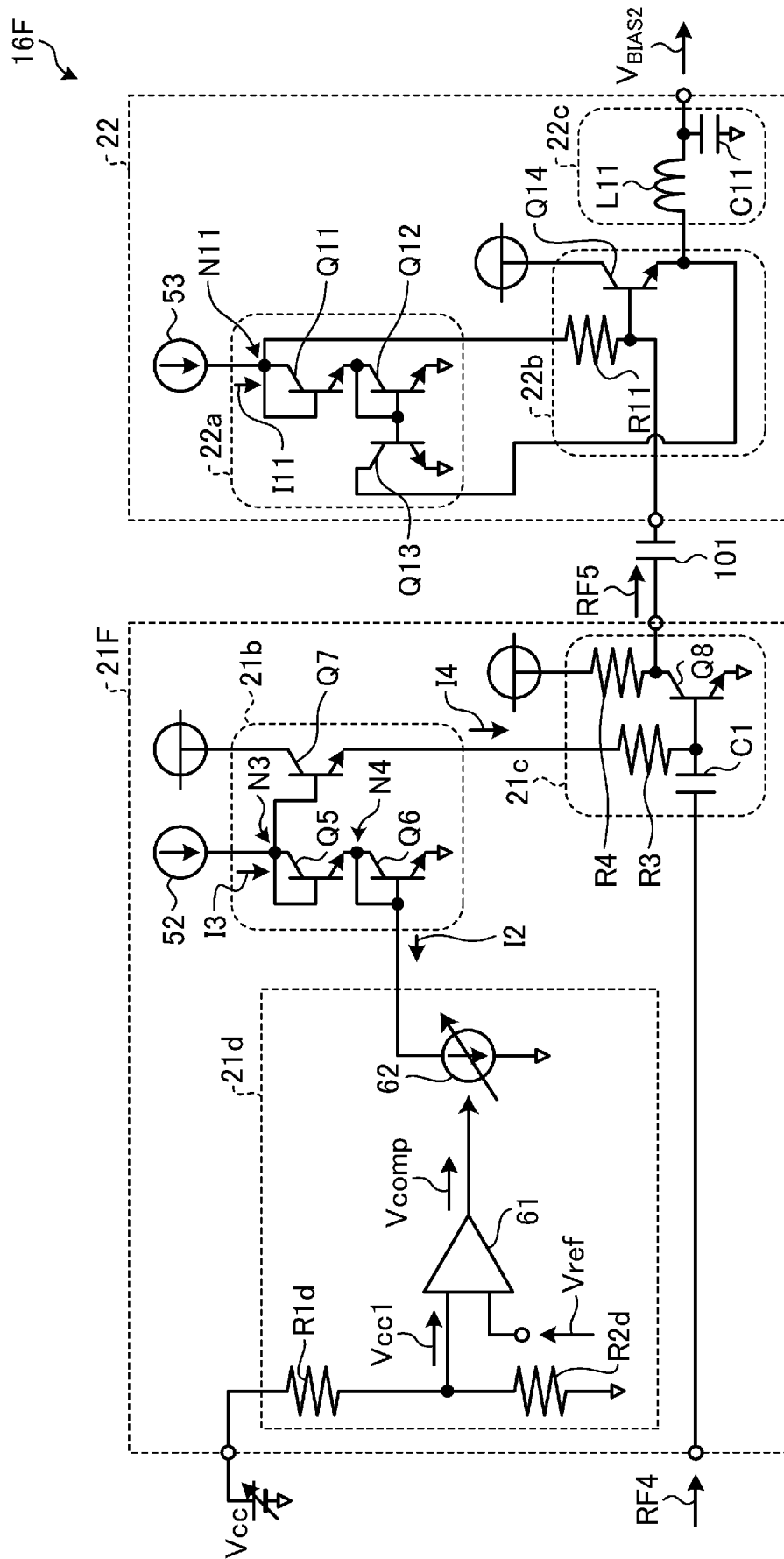
[図8]

図8

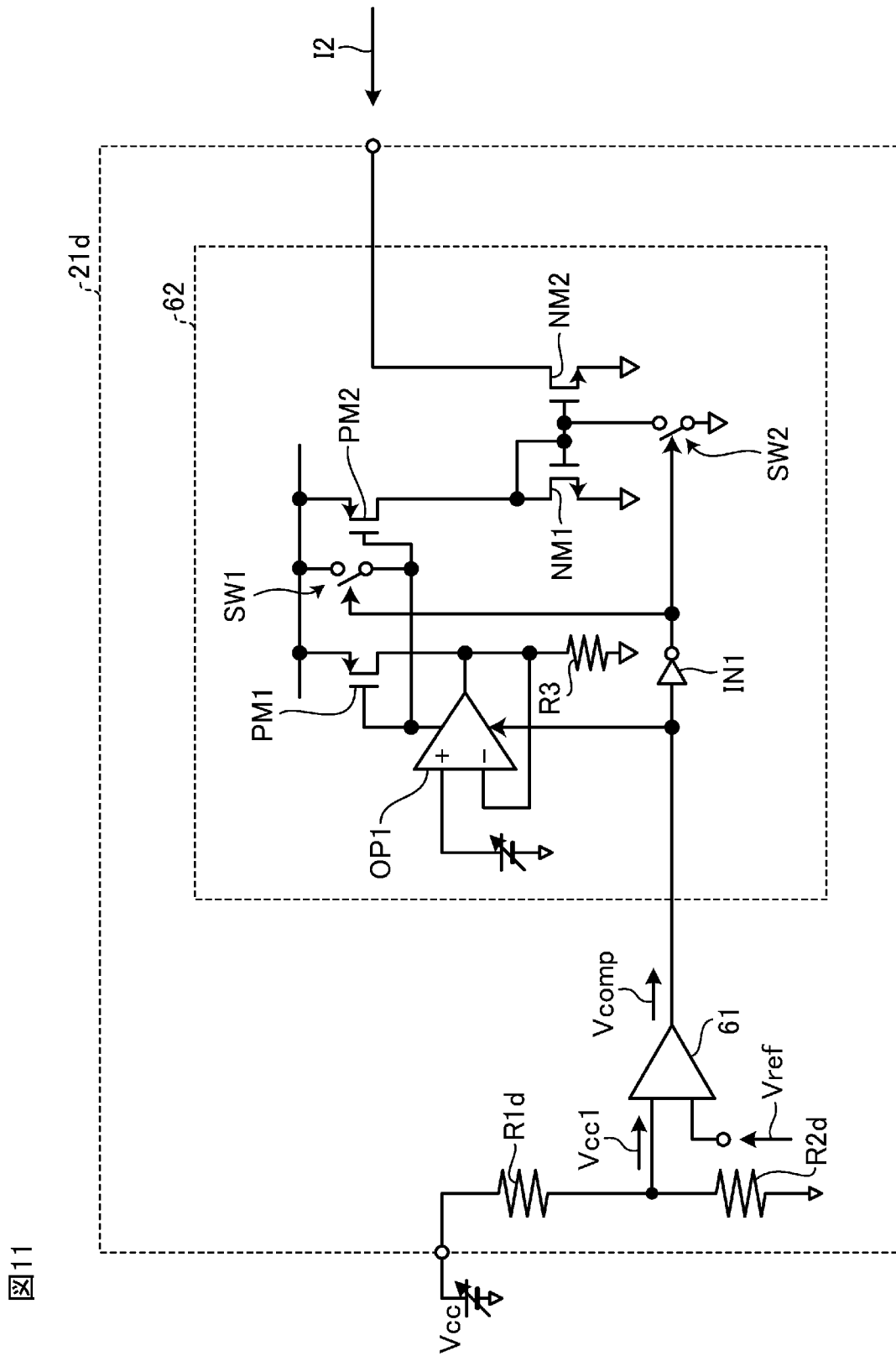


[図10]

図10



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/029351

A. CLASSIFICATION OF SUBJECT MATTER**H03F 1/02**(2006.01)i; **H03F 3/21**(2006.01)i; **H03F 3/68**(2006.01)i

FI: H03F1/02 188; H03F1/02 111; H03F3/21; H03F3/68 220

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03F1/02; H03F3/21; H03F3/68

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2023

Registered utility model specifications of Japan 1996-2023

Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2000-513535 A (MOTOROLA, INC.) 10 October 2000 (2000-10-10) p. 5, line 1 to p. 12, line 25, fig. 1, 4, 5B	8-9
Y		1-2, 5, 7, 10
A		3-4, 6, 11-12
Y	JP 2009-100429 A (HITACHI KOKUSAI ELECTRIC INC) 07 May 2009 (2009-05-07) paragraphs [0001]-[0024], [0050]-[0058], fig. 1	1-2, 5, 7, 10
A		3-4, 6, 11-12
A	JP 2017-511079 A (QUALCOMM INCORPORATED) 13 April 2017 (2017-04-13) entire text, all drawings	1-12

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

21 September 2023

Date of mailing of the international search report

03 October 2023

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)

3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915

Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/029351

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2000-513535	A	10 October 2000	US 5757229 A column 1, line 2 to column 5, line 40, fig. 1, 4, 5B WO 1998/000912 A1 KR 10-2000-0022271 A	
JP	2009-100429	A	07 May 2009	(Family: none)	
JP	2017-511079	A	13 April 2017	US 2015/0295541 A1 entire text, all drawings WO 2015/157361 A1 CN 106134071 A KR 10-2016-0144368 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H03F 1/02(2006.01)i; H03F 3/21(2006.01)i; H03F 3/68(2006.01)i FI: H03F1/02 188; H03F1/02 111; H03F3/21; H03F3/68 220										
B. 調査を行った分野										
調査を行った最小限資料（国際特許分類（IPC）） H03F1/02; H03F3/21; H03F3/68										
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2023年</td> </tr> </table>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2023年	日本国実用新案登録公報	1996 - 2023年	日本国登録実用新案公報	1994 - 2023年
日本国実用新案公報	1922 - 1996年									
日本国公開実用新案公報	1971 - 2023年									
日本国実用新案登録公報	1996 - 2023年									
日本国登録実用新案公報	1994 - 2023年									
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）										
C. 関連すると認められる文献										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号								
X	JP 2000-513535 A（モトローラ・インコーポレイテッド）10.10.2000（2000 - 10 - 10） 第5頁第1行-第12頁第25行，図1，4，5B	8-9								
Y		1-2, 5, 7, 10								
A		3-4, 6, 11-12								
Y	JP 2009-100429 A（株式会社日立国際電気）07.05.2009（2009 - 05 - 07） 段落[0001]-[0024]，[0050]-[0058]，図1	1-2, 5, 7, 10								
A		3-4, 6, 11-12								
A	JP 2017-511079 A（クualコム・インコーポレイテッド）13.04.2017（2017 - 04 - 13） 全文，全図	1-12								
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。										
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技术水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献										
国際調査を完了した日 21.09.2023		国際調査報告の発送日 03.10.2023								
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 及川 尚人 5W 5888 電話番号 03-3581-1101 内線 3576								

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/029351

引用文献			公表日	パテントファミリー文献	公表日
JP	2000-513535	A	10.10.2000	US 5757229 A 第1欄第2行-第5欄第40行, 図1, 4, 5B WO 1998/000912 A1 KR 10-2000-0022271 A	
JP	2009-100429	A	07.05.2009	(ファミリーなし)	
JP	2017-511079	A	13.04.2017	US 2015/0295541 A1 全文, 全図 WO 2015/157361 A1 CN 106134071 A KR 10-2016-0144368 A	