

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4757867号
(P4757867)

(45) 発行日 平成23年8月24日(2011.8.24)

(24) 登録日 平成23年6月10日(2011.6.10)

(51) Int.Cl.

F 1

HO1L 27/092	(2006.01)	HO1L 27/08	321D
HO1L 21/8238	(2006.01)	HO1L 21/28	301R
HO1L 21/28	(2006.01)	HO1L 21/285	C
HO1L 21/285	(2006.01)	HO1L 29/58	G
HO1L 29/423	(2006.01)	HO1L 29/78	613A

請求項の数 5 (全 10 頁) 最終頁に続く

(21) 出願番号	特願2007-508363 (P2007-508363)
(86) (22) 出願日	平成17年3月22日 (2005.3.22)
(65) 公表番号	特表2007-533156 (P2007-533156A)
(43) 公表日	平成19年11月15日 (2007.11.15)
(86) 國際出願番号	PCT/US2005/009620
(87) 國際公開番号	W02005/106938
(87) 國際公開日	平成17年11月10日 (2005.11.10)
審査請求日	平成20年3月19日 (2008.3.19)
(31) 優先権主張番号	10/827,202
(32) 優先日	平成16年4月19日 (2004.4.19)
(33) 優先権主張国	米国(US)

(73) 特許権者	504199127 フリースケール セミコンダクター イン コーポレイテッド アメリカ合衆国 78735 テキサス州 オースティン ウィリアム キャノン ドライブ ウエスト 6501
(74) 代理人	100116322 弁理士 桑垣 衡
(72) 発明者	アディトゥトゥ、オルブンミ オー. アメリカ合衆国 78729 テキサス州 オースティン パートリッジ ベンド 12919

最終頁に続く

(54) 【発明の名称】 金属からなるゲート電極を形成するための方法

(57) 【特許請求の範囲】

【請求項 1】

第1金属層が第1領域のゲート誘電体の上に堆積することを阻止するための阻止構造を、有機シラン、自己組織化単分子層、及びメタクリレート系ポリマーからなる群から選択される阻止材料から、第1領域のゲート誘電体の上に形成する工程と、

前記阻止構造を形成した後に、第1金属層をウェハの第1領域のゲート誘電体の上には堆積させずに、ウェハの第2領域のゲート誘電体の上に選択的に堆積させる工程と、

第1金属層を堆積させた後に、阻止構造を除去する工程と、

阻止構造を除去する工程の後に、第2金属層を第1領域のゲート誘電体の上に堆積させる工程と、

第1金属層により形成される構造物を有した、第1トランジスタの第1ゲート電極積層構造を第2領域に形成する工程と、

第2金属層により形成される構造物を有する、第2トランジスタの第2ゲート電極積層構造を第1領域に形成する工程とを備える、トランジスタの製造方法。

【請求項 2】

前記阻止構造による阻止は、核形成サイトが第1領域のゲート誘電体の上に形成されることを阻止することによって行なわれる、請求項1に記載の方法。

【請求項 3】

前記阻止構造は、刻印マスクの隆起部分を覆う前記阻止材料を前記ウェハの表面に押し付けることによって転写されたものである、請求項1に記載のトランジスタの製造方法。

【請求項 4】

阻止構造をウェハの第2領域の誘電体の上には形成せずに、ウェハの第1領域の誘電体の上に選択的に、有機シラン、自己組織化单分子層、及びメタクリレート系ポリマーからなる群から選択される阻止材料から形成する工程と、

前記阻止構造によって、前記第1金属層が第1領域の誘電体の上に堆積することを阻止しながら、第1金属層を第2領域の誘電体の上に選択的に堆積させる工程と、

第1金属層を堆積させた後に、阻止構造を除去する工程と、

阻止構造を除去する工程の後に、第2金属層を第1領域のゲート誘電体の上に堆積させる工程と、

前記第1金属層により形成される構造物を備えた、第1トランジスタの第1ゲート電極積層構造を第2領域に形成する工程と、10

第2金属層により形成される構造物を有する、第2トランジスタの第2ゲート電極積層構造を第1領域に形成する工程とを備える、トランジスタの製造方法。

【請求項 5】

阻止構造をウェハの第2領域のゲート誘電体の上には形成せずに、ウェハの第1領域のゲート誘電体の上に選択的に、有機シラン、自己組織化单分子層、及びメタクリレート系ポリマーからなる群から選択される阻止材料から形成する工程と、

前記阻止構造によって、第1金属層が第1領域のゲート誘電体の上に堆積することを阻止しながら、第1金属層を第2領域のゲート誘電体の上に原子層堆積プロセスを使用して選択的に堆積させる工程と、20

第1金属層を堆積させた後に、阻止構造を除去する工程と、

阻止構造を除去する工程の後に、第2金属層を第1領域のゲート誘電体の上に堆積させる工程と、

第2金属層により形成される構造物を備えた、第1トランジスタの第1ゲート電極積層構造を第1領域に形成する工程と、

第1金属層により形成される構造物を備えた、第2トランジスタの第2ゲート電極積層構造を第2領域に形成する工程とを備える、トランジスタの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は概して半導体処理に関し、特に例えばデュアルメタルゲート積層構造に使用することができる金属を有するゲート電極の形成に関する。30

【背景技術】

【0002】

半導体技術が進歩するにつれて、半導体素子のサイズが益々小さくなるので、素子を小さくすることができることが望ましい。素子を適切に小さくすることができるためには、閾値電圧を素子縮小に応じて調整することができる必要となる。しかしながら、ポリシリコンゲートの場合、必要な駆動電流を維持しながら閾値電圧を適切に調整することは難しい、または不可能である。従って、この技術分野では、所望の閾値電圧レベルの縮小素子を実現するためにポリシリコンではなく、金属の使用を模索し始めている。金属を素子のゲート電極積層構造の内部のゲート誘電体の上に直接設けることにより、仕事関数差に応じた特性を向上させることができる。すなわち、ゲート誘電体と直接コンタクトする異なる金属を使用することにより異なる仕事関数が得られる。従って、異なる仕事関数を持つゲート電極を必要とするPMOS素子及びNMOS素子は共に、それぞれのゲート誘電体と直接コンタクトする異なる金属を使用して形成する必要がある。しかしながら、このデュアルメタルゲート積層構造を実現するためには問題が生じる。40

【0003】

例えは、今日知られているデュアルメタルゲート積層構造を実現するための一のアプローチでは、第1金属層を、ゲート誘電体の上にプランケット堆積法により堆積させる（この場合、この第1金属層を使用して、例えはPMOS素子のような第1タイプの素子の金

50

属材料ゲート電極積層構造を形成することができる)。しかしながら、次にこの第1金属層を、ゲート誘電体の内、金属材料ゲート電極積層構造内部のゲート誘電体とコンタクトする異なる金属層を必要とする、例えばN M O S素子のような第2タイプの素子を形成するために使用される部分から除去する必要がある。従って、第1金属層をゲート誘電体層の一部分から除去した後、第2金属層を形成する必要がある(この場合、第2金属層を使用して、第2タイプの素子の金属材料ゲート電極積層構造を形成することができる)。

【0004】

この先行技術による問題解決法では、第1金属層の一部分は従来のフォトリソグラフィ法を使用するドライエッチングまたはウェットエッチングのいずれかによって除去する。しかしながら、第1金属層を堆積させ、そして続いてゲート誘電体の一部分から除去することによって、多くの問題が生じて素子の特性を劣化させる。例えば、エッチングによって第1金属層のエッチング不足が生じて第1金属層の残渣材料がゲート誘電体の上に残り、この残渣材料が、結果として得られる素子の仕事関数に悪影響を及ぼす。別的方法として、第1金属層を続いてエッチングすると、下地のゲート誘電体のオーバーエッチングが生じて、第2金属電極が形成される予定の領域のゲート誘電体の膜厚が薄くなるので望ましくない。

10

【発明の開示】

【発明が解決しようとする課題】

【0005】

上述のように、金属材料ゲート電極の金属層が下地のゲート誘電体と直接コンタクトする構成の金属材料ゲート電極を有するトランジスタを形成することができる望ましい。これによって、例えばスケーラビリティが高くなり、かつ仕事関数差に応じた特性を向上させることができる。更に、異なるタイプの素子(例えば、P M O S素子及びN M O S素子のような)では通常、異なる金属層が、これらの素子の該当するゲート電極積層構造の内部の下地ゲート誘電体とコンタクトして、所望の仕事関数を実現する必要がある。

20

【課題を解決するための手段】

【0006】

従って、本発明の一の実施形態では、ゲート誘電体層を形成し、次に第1金属層を、ゲート誘電体層の内、素子が第1金属層を使用して形成されることになる部分の上に選択的に堆積させる。第1金属層を選択的に堆積させた後、第1金属層とは異なる第2金属層を、ゲート誘電体層の内、素子が第2金属層を使用して形成されることになる残りの露出部分の上に選択的に形成することができる。一の実施形態では、第1金属層を選択的に堆積させる処理は阻止層を使用して行なわれ、この阻止層をゲート誘電体層の上に選択的に形成して、第1金属層を、ゲート誘電体層の内、阻止層によって覆われない部分の上にのみ選択的に堆積させることができるようにする。

30

【発明を実施するための最良の形態】

【0007】

本発明の実施形態について、図1～8を参照しながら以下に更に詳細に記載する。

当業者であれば、これらの図における構成要素が説明を簡単かつ明瞭にするために示され、そして必ずしも寸法通りには描かれていねることが分かるであろう。例えば、これらの図における幾つかの構成要素の寸法を他の構成要素に対して誇張して描いて本発明の実施形態を理解し易くしている。

40

【0008】

図1は、本発明の一の実施形態による半導体構造11を示している。ここで、一の実施形態では、半導体11は半導体ウェハの一部分とすることができるに留意されたい。図1の半導体構造11は基板10を含み、この基板は、絶縁領域16と、基板10及び絶縁領域16を覆うゲート誘電体層18と、を有する。ここで、別の実施形態では、ゲート誘電体層18は絶縁領域16を覆う必要はないことに留意されたい。図1の半導体構造11は2つの領域、すなわち第1素子領域12及び第2素子領域14に分割される。素子領域12及び14は、基板10の内、異なるタイプの素子が形成されることになる領域を画

50

定する。例えば、一の実施形態では、素子領域 12 は N M O S 素子が形成されることになる N M O S 素子領域に対応し、そして素子領域 14 は P M O S 素子が形成されることになる P M O S 素子領域に対応する。しかしながら、別の実施形態では、素子領域 12 は P M O S 素子領域に対応することができ、そして素子領域 14 は N M O S 素子領域に対応することができることに留意されたい。更に別の実施形態では、素子領域 12 及び 14 は、異なる素子が形成されることになるいずれかのタイプの領域とすることができます。また、半導体構造 11 は、異なるタイプの素子が形成されることになるどのような数の素子領域も、必要に応じて含むことができることに留意されたい。

【 0 0 0 9 】

一の実施形態では、基板 10 は、例えばシリコン基板、砒化ガリウム基板、シリコングルマニウム基板、ゲルマニウム基板などのような半導体基板である。一の実施形態では、基板 10 はバルク基板を含むが、別の実施形態では、基板 10 は、例えば埋め込み酸化膜のような絶縁物を覆ういずれかのタイプの半導体材料（例えば、シリコン、砒化ガリウム、シリコングルマニウム、ゲルマニウムなどのような）を有するシリコンオンインシレータ（S O I）基板を含むことができる。ゲート誘電体層 18 は、例えば酸化ハフニウム、ケイ酸ハフニウム、ケイ酸ジルコニアム、酸化ジルコニアム、酸化タンタル、酸化チタン、酸窒化シリコンなどのようないずれかのタイプのゲート誘電体材料を含むことができる。ゲート誘電体層 18 は従来の方法を使用して形成することができる。図示の実施形態では、ゲート誘電体層 18 は領域 12 及び 14 の両方を覆うように形成されるが、別の実施形態では、領域 12 及び 14 の各々が異なるタイプのゲート誘電体材料を含んで、第 1 ゲート誘電体層が基板 10 を領域 12 において覆い、そして第 1 ゲート誘電体層とは異なる第 2 ゲート誘電体層が基板 10 を領域 14 において覆うようにすることができることに留意されたい。また、基板 10 は、素子を形成するためのウェル注入層（図示せず）を必要に応じて含むこともできることに留意されたい。これらのウェル注入層は、この技術分野で公知の従来のイオン注入法を使用して形成することができる。

【 0 0 1 0 】

図 2 は、基板 10 の上に位置合わせされる刻印マスク 20 を備える半導体構造 11 を示している。刻印マスク 20 は、刻印マスク 20 の内、刻印マスク 20 の表面 21 を超える隆起部分（p r o u d p o r t i o n ）23 を覆う阻止材料 22 を含む。刻印マスク 20 の隆起部分または複数の隆起部分は、基板の表面に押し付けたときに、刻印マスク 20 の残りの部分（隆起していない部分）が基板の表面にコンタクトしない状態で基板にコンタクトする部分に対応する。従って、隆起部分上の材料はコンタクトすると、基板の表面に型押しされる、または印刷される。一の実施形態では、刻印マスク 20 は弾性材料により作製される。

【 0 0 1 1 】

従って、図 2 によれば、刻印マスク 20 は隆起部分 23 を含み、この隆起部分は基板 10 に適切に位置合わせされると、半導体構造 11 の素子領域 12 に対応するように位置して、阻止材料 22 が、当該材料を押し付けたときに、領域 12 に塗布されるが領域 14 には塗布されないようになる。ここで、阻止材料 22 は種々の方法により刻印マスク 20 の隆起部分の上に配置することができることに留意されたい。例えば、一の実施形態では、刻印マスク 20 は、一塊の阻止材料に浸漬して、刻印マスク 20 の隆起部分のみが阻止材料に接触するようにすることができます（このようにして、表面 21 のような残りの表面には阻止材料が全く付着しない）。別的方法として、阻止材料を刻印マスク 20 に、例えばローラを使用して押し付けることができ、このローラは、阻止材料を刻印マスク 20 の隆起部分に転写するが、表面 21 のような刻印マスク 20 の残りの表面に阻止材料を転写することはない。

【 0 0 1 2 】

図 3 は、刻印マスク 20 を使用して押し付けた後の半導体構造 11 を示している。すなわち、刻印マスク 20 を半導体構造 11 に押し付けて、隆起部分 23（表面 21 ではなく）がゲート誘電体層 18 にコンタクトするようにする。刻印マスク 20 を持ち上げた後、

10

20

30

40

50

阻止材料 2 2 の全て、または一部分が領域 1 2 のゲート誘電体層 1 8 の上に残るので、阻止層 2 4 が半導体構造 1 1 の領域 1 4 内ではなく、領域 1 2 内のゲート誘電体層 1 8 の上に形成されることに注目されたい。すなわち、刻印マスク 2 0 を使用することによって、阻止層 2 4 をゲート誘電体層 1 8 の一部分（この場合、例えばこれらの部分は図 3 の領域 1 2 に対応する）の上に選択的に形成することができる。一の実施形態では、阻止層 2 4 は、例えば有機シラン及び自己組織化单分子層（S A M s）のようなメチル基を含む。また、一の実施形態では、阻止層 2 4 は、この層がメチル基を含む表面部分または表面層を含む限り、どのような数の材料、及びどのようなタイプの材料も含むことができる。一の実施形態では、十分な阻止材料 2 2 を使用して、ゲート誘電体 1 8 上に形成される阻止層 2 4 を十分に厚くして、領域 1 2 の全ての核形成サイトを確実に少なくとも一つの阻止材料单分子層で覆うようにする。別の実施形態では、阻止層 2 4 はゲート誘電体層 1 8 の一部分の上に、従来のフォトリソグラフィ法を使用して選択的に形成することができる。更に別の実施形態では、阻止層 2 4 は感光性ポリマーである。この実施形態では、感光性ポリマーはメタクリレート系ポリマーとすることができる。

【 0 0 1 3 】

図 4 は、第 1 金属層 2 6 を領域 1 4 のゲート誘電体層 1 8 の上に形成した後の半導体構造 1 1 を示している。図 4 に示すように、第 1 金属層 2 6 をゲート誘電体層 1 8 の上に、例えば原子層堆積法（A L D）を使用して選択的に堆積させる。阻止層 2 4 によって、第 1 金属層 2 6 が領域 1 2 内部のゲート誘電体層 2 6 の上に形成されることがないようにする。従って、第 1 金属層 2 6 は領域 1 4 内のゲート誘電体層 1 8 と直接コンタクトするが、阻止層 2 4 が形成される位置には形成されないように注目されたい。これは、阻止層 2 4 が領域 1 2 内のゲート誘電体層 1 8 の核形成サイトを覆って（そして核形成サイトの形成を阻止する）、金属層が第 1 金属層 2 6 を A L D により形成している間に領域 1 2 内に形成されることがないようにしているからである。ここで、別の実施形態では、選択化学気相成長（C V D）プロセスを使用して第 1 金属層 2 6 を領域 1 4 に形成することができることに注目されたい。選択 C V D を用いる場合、阻止層 2 4 によって、第 1 金属層 2 6 が領域 1 2 内に形成されるのを防止することもできる、というのは、阻止層 2 4 が核形成サイトの形成を阻止するからである。

【 0 0 1 4 】

図 5 は、阻止層 2 4 を除去した、または無効（n e u t r a l i z a t i o n）にした後の半導体構造 1 1 を示している。一の実施形態では、阻止層 2 4 はアニールプロセスを使用して除去する。例えば、少なくとも 1 0 0 、または好適には約 1 0 0 ~ 9 0 0 の範囲の温度のアニールを使用することができる。このアニールによって、阻止層 2 4 を脱離させる、または昇華させることができる。別的方法として、例えばプラズマ処理、プラズマエッティング、または紫外線（U V）照射のような他の方法を使用して阻止層 2 4 を除去することができる。

【 0 0 1 5 】

図 6 は、第 2 金属層 2 8 をゲート誘電体 1 8 の露出部分、及び第 1 金属層 2 6 の上に形成した後の半導体構造 1 1 を示している。一の実施形態では、第 2 金属層 2 8 はプランケット堆積法により形成される。しかしながら、別の実施形態では、第 2 金属層 2 8 は異なる方法で形成することができる。例えば、別の実施形態では、第 2 金属層 2 8 は、当該金属層がゲート誘電体層 1 8 の露出部分の上（すなわち、領域 1 2 内）に形成され、かつ領域 1 4 の第 1 金属層 2 6 の上には形成されない、または領域 1 4 の第 1 金属層 2 6 の一部分の上にのみ形成されるように形成することができる。ここで、第 2 金属層 2 8 は領域 1 2 のゲート誘電体層 1 8 と直接コンタクトすることに注目されたい。従って、領域 1 2 では、第 2 金属層 2 8 がゲート誘電体層 1 8 と直接コンタクトし、そして領域 1 4 では、第 1 金属層 2 6 がゲート誘電体層 1 8 と直接コンタクトする。従ってこれにより、異なる仕事関数を領域 1 2 及び 1 4 の各々に形成される素子において実現することができる。

【 0 0 1 6 】

更に図 6 によれば、第 2 金属層 2 8 を形成した後に、ポリシリコンゲート層 3 0 （多結

10

20

30

40

50

晶シリコンゲート層 30 とも呼ぶ) が第 2 金属層 28 を覆って形成される。ポリシリコンゲート層 30 を形成した後、反射防止コーティング (ARC) 層がポリシリコンゲート層 30 を覆って形成される。ここで、別の実施形態では、上に示す例よりも多い、少ない、または上に示す例とは異なる層を、第 2 金属層 28 を覆って形成することができることに留意されたい。例えば、どのような数の異なる層も、ポリシリコン層 30 の代わりに、またはポリシリコン層 30 の他に使用することができる。また、ARC 層 32 を設けるかどうかは任意であり、使用する後続のフォトリソグラフィプロセスによって変わる。ポリシリコンゲート層 30 及び ARC 層 32 (または、第 2 金属材料ゲート層 28 を覆う所望の他のいずれかの層) を形成した後、パターニング済みマスク層 34 を ARC 層 32 の上に形成する(この場合、パターニング済みマスク層 34 は従来のプロセスを使用して形成することができる)。図示の実施形態では、パターニング済みマスク層 34 は第 1 素子のゲート電極積層構造を領域 12 に、そして第 2 素子のゲート電極積層構造を領域 14 に画定するように機能する。ここで、別の実施形態では、パターニング済みマスク層 34 を使用してどのような数のゲート積層構造も画定することができ、いずれの数のゲート電極積層構造とするかは、希望する素子の数によって変わる。また、別の実施形態では、ポリシリコン層 30 及び ARC 層 32 を設けずに、パターニング済みマスク層 34 が第 2 金属材料層 28 の上に直接形成されるようにすることに注目されたい。第 2 金属材料層 28 が第 1 金属層 26 の上には形成されない更に別の実施形態では、パターニング済みマスク層 34 は領域 12 の第 2 金属層 28 の上に、かつ領域 14 の第 1 金属層 26 の上に直接形成することができる。

10

20

【0017】

図示の実施形態では、領域 12 のパターニング済みマスク層 34 によって画定されるゲート電極積層構造は PMOS タイプのゲート電極積層構造に対応し、そして領域 14 のパターニング済みマスク層 34 によって画定されるゲート電極積層構造は NMOS タイプのゲート電極積層構造に対応する。従って、一の実施形態では、第 1 金属層 26 は、例えば窒化チタン、イリジウム、酸化イリジウム、ルテニウム、酸化ルテニウム、窒化タンタルなどを含むことができ、そして第 2 金属層 28 は、例えばタンタルシリコン窒化物、炭化タンタル、金属ホウ化物、金属シリコン窒化物、金属炭化物などを含むことができる。しかしながら、別の実施形態では、異なる金属、または複数の金属の組み合わせを第 1 金属層 26 及び第 2 金属層 28 の内部に使用することができ、いずれの金属を使用するかは、形成する素子によって変わることに留意されたい。例えば、領域 12 のパターニング済みマスク層 34 によって画定されるゲート電極積層構造は NMOS 素子に対応し、そして領域 14 のパターニング済みマスク層 34 によって画定されるゲート電極積層構造は PMOS 素子に対応することができ、更に第 1 及び第 2 金属層の材料はそれに従って選択することができる。一の実施形態では、第 1 金属層 26 及び第 2 金属層 28 の膜厚は、約 30 オングストローム ~ 500 オングストロームの範囲である。

30

【0018】

図 7 は、ゲート電極積層構造 36 を領域 12 のゲート誘電体層 18 の上に、そしてゲート電極積層構造 40 を領域 14 のゲート誘電体層 18 の上に形成した後の半導体構造 11 を示している。従って、パターニング済みマスク層 34 を形成した後、従来のエッティングプロセスを使用してゲート電極積層構造 36 及び 40 を形成することができる。次に、パターニング済みマスク層 34 を除去する。図 7 に示すように、ゲート電極積層構造 36 は、第 2 金属層 28 により構成される第 1 金属層 38、ポリシリコンゲート層 30 により構成されるポリシリコンゲート層 41、及び ARC 層 32 により構成される ARC 層 43 を含む。ゲート電極積層構造 40 は、第 1 金属層 26 により構成される第 1 金属層 42、第 2 金属層 28 により構成される第 2 金属層 44、ポリシリコンゲート層 30 により構成されるポリシリコンゲート層 46、及び ARC 層 32 により構成される ARC 層 48 を含む。従って、ゲート電極積層構造 36 及び 40 の各々は、ゲート誘電体層 18 と領域 12 及び 14 のそれぞれにおいて直接コンタクトする異なる金属層 (それぞれ 38 及び 42) を含むので、異なる仕事関数が実現することに注目されたい。(層 38, 41, 43, 42

40

50

, 44, 46, 及び48は構造38, 41, 43, 42, 44, 46, 及び48とそれぞれ呼ぶこともできることに留意されたい)。

【0019】

ここで、別の実施形態では、ゲート電極積層構造36及び40はどのような数の層を含むこともでき、この場合、図示の実施形態はゲート積層構造36及び40のほんの一例を提示しているに過ぎないことに留意されたい。例えば、一の実施形態では、ゲート電極積層構造36及び40の各々は、ゲート層を1つだけ含む(例えば、ゲート層41, 43, 44, 46, 及び48を含まないで、ゲート層38及びゲート層42だけを含む構造のような)ことができる、またはゲート電極積層構造36及び40の各々はどのような数のゲート層を含むこともできる。別の構成として、他のタイプのゲート電極積層構造を形成することができる。10

【0020】

図8は、ほぼ完成した素子66を領域12に、そしてほぼ完成した素子68を領域14に形成した後の半導体構造11を示し、この場合、後続の処理は従来の方法を使用して実行することができる。(素子66及び68はトランジスタ66及び68と呼ぶことができることに注目されたい)。素子66は、ゲート電極積層構造36の側壁に隣接するサイドウォールスペーサ50、及び基板10の内部で横方向に延在し、かつゲート誘電体52(ゲート誘電体18により構成される)の一部分の下に位置するソース/ドレイン領域54及び56を含む。ここで、スペーサ50、及びソース/ドレイン領域54及び56は従来のプロセスを使用して形成することができることに留意されたい。例えば、スペーサ50は材料を1つだけ含むことができる、または複数の材料を含むことができる。図示の実施形態では、ソース/ドレイン領域54及び56はエクステンション領域及びディープ注入領域を含むが、別の実施形態では、異なるタイプのソース/ドレイン領域を形成することができる。領域14の素子68は、ゲート電極積層構造40の側壁に隣接するサイドウォールスペーサ58、及び基板10の内部で横方向に延在し、かつゲート誘電体60(ゲート誘電体18により構成される)の一部分の下に位置するソース/ドレイン領域62及び64を含む。ここで、スペーサ58、及びソース/ドレイン領域62及び64は従来のプロセスを使用して形成することができることに留意されたい。例えば、スペーサ58は材料を1つだけ含むことができる、または複数の材料を含むことができる。図示の実施形態では、ソース/ドレイン領域62及び64はエクステンション領域及びディープ注入領域を含むが、別の実施形態では、異なるタイプのソース/ドレイン領域を形成することができる。別の実施形態では、素子66及び68は、結果として異なる構造を有するように、図8を参照しながら例示し、そして記載した方法とは異なる方法を使用するが、上述の第1金属層26の選択的堆積は使用するようにして形成することができる。2030

【0021】

従って、第1金属層26を、阻止層24(この層は選択的に形成することができる)を使用して選択的に形成することにより、先行技術による方法が示す問題を回避しながら、どのようにしてデュアルメタルゲート積層構造を実現することができるかが理解できる。すなわち、上に記載した先行技術による問題解決法とは異なり、第1金属層26を選択的に形成することにより、金属材料ゲート層の内、ゲート誘電体層18を覆う部分をエッティング除去する必要を無くすことができる。これにより、ゲート誘電体層18をオーバーエッティングする危険を無くすことができる。また、金属層の一部分をエッティング除去する必要が無いので、金属層のエッティングに起因する金属層からの残渣材料を発生させる危険も無くすことができる。従って、本明細書に記載する実施形態によってデュアルメタルゲート積層構造を改善することができ、ゲート誘電体層と直接コンタクトする異なる金属を必要とする素子を形成することができる。40

【0022】

これまでの明細書では、本発明について特定の実施形態を参照しながら記載してきた。しかしながら、この技術分野の当業者であれば、種々の変形及変更を、以下の請求項に示す本発明の技術範囲から逸脱しない範囲において加え得ることが分かるであろう。従って50

、明細書及び図は本発明を制限するのではなく、単なる例示として捉えられるべきであり、このような変形は全て、本発明の技術範囲に含まれるべきものである。

【0023】

効果、他の利点、及び技術的問題に対する解決法について、特定の実施形態に関して上に記載してきた。しかしながら、効果、利点、及び問題解決法は、更には効果、利点、または問題解決法をもたらし、またはさらに顕著にし得るいかなる要素（群）も、いずれかの請求項または全ての請求項の必須の、必要な、または基本的な特徴または要素であると解釈されるべきではない。本明細書で使用されるように、「comprises」、「comprising」という用語、または他の全てのこれらの変形は包括的な意味で適用されるものであり、一連の要素を備えるプロセス、方法、製品、または装置がこれらの要素のみを含むのではなく、明らかには列挙されていない、またはそのようなプロセス、方法、製品、または装置に固有の他の要素も含むことができる。10

【図面の簡単な説明】

【0024】

本発明は例を通して示され、そして添付の図によって制限されるものではなく、これらの図では、同様の参照記号は同様の構成要素を指す。

【図1】本発明の一の実施形態による基板の断面図を示し、この基板は、当該基板を覆うゲート誘電体層を有する。

【図2】本発明の一の実施形態による図1の基板、及び基板の上に位置合わせされる刻印マスクの断面図。20

【図3】本発明の一の実施形態による、刻印マスクを押圧した後の図2の基板、及び基板の或る領域の上に形成される、結果として得られる阻止層の断面図。

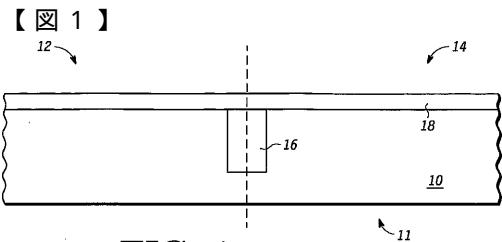
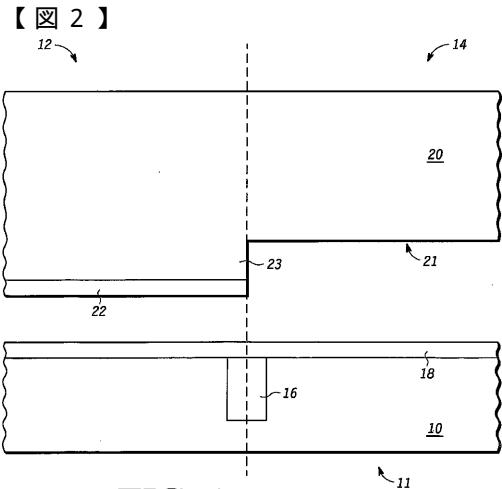
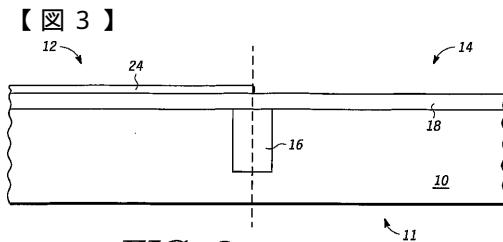
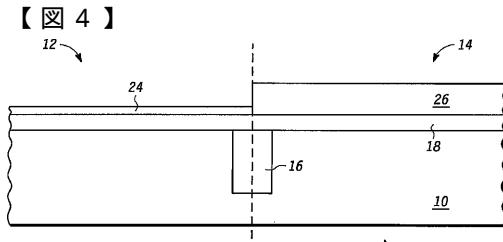
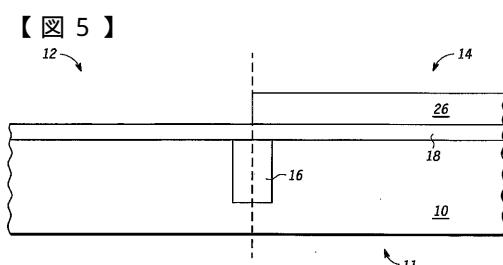
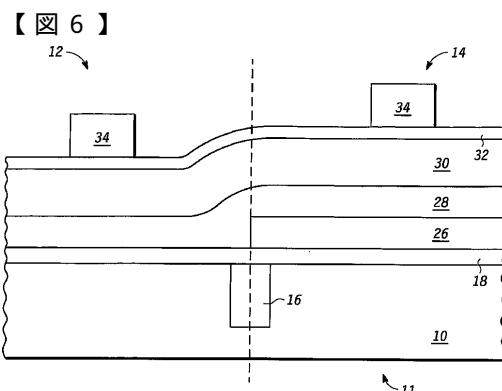
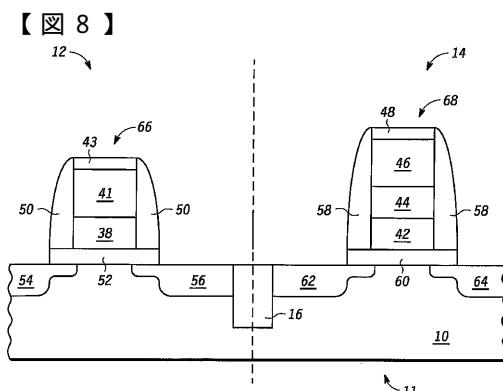
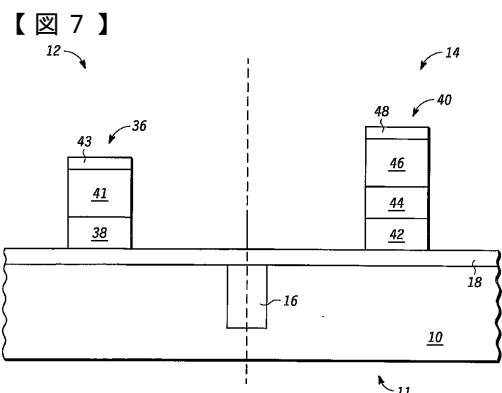
【図4】本発明の一の実施形態による、第1金属層を選択的に堆積させた後の図3の基板の断面図。

【図5】本発明の一の実施形態による、阻止層を除去した後の図4の基板の断面図。

【図6】本発明の一の実施形態による、第2金属材料ゲート層、ポリシリコンゲート層、反射防止コーティング（ARC）層、及びパターニング済みマスク層を形成した後の図5の基板の断面図。

【図7】本発明の一の実施形態による、ゲート電極積層構造をパターニング済みマスク層を使用して形成した後の、かつパターニング済みマスク層を除去した後の図6の基板の断面図。30

【図8】本発明の一の実施形態による、2つのほぼ完成した素子を基板の異なる領域の内部に形成した後の図7の基板の断面図。

**FIG. 1****FIG. 2****FIG. 3****FIG. 4****FIG. 5****FIG. 6****FIG. 8****FIG. 7**

フロントページの続き

(51)Int.Cl. F I

H 01 L	29/49	(2006.01)	H 01 L	29/78	6 1 7 L
H 01 L	29/786	(2006.01)	H 01 L	29/78	6 1 7 J

(72)発明者 マイケルソン、リン エム.

アメリカ合衆国 7 8 7 2 7 テキサス州 オースティン ランブライト ビレッジ アベニュー
1 3 3 2 8

(72)発明者 ユー、キャスリーン シー.

アメリカ合衆国 7 8 7 2 3 テキサス州 オースティン グリーンブルック パークウェイ 1
9 0 9

(72)発明者 ジョーンズ ジュニア、ロバート イー.

アメリカ合衆国 7 8 7 5 0 テキサス州 オースティン ブルックウッド サークル 1 1 9 0
9

審査官 松本 陶子

(56)参考文献 特開2003-142601(JP,A)

特開2002-359295(JP,A)

特表2005-536877(JP,A)

特表2004-503932(JP,A)

特表2006-523037(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8238

H01L 21/28

H01L 21/285

H01L 27/092

H01L 29/423

H01L 29/49

H01L 29/786