

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 4 区分

【発行日】平成22年8月19日(2010.8.19)

【公開番号】特開2009-123298(P2009-123298A)

【公開日】平成21年6月4日(2009.6.4)

【年通号数】公開・登録公報2009-022

【出願番号】特願2007-297479(P2007-297479)

【国際特許分類】

G 1 1 C 16/02 (2006.01)

G 0 6 F 12/00 (2006.01)

G 1 1 C 16/04 (2006.01)

【F I】

G 1 1 C 17/00 6 0 1 Z

G 0 6 F 12/00 5 7 1 A

G 1 1 C 17/00 6 0 1 T

G 1 1 C 17/00 6 2 1 Z

【手続補正書】

【提出日】平成22年7月2日(2010.7.2)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 C P U 及び上記第 1 C P U とは異なる第 2 C P U によりクロック信号に従ってアクセス可能な不揮発性半導体メモリを含む半導体集積回路装置であって、

上記不揮発性半導体メモリは、複数のワード線と、

上記複数のワード線に交差するように配置された複数のビット線と、

上記ワード線と上記ビット線とに結合され、それぞれデータを格納可能な複数の不揮発性メモリセルと、

上記第 1 C P U 又は上記第 2 C P U から伝達された X アドレス信号をデコードして、上記複数のワード線から 1 本を選択するためのワード線選択信号を形成する X デコーダと、

上記 X デコーダ回路からのワード線選択信号に基づいて、対応する上記ワード線を選択レベルに駆動するためのワードドライバと、

上記第 1 C P U 又は上記第 2 C P U から伝達された Y アドレス信号をデコードして、上記複数のビット線から 1 本を選択するためのビット線選択信号を形成する Y デコーダと、

上記不揮発性メモリセルから上記ビット線に出力された信号を増幅するためのセンスアンプと、

上記 Y デコーダからのビット線選択信号に基づいて、対応する上記ビット線を選択的に上記センスアンプに接続可能な Y 選択回路と、

上記センスアンプの出力信号を上記第 1 C P U 又は上記第 2 C P U に出力するための出力回路と、

上記 X デコーダの後段に配置され、上記 X デコーダの出力信号を保持して上記ワードドライバに伝達可能な第 1 ラッチ回路と、

上記 Y デコーダの後段に配置され、上記 Y デコーダの出力信号を保持して上記 Y 選択回路に伝達可能な第 2 ラッチ回路と、

上記センスアンプの後段に配置され、上記センスアンプの出力信号を保持して上記出力

回路に伝達可能な第3ラッチ回路と、

上記第1CPUから伝達されたXアドレス信号及びYアドレス信号が入力される第1ノードと上記第2CPUから伝達されたXアドレス信号及びYアドレス信号が入力される第2ノードとを有するアドレス選択回路とを含み、

上記アドレス選択回路は、上記クロック信号の遅延によって生成される第3制御信号に従って上記第1ノード又は上記第2ノードの一方が選択されることによりXアドレス信号とYアドレス信号を上記Xデコーダと上記Yデコーダに出力する、半導体集積回路装置。

【請求項2】

上記第1CPU又は上記第2CPUから伝達されたアドレス信号におけるXアドレス信号が上記Xデコーダでデコードされた後に、上記第1ラッチ回路により上記ワード線選択信号がラッチされ、上記第1ラッチ回路にラッチされた上記ワード線選択信号に従って、上記ワードドライバにより、上記ワード線が選択レベルに駆動される請求項1記載の半導体集積回路装置。

【請求項3】

上記第1CPU又は上記第2CPUから伝達されたアドレス信号におけるYアドレス信号が上記Yデコーダでデコードされた後に、上記第2ラッチ回路により上記ビット線選択信号がラッチされ、上記第2ラッチ回路にラッチされた上記ビット線選択信号に従って、上記Y選択回路により、対応する上記ビット線が選択的に上記センスアンプに結合される請求項1記載の半導体集積回路装置。

【請求項4】

上記不揮発性メモリセルから上記ビット線に出力された信号が上記センスアンプで増幅された後、上記第3ラッチ回路により、上記センスアンプの出力信号がラッチされ、ラッチされた信号が上記出力回路を介して上記第1CPU又は上記第2CPUに出力される請求項1記載の半導体集積回路装置。

【請求項5】

上記第1CPUから伝達されたアドレス信号におけるXアドレス信号が上記Xデコーダでデコードされ、上記第1ラッチ回路により上記ワード線選択信号がラッチされた後に上記ワードドライバによりワード線が駆動され、このワード線駆動と並行して、第2CPUから伝達されたアドレス信号におけるXアドレス信号が上記Xデコーダでデコードされる請求項2記載の半導体集積回路装置。

【請求項6】

上記第1CPUから伝達されたアドレス信号におけるYアドレス信号が上記Yデコーダでデコードされ、上記第2ラッチ回路により上記ビット線選択信号がラッチされた後に、上記Y選択回路により、対応する上記ビット線が選択的に上記センスアンプに結合され、このビット線とセンスアンプとの結合と並行して、上記第2CPUから伝達されたアドレス信号におけるYアドレス信号が上記Yデコーダでデコードされる請求項3記載の半導体集積回路装置。

【請求項7】

上記第1CPUから伝達されたアドレス信号のデコード結果に従って読み出されたデータが上記第3ラッチ回路でラッチされた後に、上記出力回路から第1CPUへのデータ出力と並行して、第2CPUから伝達されたアドレス信号のデコード結果のラッチ、上記ワード線の駆動、上記ビット線と上記センスアンプとの結合、及び上記センスアンプによる信号増幅が行われる請求項4記載の半導体集積回路装置。

【請求項8】

上記不揮発性半導体メモリは、上記第1CPUからのアドレス信号取り込みを可能とする第1ポートと、

上記第1ポートを介して取り込まれたアドレス信号を保持可能な第1アドレスラッチと

、

上記第2CPUからアドレス信号の取り込みを可能とする第2ポートと、

上記第2ポートを介して取り込まれたアドレス信号を保持可能な第2アドレスラッチと

、

上記第 1 アドレスラッチに保持されているアドレス信号のデコードが完了された後に、上記第 2 アドレスラッチに保持されているアドレス信号のデコードを開始させるための制御信号を形成する制御回路と、を含む請求項 1 記載の半導体集積回路装置。

【請求項 9】

上記不揮発性半導体メモリは、上記第 1 CPU から伝達されたアドレス信号のデコード結果に従って読み出されたデータが上記第 3 ラッチ回路でラッチされた後に、上記出力回路から第 1 CPU へのデータ出力と並行して、第 2 CPU から伝達されたアドレス信号のデコード結果のラッチ、上記ワード線の駆動、上記ビット線と上記センスアンプとの結合、及び上記センスアンプによる信号増幅を行うための制御信号を形成する制御回路を含む請求項 7 記載の半導体集積回路装置。

【請求項 10】

上記第 1 CPU と、上記第 2 CPU と、上記不揮発性半導体メモリとが一つの半導体基板に形成された請求項 1 記載の半導体集積回路装置。

【請求項 11】

上記第 1 CPU 及び上記第 2 CPU と、上記不揮発性半導体メモリとの間には、上記第 1 CPU と上記第 2 CPU とによって共有される共有アドレスバスと、

上記第 1 CPU による上記共有アドレスバスの使用権と、上記第 2 CPU による上記共有アドレスバスの使用権と競合を調停するための調停回路と、が配置される請求項 10 記載の半導体集積回路装置。

【請求項 12】

上記第 1 CPU 及び上記第 2 CPU と、上記不揮発性半導体メモリとの間には、上記第 1 CPU と上記第 2 CPU とによって共有され、バスクロック信号の立ち上がり及び立ち下りの両エッジに同期して駆動される共有アドレスバスと、

上記第 1 CPU 及び上記第 2 CPU から出力されたアドレス信号を上記バスクロック信号に等しい周波数で多重化し、上記共有アドレスバスを介して上記不揮発性半導体メモリに送出するためのアドレス選択回路と、が配置される請求項 10 記載の半導体集積回路装置。

【請求項 13】

上記不揮発性半導体メモリからの読み出しデータを上記第 1 CPU に伝達するための第 1 データバスと、

上記不揮発性半導体メモリからの読み出しデータを上記第 2 CPU に伝達するための第 2 データバスと、を含み、

上記不揮発性半導体メモリから上記第 1 CPU へのデータ伝達と、上記不揮発性半導体メモリから上記第 2 CPU へのデータ伝達とが並行して行われる請求項 10 記載の半導体集積回路装置。

【請求項 14】

上記不揮発性半導体メモリと上記第 1 CPU との間には、上記不揮発性半導体メモリから出力されたデータを順次取り込んで、それを取り込み順に上記第 1 CPU に出力可能な第 1 バッファメモリが配置され、

上記不揮発性半導体メモリと上記第 2 CPU との間には、上記不揮発性半導体メモリから出力されたデータを順次取り込んで、それを取り込み順に上記第 2 CPU に出力可能な第 2 バッファメモリが配置される請求項 13 記載の半導体集積回路装置。

【請求項 15】

上記第 1 CPU と上記第 2 CPU とによって共有されるデータバスと、

上記不揮発性半導体メモリから上記バスを介して出力されたデータを順次取り込んで、それを取り込み順に単一のバスクロックサイクル内で上記第 1 CPU 及び上記第 2 CPU に出力可能なバッファメモリと、が配置される請求項 10 記載の半導体集積回路装置。

【請求項 16】

上記不揮発性メモリセルは、半導体基板とメモリゲートとの間に、シリコン酸化膜、シ

リコン窒化膜、シリコン酸化膜の積層膜が配置されて成る請求項 1 記載の半導体集積回路装置。