



(12)发明专利申请

(10)申请公布号 CN 107305786 A

(43)申请公布日 2017.10.31

(21)申请号 201610239932.0

(22)申请日 2016.04.18

(71)申请人 华邦电子股份有限公司

地址 中国台湾台中市大雅区科雅一路8号

(72)发明人 山内一贵 须藤直昭

(74)专利代理机构 北京同立钧成知识产权代理  
有限公司 11205

代理人 马雯雯 藏建明

(51)Int.Cl.

G11C 16/34(2006.01)

G11C 29/42(2006.01)

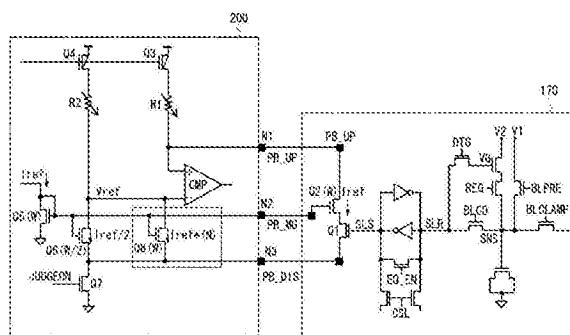
权利要求书1页 说明书14页 附图12页

(54)发明名称

非易失性半导体存储装置

(57)摘要

本发明提供一种非易失性半导体存储装置。用于判定疑似合格的判定电路(200)经由配线(PB\_UP)、配线(PB\_MG)、配线(PB\_DIS)而与多个页面缓冲器/读出电路(170)连接。页面缓冲器/读出电路(170)包含当编程校验为不合格时，经由晶体管(Q1)流动基准电流(Iref)的晶体管(Q2)。判定电路(200)包含比较器(CMP)，对比较器(CMP)的其中一个输入端子供给配线(PB\_UP)的电压，对另一个输入端子供给基准电压(Vref)。基准电压(Vref)由与判定疑似合格的不合格位数(N)相应的数量的基准电流(Iref\*N)生成。本发明不仅可全部位判定，还可进行疑似合格的判定。



1. 一种非易失性半导体存储装置,其特征在于,包括:

存储器阵列;

多个数据保持电路,所述多个数据保持电路中,各所述数据保持电路包含经由位线连接于所述存储器阵列且在选择页面保持应编程的数据的电路、及在编程校验时输出校验的合格与否的输出电路;以及

判定电路,连接于所述多个数据保持电路的各所述输出电路,判定所述多个数据保持电路的校验结果是否为所容许的不合格位数,

所述判定电路包括:第一电路,生成与所述多个数据保持电路的校验的合格与否相应的检测电压;第二电路,生成基准电压;及比较电路,比较所述检测电压与所述基准电压,所述比较电路输出表示由所述多个数据保持部件所得的校验结果是否为所述所容许的不合格位数的信号。

2. 根据权利要求1所述的非易失性半导体存储装置,其特征在于,所述第二电路生成与所述所容许的不合格位数相应的所述基准电压。

3. 根据权利要求2所述的非易失性半导体存储装置,其特征在于,所述第二电路通过与所述所容许的不合格位数相应的数量的基准电流来生成所述基准电压。

4. 根据权利要求3所述的非易失性半导体存储装置,其特征在于,所述第二电路包含多个流动所述基准电流的晶体管,所述第二电路与所述所容许的不合格位数相应地选择多个所述晶体管中进行动作的晶体管的数量。

5. 根据权利要求3或4所述的非易失性半导体存储装置,其特征在于,所述数据保持电路的输出电路包含当校验结果为不合格时流动与所述第二电路的所述基准电流相等的电流的晶体管,所述第一电路通过与不合格位数相应的数量的所述基准电流来生成所述检测电压。

6. 根据权利要求1所述的非易失性半导体存储装置,其特征在于,所述第二电路通过预先决定的数量的基准电流来生成所述基准电压,所述第一电路使用数量少于所述预先决定的数量的所述基准电流来生成所述检测电压。

7. 根据权利要求1所述的非易失性半导体存储装置,其特征在于,所述第一电路包含供给电路,所述供给电路供给与所述所容许的不合格位数相应的数量的基准电流,由所述第一电路生成的所述检测电压为与由所述供给电路供给的所述基准电流相应的值。

8. 根据权利要求7所述的非易失性半导体存储装置,其特征在于,所述供给电路包含多个流动所述基准电流的晶体管,所述供给电路与所述所容许的不合格位数相应地选择多个所述晶体管中进行动作的晶体管的数量。

9. 根据权利要求1至4中任一项所述的非易失性半导体存储装置,其特征在于,所述所容许的不合格位数是与能够通过差错检测-校正部件来修复的位数相应地来决定。

10. 根据权利要求9所述的非易失性半导体存储装置,其特征在于,当所述差错检测-校正部件以选择页面的扇区为单位来运行时,所述判定电路以扇区为单位连接于所述多个数据保持电路。

## 非易失性半导体存储装置

### 技术领域

[0001] 本发明涉及一种非易失性半导体存储装置,尤其涉及一种与非(NAND)型快闪存储器的编程。

### 背景技术

[0002] 在NAND型快闪存储器中,通过反复进行数据的编程或擦除,因穿隧绝缘膜的劣化而导致电荷保持特性恶化,或因由穿隧绝缘膜所捕获的电荷而产生阈值变动,从而引起位差错(bit error)。专利文献1(日本专利特开2010-152989号公报)中作为此种位差错对策而搭载有差错检测校正(Error Checking Correction,ECC)电路。另外,专利文献2(日本专利特开2008-165805号公报)中,揭示有一种关于在一个存储胞元存储多位(multibit)的数据的NAND型快闪存储器的多位的数据的差错校正方案。进而,专利文献3(日本专利特开2010-79486号公报)中,揭示有一种快闪存储器,将校正的差错数为阈值以上的物理块作为警告块(warning block)而登记至表(table),在数据写入时降低警告块的选择的优先位次。

#### [0003] [发明所要解决的问题]

[0004] 在以芯片搭载ECC电路的NAND型快闪存储器中,当将自外部输入/输出端子输入的应编程的数据加载至页面缓冲器/读出(sense)电路时,应编程的数据被转送至ECC电路,ECC电路130进行应编程的数据的运算,并生成用以差错检测-校正的差错校正符号,将差错校正符号写回至页面缓冲器/读出电路的规定区域。而且,在存储器阵列的选择页面对由页面缓冲器/读出电路所保持的应编程的数据及差错校正符号进行编程。

[0005] 图1为现有的编程动作的流程。对位线设定与编程数据相应的电压,且对选择页面施加编程脉冲(S10),其次,进行选择页面的编程校验(verify)(S20),从而判定选择页面的所有存储胞元的编程是否合格(S30)。在判定编程为合格的情况下,编程结束。另一方面,于存在不合格的存储胞元的情况下,判定编程脉冲的施加次数是否达到NMAX(S40)。所谓NMAX,是指编程所容许的最大时间或编程所容许的最大编程脉冲的施加次数。在达到NMAX的情况下,将编程失败的状态告知于外部的控制器,且将所述块作为坏块(bad block)而进行管理。若未达到NMAX,则依据增量步进编程脉冲(Incremental Step Program Pulse,ISPP),生成比上一次的编程脉冲大 $\Delta V$ 的具有步进电压(step voltage)的编程脉冲(S50),从而将该编程脉冲施加至选择页面。

[0006] 在未利用搭载于外部的控制器等的ECC功能、或者未搭载ECC的快闪存储器中,编程校验的合格是以所有位的合格为前提。与此相对,在利用搭载于外部的控制器等的ECC功能、或者芯片搭载有ECC的快闪存储器中,即便在校验中存在一部分的不合格位(“0”编程不合格的存储胞元),也能够通过以ECC修复所述情况来视作疑似合格。例如,若能够通过ECC来进行m位的差错检测-校正,则理论上可最大修复m位的不合格位。在进行选择页面的读出的情况下,选择页面中所包含的不合格位作为差错而被检测出,对该数据进行校正。通过进行疑似合格的判定,减少编程失败或坏块,使良率提高,进而通过抑制编程脉冲的施加次

数,可减少编程干扰。

[0007] 然而,在现有的快闪存储器的编程校验中,是对选择页面的所有位是否合格进行判定的全部位判定的电路构成,无法进行疑似合格的判定。图2表示现有的全部位判定的电路构成。例如,当页面缓冲器/读出电路的尺寸为2kB时,在校验判定线VL与节点(node)N之间并联连接供给锁存(latch)电路的节点SLS\_0、节点SLS\_1、节点SLS\_2、…节点SLS\_2048×8的校验用晶体管,进而在节点N与GND之间连接用以使编程校验使能(JUDGEON为高电平(H电平))的晶体管。在编程校验时,对校验判定线VL供给H电平的电压,当选择页面的所有位为合格时,所有的锁存电路的节点SLS\_0、节点SLS\_1、节点SLS\_2、…节点SLS\_2048×8成为低电平(L电平),校验判定线VL维持H电平。但是,当存在即便一个不合格位时,节点SLS\_0、节点SLS\_1、节点SLS\_2、…节点SLS\_2048×8的其中之一成为H电平,相对应的校验用晶体管导通,校验判定线VL成为L电平。因此,在进行全部位判定的电路中无法进行疑似合格的判定。

## 发明内容

[0008] 本发明为解决此种现有的问题的发明,且目的在于提供一种可进行疑似合格的判定的非易失性半导体存储装置。

[0009] [解决问题的技术手段]

[0010] 本发明的非易失性半导体存储装置包括:存储器阵列;多个数据保持电路,所述多个数据保持电路中,各数据保持电路包含经由位线连接于所述存储器阵列且在选择页面保持应编程的数据的电路、及在编程校验时输出校验的合格与否的输出电路;以及判定电路,连接于所述多个数据保持电路的各输出电路,判定所述多个数据保持电路的校验结果是否为所容许的不合格位数,且所述判定电路包括:第一电路,生成与所述多个数据保持电路的校验的合格与否相应的检测电压;第二电路,生成基准电压;比较电路,比较所述检测电压与所述基准电压,所述比较电路输出表示由所述多个数据保持部件所得的校验结果是否为所容许的不合格位数的信号。

[0011] 优选的是,所述第二电路生成与所述所容许的不合格位数相应的基准电压。优选的是,所述第二电路通过与所述所容许的不合格位数相应的数量的基准电流来生成所述基准电压。优选的是,所述第二电路包含多个流动所述基准电流的晶体管,所述第二电路与所述所容许的不合格位数相应地选择多个所述晶体管中进行动作的晶体管的数量。优选的是,所述数据保持电路的输出电路包含当校验结果为不合格时流动与所述第二电路的基准电流相等的电流的晶体管,所述第一电路通过与不合格位数相应的数量的基准电流来生成所述检测电压。优选的是,所述第二电路通过预先决定的数量的基准电流来生成所述基准电压,所述第一电路使用数量少于所述预先决定的数量的基准电流来生成所述检测电压。优选的是,所述第一电路包含供给电路,所述供给电路供给与所述所容许的不合格位数相应的数量的基准电流,由所述第一电路生成的所述检测电压为与由所述供给电路供给的基准电流相应的值。优选的是,所述供给电路包含多个流动所述基准电流的晶体管,所述供给电路与所述所容许的不合格位数相应地选择多个所述晶体管中进行动作的晶体管的数量。优选的是,所述所容许的不合格位数是与能够通过差错检测-校正部件来修复的位数相应地来决定。优选的是,当所述差错检测-校正部件以选择页面的扇区为单位来运行时,所述

判定电路以扇区为单位连接于多个数据保持电路。

[0012] [发明的效果]

[0013] 根据本发明，设置对多个数据保持电路的校验结果是否为所容许的不合格位数进行判定的判定电路，故除全部位判定外还可进行疑似合格的判定。

## 附图说明

- [0014] 图1为对现有的快闪存储器的编程动作进行说明的流程图；
- [0015] 图2为表示现有的编程校验的全部位判定的电路的图；
- [0016] 图3为表示本发明的实施例中的NAND型快闪存储器的整体的概略构成的图；
- [0017] 图4为表示本发明的实施例中的存储胞元阵列的NAND串的构成的电路图；
- [0018] 图5为对本发明的实施例中的编程动作进行说明的流程图；
- [0019] 图6为对本发明的实施例的编程动作时的普通区域的ECC处理进行说明的图；
- [0020] 图7为对本发明的实施例的编程动作时的备用区域的ECC处理进行说明的图；
- [0021] 图8为表示本发明的实施例中的判定疑似合格的判定电路与页面缓冲器/读出电路的连接关系的图；
- [0022] 图9为表示本发明的第一实施例中的判定电路与页面缓冲器/读出电路的构成的图；
- [0023] 图10为表示本发明的第一实施例中的选择进行动作的晶体管的数量的方法的图；
- [0024] 图11为表示本发明的第二实施例中的判定电路与页面缓冲器/读出电路的构成的图；
- [0025] 图12为表示本发明的第二实施例中的判定电路中的基准电压Vref与配线PB\_UP的电压的关系的图；
- [0026] 图13为表示本发明的第二实施例的变形例中的判定电路与页面缓冲器/读出电路的构成的图；
- [0027] 图14为表示本发明的第三实施例中的判定电路与页面缓冲器/读出电路的构成的图；
- [0028] 图15为表示本发明的第三实施例中的供给电路的图；
- [0029] 图16为表示本发明的第三实施例中的判定电路中的基准电压Vref与配线PB\_UP的电压的关系的图。
- [0030] 附图标记：
- [0031] 100：快闪存储器
- [0032] 110：存储器阵列
- [0033] 120、120-0、120-1、120-7：输入/输出缓冲器
- [0034] 130：ECC电路
- [0035] 140：地址寄存器
- [0036] 150：控制部
- [0037] 160：字线选择电路
- [0038] 170、170\_1、170\_2、170\_3、170\_256×8：页面缓冲器/读出电路
- [0039] 180：列选择电路

- [0040] 190:内部电压产生电路
- [0041] 200、200A、200C:判定电路
- [0042] 210、210A:供给电路
- [0043] 300:普通区域
- [0044] 310:备用区域
- [0045] 311、312、313、314、315:区域
- [0046] Ax:行地址信息
- [0047] Ay:列地址信息
- [0048] BLCD、BLCLAMP、BLPRE、CSL、DTG、EQ\_EN、Q1、Q2、Q3、Q4、Q5、Q6、Q7、Q8、Q8\_1、Q8\_2、Q9、Q10、Q11、Q20、Q21、Q22、Q23、REG、VG:晶体管
- [0049] BLK(0)、BLK(1)、BLK(m-1):存储块
- [0050] CMP:比较器
- [0051] EN\_1、EN\_2:使能信号
- [0052] GBL0、GBL1、GBLn-1、GBLn:位线
- [0053] Iref:基准电流
- [0054] MC0~MC31:存储胞元
- [0055] N、N1、N2、N3、SLS\_0、SLS\_1、SLS\_2、SLS\_2048×8:节点
- [0056] NU:串单元
- [0057] P-0~P-7:外部输入/输出端子
- [0058] PB\_DIS、PB\_MG、PB\_UP:配线
- [0059] R1、R2:可变电阻
- [0060] S10、S20、S30、S40、S50、S100、S110、S120、S130、S140、S150、S160:步骤
- [0061] SGD、SGS:选择栅极线
- [0062] SL:源极线
- [0063] SLR、SLS:锁存节点
- [0064] SNS:读出节点
- [0065] TD:位线侧选择晶体管
- [0066] TS:源极线侧选择晶体管
- [0067] V1、V2:电压供给部
- [0068] Vers:擦除电压
- [0069] VL:校验判定线
- [0070] Vpass:通过电压
- [0071] Vpgm:写入电压(编程电压)
- [0072] Vread:读出通过电压
- [0073] Vref:基准电压
- [0074] W:尺寸
- [0075] WL0、WL1、WL2、WL31:字线
- [0076] Δ VF、Δ VP:电压差(范围电压)

## 具体实施方式

[0077] 其次,参照附图来详细说明本发明的实施形态。此处,例示NAND型的快闪存储器作为优选形态。再者,应留意的是,附图中,为了便于理解而强调表示了各部分,与实际元件的比例(scale)并不相同。

[0078] [实施例]

[0079] 将本发明的实施例中的快闪存储器的典型构成示于图3。但是,此处所示的快闪存储器的构成为例示,本发明未必限定于此种构成。本实施例的快闪存储器100包含以下而构成:存储器阵列110,其中多个存储胞元排列成矩阵状;输入/输出缓冲器120,连接于外部输入/输出端子I/O,保持输入/输出数据;ECC电路130,进行在存储器阵列110中进行编程的数据或自存储器阵列110读出的数据的差错检测·校正;地址寄存器(address register)140,接收来自输入/输出缓冲器120的地址数据;控制部150,接收来自输入/输出缓冲器120的命令数据或来自外部的控制信号来控制各部;字线选择电路160,自地址寄存器140接收行地址信息Ax,对行地址信息Ax进行解码(decode),并基于解码结果来进行块的选择及字线的选择等;页面缓冲器/读出电路170,保持自由字线选择电路160所选择的页面读出的数据,或保持针对所选择的页面的写入数据;列选择电路180,自地址寄存器140接收列地址信息Ay,对列地址信息Ay进行解码,并基于该解码结果来进行页面缓冲器/读出电路170内的数据的选择等;以及内部电压产生电路190,生成数据的读出、编程及擦除等所需的各种电压(写入电压Vpgm、通过电压Vpass、读出通过电压Vread、擦除电压Vers等)。

[0080] 存储器阵列110具有沿列方向配置的m个存储块BLK(0)、存储块BLK(1)、…、存储块BLK(m-1)。接近存储块BLK(0)配置有页面缓冲器/读出电路170。在一个存储块中,例如如图4所示,形成多个将多个存储胞元串联连接而成的NAND串单元NU,在一个存储块内沿行方向排列有n+1个串单元NU。串单元NU包含:串联连接的多个存储胞元MCi(i=0、1、…、31);连接于作为其中一个端部的存储胞元MC31的漏极侧的选择晶体管TD;以及连接于作为其中一个端部的存储胞元MC0的源极侧的选择晶体管TS,选择晶体管TD的漏极连接于位线GBL0~GBLn中相对应的一条位线,选择晶体管TS的源极连接于共用的源极线SL。

[0081] 存储胞元MCi的控制栅极连接于字线WLi,选择晶体管TD、选择晶体管TS的栅极连接于与字线WLi并排的选择栅极线SGD、选择栅极线SGS。当字线选择电路160基于行地址信息Ax或经转换的地址信息来选择块时,经由块的选择栅极线SGS、选择栅极线SGD而选择性地对选择晶体管TD、选择晶体管TS进行驱动。图4表示典型的串单元的构成,但串单元也可在NAND串内包含一个或多个虚设胞元。

[0082] 典型的是,存储胞元具有金属氧化物半导体(Metal Oxide Semiconductor,MOS)结构,该MOS结构包括:作为N型扩散区域的源极/漏极,形成在P阱内;穿隧氧化膜,形成在源极/漏极间的沟道上;浮动栅极(floating gate)(电荷蓄积层),形成在穿隧氧化膜上;以及控制栅极,经由电介质膜而形成在浮动栅极上。当在浮动栅极中未蓄积电荷时,即写入有数据“1”时,阈值处于负状态,存储胞元为常通(normally on)。当浮动栅极中蓄积有电荷时,即写入有数据“0”时,阈值转变(shift)为正,存储胞元为常关(normally off)。但是,存储胞元可为存储1位(二进制数据)的单层胞元(Single Level Cell,SLC)型,也可为存储多位的多层胞元(Multi-level Cell,MLC)型。

[0083] 表1为表示在快闪存储器进行各动作时施加的偏电压的一例的表。在读出动作时,对位线施加某正电压,对所选择的字线施加某电压(例如0V),对非选择字线施加通过电压Vpass(例如4.5V),对选择栅极线SGD、选择栅极线SGS施加正电压(例如4.5V),使位线侧选择晶体管TD、源极线侧选择晶体管TS导通,对共用源极线施加0V。在编程(写入)动作时,对所选择的字线施加高电压的编程电压Vpgm(15V~20V),对非选择的字线施加中间电位(例如10V),使位线侧选择晶体管TD导通,使源极线侧选择晶体管TS断开,将与数据“0”或数据“1”相应的电位供给至位线GBL。在擦除动作时,对块内的所选择的字线施加0V,对P阱施加高电压(例如21V),将浮动栅极的电子抽出至基板,由此以块为单位来擦除数据。

	擦除	写入	读出
[0084]	选择字线	0	15~20V
	非选择字线	F	10V
	SGD	F	Vcc
	SGS	F	0
	SL	F	Vcc
	P阱	21	0

[0085] 表1

[0086] 当在编程动作时经由输入/输出缓冲器120而输入数据(应编程的数据)Di被加载至页面缓冲器/读出电路170时,ECC电路130对自页面缓冲器/读出电路170转送的输入数据Di进行运算,来生成编程数据的差错检测校正所需的差错校正符号或奇偶检验位(parity bit)。ECC的运算例如利用汉明码(Hamming code)或里德·索罗门(Reed-Solomon)等公知的方法来进行,将所输入的k位或k字节的输入数据Di转换为p=k+q。“q”为输入数据Di的差错检测校正所需的差错校正符号或奇偶检验位。在一优选例中,ECC电路130将差错校正符号设置于页面缓冲器/读出电路170的备用区域。如此,在存储器阵列110的选择页面对页面缓冲器/读出电路170中所设置的输入数据Di与差错校正符号进行编程。

[0087] 当在读出动作时自存储器阵列110的选择页面读出的数据由页面缓冲器/读出电路170保持时,ECC电路130基于自页面缓冲器/读出电路170转送的差错校正符号来进行读出数据的差错的检测,在检测出差错的情况下,将校正的数据设置于页面缓冲器/读出电路170。而且,由页面缓冲器/读出电路170所保持的数据经由输入/输出缓冲器120而输出。

[0088] 其次,参照图5的流程来对本发明的实施例中的编程动作进行说明。当控制部150经由输入/输出缓冲器120而接收编程命令时,开始用以编程的序列。输入数据Di被加载至页面缓冲器/读出电路170,继而,利用ECC电路130来进行输入数据Di的ECC处理(S100)。

[0089] 在图6中表示ECC处理的一例。当快闪存储器100具有×8的外部输入/输出端子时,数据自外部输入/输出端子P-0~外部输入/输出端子P-7经由各输入/输出缓冲器120-0~输入/输出缓冲器120-7而被加载至页面缓冲器/读出电路170。页面缓冲器/读出电路170例如具有被分割为扇区0~扇区7这八个扇区的普通区域300,以及被分割为备用0、备用1、备用2、备用3这四个扇区的备用区域310。

[0090] 普通区域300的一个扇区例如由256字节构成,在该情况下,普通区域300的八个扇

区整体可保持约2K字节的编程数据。备用区域310的一个扇区例如由16字节构成,在该情况下,四个扇区(备用0~备用3)整体可保持64字节的数据。备用区域310的一个扇区例如具有:区域311,存储对包含不良存储胞元的坏块进行辨别的信息;区域312,存储与用户数据有关的信息;区域313、区域314,存储关于普通区域300的两个扇区的差错校正符号(奇偶检验位);以及区域315,存储对备用区域310进行ECC运算时的差错校正符号(奇偶检验位)。备用区域310的备用0的区域313、区域314分别存储普通区域300的扇区0、扇区1的差错校正符号(奇偶检验位),备用区域310的备用1的区域313、区域314存储普通区域300的扇区2、扇区3的差错校正符号(奇偶检验位)。同样地,备用区域310的备用2存储普通区域300的扇区4、扇区5的奇偶检验位,备用区域310的备用3存储普通区域300的扇区6、扇区7的奇偶检验位。

[0091] 在普通区域300的一个扇区中分配有输入/输出缓冲器120-0~输入/输出缓冲器120-7,即,在一个外部输入/输出端子中分配有256位( $256\text{bit} \times 8 = 1\text{扇区}$ )。列选择电路180对编程动作时所接收的列地址信息Ay进行解码,并基于该解码结果来选择加载有外部输入/输出端子P-0~外部输入/输出端子P-7中所输入的数据的扇区。图6表示外部输入/输出端子P-0~外部输入/输出端子P-7所接收的数据依据列地址信息Ay而加载至扇区0的例子。

[0092] 在此处所示的例子中,ECC电路130包含用以写入差错校正符号的写入电路。优选的是,ECC电路130可对与普通区域300的一个扇区相等的字节数的数据进行ECC运算。若普通区域300的一个扇区为256字节,则ECC电路对256字节的数据进行ECC运算,例如生成对1位的差错进行校正的差错校正符号。在该情况下,整体的八个扇区可最大校正8位的差错。

[0093] ECC电路130将所生成的差错校正符号写入至备用区域310的相对应的扇区的区域313或区域314。在图6所示的例子中,编程数据被加载至普通区域300的扇区0,故将差错校正符号写入至存储备用0的偶的区域313。

[0094] 图7中例示备用区域310的数据的ECC处理。当对普通区域300的各扇区而结束ECC处理时,继而,对备用区域310的各扇区进行ECC处理。进行备用区域310的一个扇区内所包含的哪个数据的ECC处理是任意的,但在本例中,设为对区域312至区域314的数据进行ECC处理。因此,备用0的区域312至区域314的数据被转送至ECC电路130,通过ECC处理而生成的差错校正符号利用ECC电路130而被写入至备用0的区域315。对其他的备用1至备用3也进行同样的处理。

[0095] 再次参照图5,当ECC处理结束时(S100),开始针对存储器阵列110的编程。利用字线选择电路160而选择存储器阵列110的字线,对位线供给与由页面缓冲器/读出电路170所保持的数据相应的电压,并对选择页面施加编程脉冲(S110)。其次,进行编程校验(S120),检查(check)编程有数据“0”的存储胞元的阈值是否为固定值以上。校验的结果为,若选择页面的所有位合格,则编程结束。

[0096] 在并非所有位为合格的情况下,控制部150判定选择页面是否为疑似合格(S140)。视作疑似合格的最大的不合格位数Np为可通过ECC电路130而修复的最大位数Ncc以下,若校验时的不合格位数、即在选择页面实际产生的不合格位数Nf为疑似合格的最大的不合格位数Np以下( $Nf \leq Np$ ),则判定为疑似合格(S140)。当判定为疑似合格时,编程动作结束,“0”不良的不合格位直接被存储于选择页面。

[0097] 另一方面,当判定为未实现疑似合格时(S140),控制部150判定编程脉冲的施加次数是否达到NMAX(S150),若未达到,则依据ISPP进而将编程脉冲施加至选择页面(S150)。在

编程脉冲的施加次数达到NMAX的情况下,将编程失败的状态告知于外部的控制器,且将包含该选择页面的块作为坏块而进行管理。在该情况下,将作为坏块的辨别信息存储于备用区域的区域311。再者,当进行包含视作疑似合格的不合格位的数据读出时,ECC电路130将不合格位作为差错检测出,并将其校正为正确的数据。

[0098] 其次,对本实施例的编程动作时运行的判定疑似合格的判定电路进行说明。图8为表示判定疑似合格的判定电路与页面缓冲器/读出电路的连接关系的图。在一个优选的实施方式中,当以扇区为单位来进行ECC处理时,在一个扇区中准备一个判定电路200。例如,当如图6所示,一个页面被分割为八个扇区,一个扇区由256字节构成时,一个判定电路连接于一个扇区、即 $256 \times 8$ 个页面缓冲器/读出电路170\_1、页面缓冲器/读出电路170\_2、页面缓冲器/读出电路170\_3~页面缓冲器/读出电路170\_256×8。因此,在一个页面中准备八个判定电路。

[0099] 如图8所示,判定电路200经由节点N1、节点N2、节点N3连接于配线PB\_UP、配线PB\_MG、配线PB\_DIS,这些配线PB\_UP、配线PB\_MG、配线PB\_DIS以 $256 \times 8$ 个页面缓冲器/读出电路170\_1~页面缓冲器/读出电路170\_256×8成为并联的方式共用地连接。当ECC电路130对256字节的数据进行ECC运算时,若例如能够最大修复4位的差错,则判定电路200容许将最大4位的不合格位(数据“0”的编程不良)判定为疑似合格。

[0100] 在其他优选的实施方式中,当ECC处理并非以扇区为单位,而是以页面为单位来进行时,也可在一个页面中准备一个判定电路。在该情况下,一个判定电路将能够由ECC电路修复的差错位的最大值作为能够容许的不合格位来判定是否实现疑似合格。

[0101] 其次,对判定电路的详细情况进行说明。图9表示一个判定电路及与其连接的一个页面缓冲器/读出电路的构成。典型的是,页面缓冲器/读出电路170包含:用以将来自电压供给部V1的电压预充电(precharge)至位线的晶体管BLPRE、用以夹住(clamp)位线的晶体管BLCLAMP、用以使读出节点SNS与锁存节点SLR间的电荷转送成为可能的晶体管BLCD、用以将锁存节点SLR的电位转送至连接于电压供给部V2的晶体管VG的晶体管DTG、以及用以将电压供给部V2结合于读出节点SNS的晶体管REG。例如,当在编程校验等中需要将读出节点SNS自L电平反转为H电平时,晶体管DTG进行动作,或者除此以外,在将读出节点SNS自H电平反转为L电平的情况下,晶体管DTG也进行动作。页面缓冲器/读出电路170进而包含将一对反相器交叉耦合所得的锁存电路,锁存电路包含:用以使节点SLR/SLS等价的晶体管EQ\_EN、用以将节点SLR/SLS结合至数据线的晶体管CSL、结合于节点SLS的晶体管Q1、以及串联连接于晶体管Q1的晶体管Q2。

[0102] 页面缓冲器/读出电路170进而包含用以将编程校验的合格与否的结果输出的电路。该电路包含串联连接于配线PB\_UP与配线PB\_DIS之间的两个NMOS晶体管Q1、NMOS晶体管Q2。对晶体管Q1的栅极供给锁存节点SLS,将配线PB\_MG连接于晶体管Q2的栅极。配线PB\_UP连接于判定电路200的节点N1,配线PB\_MG连接于节点N2,配线PB\_DIS连接于节点N3。如下文所述,晶体管Q2由与晶体管Q5、晶体管Q8相同的尺寸W的晶体管构成,当晶体管Q1导通时,晶体管Q2中流动基准电流Iref。当编程校验为合格时,锁存节点SLS成为L电平,晶体管Q1断开,自配线PB\_UP至配线PB\_DIS中未流动电流,因此配线PB\_UP的电压不发生变动。当编程校验为不合格时,锁存节点SLS成为H电平,晶体管Q1导通,此时晶体管Q2中流动基准电流Iref,因此配线PB\_UP的电压由于基准电流Iref而下降。

[0103] 判定电路200包含：连接于电压供给源的PMOS晶体管Q3、PMOS晶体管Q4、可变电阻R1、可变电阻R2、比较器CMP、NMOS晶体管Q5、NMOS晶体管Q6、NMOS晶体管Q7、NMOS晶体管Q8。PMOS晶体管Q3、PMOS晶体管Q4作为电流源发挥功能，对可变电阻R1、可变电阻R2分别以自可变电阻R1、可变电阻R2输出的电压变得相等的方式进行调整。即，作为初期设定，以配线PB\_UP的电压与基准电压Vref变得相等的方式来调整电阻R1、电阻R2。可变电阻R1的输出、即配线PB\_UP的电压连接于比较器CMP的其中一个输入端子(+)，可变电阻R2的输出、即基准电压Vref连接于比较器CMP的另一个输入端子(-)。比较器CMP比较两个输入电压，输出H电平或L电平的电压。H电平表示疑似合格，L电平表示不合格。

[0104] 晶体管Q5连接于定电流源，流动基准电流Iref。晶体管Q5的栅极连接于节点N2、即配线PB\_MG。晶体管Q6串联连接于可变电阻R2，其栅极连接于节点N2。在晶体管Q6与GND之间串联连接晶体管Q7，对晶体管Q7的栅极供给JUDGEON信号。当进行编程校验时，JUDGEON信号被驱动为H电平，晶体管Q7成为导通状态。晶体管Q6与晶体管Q7的连接节点连接于节点N3、即配线PB\_DIS。此处，晶体管Q6的尺寸(W/2)为晶体管Q5、晶体管Q2的尺寸(W)的一半，因此，当晶体管Q7导通时，晶体管Q6中流动1/2的Iref。

[0105] 晶体管Q8是与通过判定电路200来判定是否为疑似合格的不合格位的数量N相应地来设置。在通过判定电路200来判定是否实现疑似合格的不合格位数为0位的情况下，晶体管Q8事实上并不需要，或者，即便设置有晶体管Q8，晶体管Q8的动作也禁能(disable)(N=0)。若对1位的不合格位是否实现疑似合格进行判定，则需要一个晶体管Q8(N=1)，若对2位的不合格位是否实现疑似合格进行判定，则需要两个并联连接的晶体管Q8(N=2)。可通过判定电路200来判定是否实现疑似合格的不合格位数的最大值为通过ECC电路130所修复的位数的最大值。

[0106] 图9中例示一个晶体管Q8，如上所述，晶体管Q8是与判定是否实现疑似合格的不合格位的数量N相应地来设置。晶体管Q8连接于基准电压Vref与配线PB\_DIS之间，其栅极连接于配线PB\_MG。晶体管Q8的尺寸(W)与晶体管Q5、晶体管Q2为相同尺寸(W)，当晶体管Q7导通时，晶体管Q8中流动基准电流Iref。

[0107] 晶体管Q8是与判定是否为疑似合格的不合格位的数量(N)相应地来准备，也可与N的数量相应地来连接晶体管Q8，使这些晶体管Q8均进行动作，或者，也可自所连接的多个晶体管Q8中任意地选择进行动作的晶体管Q8的数量。图10表示自所连接的晶体管Q8中选择进行动作的晶体管Q8的数量的方法的一例。在基准电压Vref与配线PB\_DIS之间串联连接晶体管Q8\_1与晶体管Q10，进而与这些晶体管并联地串联连接晶体管Q8\_2与晶体管Q11。对晶体管Q10、晶体管Q11的栅极供给使能(enable)信号EN\_1、使能信号EN\_2，当将使能信号EN\_1、使能信号EN\_2驱动为H电平时，晶体管Q8\_1、晶体管Q8\_2以流动基准电流Iref的方式进行动作。通过使使能信号EN\_1或使能信号EN\_2的其中之一为L电平，一个晶体管Q8以流动基准电流Iref的方式进行动作，通过使使能信号EN\_1、使能信号EN\_2的两个为L电平，两个晶体管Q8\_1、晶体管Q8\_2不进行动作。使能信号EN\_1、使能信号EN\_2例如是响应于来自控制部150的控制信号来进行驱动。此处，通过开关晶体管Q10、晶体管Q11而使得能够实现晶体管Q8\_1、晶体管Q8\_2的选择，但也能够较以晶体管Q10、晶体管Q11替换例如保险丝(fuse)的情况而持久地固定所选择的晶体管Q8。

[0108] 其次，对判定电路200的动作进行说明。表2为表示判定电路判定0位、1位或2位的

不合格位的疑似合格时的各部的电流值及电流值的差分的表。

疑似判定	判定合格与否	$I_{ref}(V_{ref})$	$I_{ref}(PB\_UP)$	$\Delta I_{ref}$
[0109] 0位	合格	$I_{ref}/2$	0 (0位不合格)	$+I_{ref}/2$
	不合格		$I_{ref}$ (1位不合格)	$-I_{ref}/2$
1位	合格	$I_{ref}/2+I_{ref}$	$I_{ref}$ (1位不合格)	$+I_{ref}/2$
	不合格		$2I_{ref}$ (2位不合格)	$-I_{ref}/2$
2位	合格	$I_{ref}/2+2I_{ref}$	$2I_{ref}$ (2位不合格)	$+I_{ref}/2$
	不合格		$3I_{ref}$ (3位不合格)	$-I_{ref}/2$

[0110] 表2

[0111] (1)判定0位的不合格位的情况：

[0112] 首先,对0位的不合格位的判定进行说明。其是对所有位的编程是否成功进行判定,在该情况下,晶体管Q8完全不需要,或者,晶体管Q8禁能( $N=0$ )。除对选择字线施加校验电压以外,编程校验与通常的读出动作同样,在所有位的编程成功的情况下,选择存储胞元未导通,所有位线的电位不放电而为经预充电的电位。因此,锁存节点SLS为L电平,晶体管Q1断开,配线PB\_UP的电压不发生变动。另外,校验时,JUDGEON信号被驱动为H电平,晶体管Q7导通,配线PB\_DIS成为GND电平。此时,晶体管Q6中流动 $1/2I_{ref}$ 的电流,因此基准电压 $V_{ref}$ 成为与 $1/2I_{ref}$ 的电压下降相应的值。结果,配线PB\_UP的电压比基准电压 $V_{ref}$ 高 $1/2I_{ref}$ ,因此比较器CMP输出H电平的信号、即合格。

[0113] 另一方面,当存在1位的不合格位时,一个页面缓冲器/读出电路170的锁存节点SLS成为H电平,晶体管Q1导通,晶体管Q2中流动 $I_{ref}$ 的电流。因此,配线PB\_UP的电压成为下降了 $I_{ref}$ 的值。结果,配线PB\_UP的电压比基准电压 $V_{ref}$ 小 $1/2I_{ref}$ ,因此比较器CMP输出L电平的信号、即不合格。

[0114] (2)判定1位的不合格位的情况：

[0115] 在判定1位的不合格位的情况( $N=1$ )下,将一个晶体管Q8配置为能够进行动作的状态。例如,若为图10,则EN\_1被驱动为H电平,EN\_2被驱动为L电平。如上所述,在所有位的编程成功的情况下,晶体管Q1断开,配线PB\_UP的电压不发生变动,在存在1位的不合格位的情况下,一个页面缓冲器/读出电路的晶体管Q1导通,配线PB\_UP的电压下降 $I_{ref}$ 的量。当JUDGEON信号被驱动为H电平,晶体管Q7导通,配线PB\_DIS成为GND电平时,晶体管Q6中流动 $1/2I_{ref}$ 的电流,进而,晶体管Q8中流动 $I_{ref}$ 的电流。因此,基准电压 $V_{ref}$ 成为下降了 $1/2I_{ref}+I_{ref}$ 量的值。结果,配线PB\_UP的电压比基准电压 $V_{ref}$ 高,比较器CMP输出H电平。

[0116] 另一方面,在存在2位的不合格位的情况下,两个页面缓冲器/读出电路的晶体管Q1导通,配线PB\_UP的电压下降 $2 \times I_{ref}$ 。因此,配线PB\_UP的电压变得小于基准电压 $V_{ref}$ ,比较器CMP输出L电平。

[0117] (3)判定2位的不合格位的情况：

[0118] 在判定2位的不合格位的情况( $N=2$ )下,将两个晶体管Q8配置为能够进行动作的

状态。例如,若为图10,则EN\_1被驱动为H电平,EN\_2被驱动为H电平。如上所述,在存在2位的不合格位的情况下,两个页面缓冲器/读出电路的晶体管Q1导通,配线PB\_UP的电压下降 $2 \times I_{ref}$ 的量。当JUDGEON信号被驱动为H电平,晶体管Q7导通,配线PB\_DIS成为GND电平时,晶体管Q6中流动 $1/2 I_{ref}$ 的电流,进而,两个晶体管Q8中流动 $2 \times I_{ref}$ 的电流。因此,基准电压Vref成为下降了 $1/2 I_{ref} + 2 \times I_{ref}$ 的值。结果,配线PB\_UP的电压比基准电压Vref高,比较器CMP输出H电平。

[0119] 另一方面,在存在3位的不合格位的情况下,三个页面缓冲器/读出电路的晶体管Q1导通,配线PB\_UP的电压下降 $3 \times I_{ref}$ 的量。因此,配线PB\_UP的电压变得小于基准电压Vref,比较器CMP输出L电平。

[0120] 如上所述,根据本实施例,判定电路可通过对由与不合格位数相应的基准电流所生成的电压、及由与不合格位数相应的基准电流+ $1/2$ 基准电流所生成的基准电压进行比较,而容易地判定不合格位是否实现疑似合格。

[0121] 其次,对本发明的第二实施例进行说明。将第二实施例的判定电路200A示于图11。在第二实施例中,在0位、1位、2位的不合格位的判定中,固定基准电压Vref。在图中的例子中,连接两个晶体管Q8,基准电压Vref被固定为流动晶体管Q6的 $1/2 I_{ref}$ 与晶体管Q8的 $2 \times I_{ref}$ 时的值。

[0122] 进而,将 $2-N$ 个晶体管Q9连接于配线PB\_UP。晶体管Q9与晶体管Q8为相同尺寸W,流动 $I_{ref}$ 的电流。当判定电路200A使0位的不合格位成为可能时( $N=0$ ),晶体管Q9的数量为两个,两个晶体管Q9并联连接于配线PB\_UP与配线PB\_DIS之间,当晶体管Q7导通时,通过晶体管Q9而自配线PB\_UP至配线PB\_DIS中流动 $2 \times I_{ref}$ 的电流。在判定1位的不合格位的情况( $N=1$ )下,晶体管Q9的数量为一个,流动有 $1 \times I_{ref}$ 的电流,在判定2位的不合格位的情况( $N=2$ )下,晶体管Q9的数量为0。如图10所示,晶体管Q9的数量也可由与两个晶体管Q9串联连接的两个使能用的晶体管来选择。

[0123] 表3为表示在第二实施例的判定电路中,判定0位、1位、2位的不合格位是否实现疑似合格时的各部的电流值的表。

疑似判定	判定合格与否	$I_{ref}(V_{ref})$	$I_{ref}(PB\_UP)$	$\Delta I_{ref}$
0位	合格	$I_{ref}/2+2I_{ref}$	$0I_{ref}+2I_{ref}$ (0位不合格)	$+I_{ref}/2$
	不合格		$1I_{ref}+2I_{ref}$ (1位不合格)	$-I_{ref}/2$
1位	合格		$1I_{ref}+1I_{ref}$ (1位不合格)	$+I_{ref}/2$
	不合格		$2I_{ref}+1I_{ref}$ (2位不合格)	$-I_{ref}/2$
2位	合格		$2I_{ref}+0I_{ref}$ (2位不合格)	$+I_{ref}/2$
	不合格		$3I_{ref}+0I_{ref}$ (3位不合格)	$-I_{ref}/2$

[0125] 表3

[0126] (1)判定0位的不合格位的情况:

[0127] 是对所有位的编程是否成功进行判定,且将基准电压Vref固定为下降了 $1/2 I_{ref}+$

$2 \times I_{ref}$ 量的值。另一方面,通过两个晶体管Q9,  $2 \times I_{ref}$ 的电流经由晶体管Q7而流入至GND,因此配线PB\_UP的电压成为下降了 $2 \times I_{ref}$ 量的值。因此,比较器CMP输出H电平(合格)。假如在存在1位的不合格位的情况下,配线PB\_UP的电压会下降 $2 \times I_{ref} + I_{ref} = 3 \times I_{ref}$ ,变得小于基准电压Vref,故比较器CMP输出L电平(不合格)。

[0128] (2)判定1位的不合格位的情况:

[0129] 与上述同样地,将基准电压Vref固定为下降了 $1/2 I_{ref} + 2 \times I_{ref}$ 量的值。另外,晶体管Q9的数量为一个,因此当存在1位的不合格位时,由于晶体管Q2的Iref与晶体管Q9的Iref,配线PB\_UP的电压下降 $2 \times I_{ref}$ 的量,变得大于基准电压Vref。因此,比较器CMP输出视作合格的H电平。当不合格位为2位时,配线PB\_UP的电压下降 $3 \times I_{ref}$ ,因此变得小于基准电压Vref。因此,比较器CMP输出视作不合格的L电平。

[0130] (3)判定2位的不合格位的情况:

[0131] 与上述同样地,将基准电压Vref固定为下降了 $1/2 I_{ref} + 2 \times I_{ref}$ 量的值。另外,晶体管Q9为 $2-N=0$ 。当存在2位的不合格位时,配线PB\_UP的电压由于晶体管Q2而下降 $2 \times I_{ref}$ 的量,变得大于基准电压Vref。因此,比较器CMP输出视作合格的H电平。当存在3位的不合格位时,配线PB\_UP的电压较晶体管Q2下降 $3 \times I_{ref}$ ,变得小于基准电压Vref。因此,比较器CMP输出视作不合格的L电平。

[0132] 根据第二实施例,由于固定基准电压Vref,因此只要仅在变更晶体管Q9的数量时进行可变电阻R1的调整即可,调整变得容易。另外,图12表示进行0位、1位、2位的疑似合格的判定时的基准电压Vref与配线PB\_UP的电压的关系。由于晶体管Q6、晶体管Q8中流动 $3/2 I_{ref}$ 的电流,因此相较于第一实施例时,基准电压Vref的电压下降变大,由此,基准电压Vref与配线PB\_UP之间的电压差(用于判定的范围(margin))变大,从而抑制误判定( $\Delta VP$ 为用于合格判定的电压差, $\Delta VF$ 为用于不合格判定的电压差)。

[0133] 其次,将第二实施例的变形例示于图13。该变形例中,代替晶体管Q6,可变电阻R2生成 $1/2 I_{ref}$ 。晶体管Q6由于为其他晶体管Q2、晶体管Q5、晶体管Q8、晶体管Q9的尺寸的 $1/2$ 的微细的结构,因此制造并不容易。因此,去除晶体管Q6,并调整可变电阻R2,由此来生成 $1/2 I_{ref}$ 。除此以外的构成与第二实施例时相同。

[0134] 其次,对本发明的第三实施例进行说明。如第二实施例的图12所示,当对1位、2位的不合格位进行疑似判定时,晶体管Q9的基准电流减少,其倾斜变缓,用于判定的范围即电压差 $\Delta VP$ 、电压差 $\Delta VF$ 变小,容易进行误判定。第三实施例对其加以改善。

[0135] 图14为表示第三实施例中的判定电路200C的构成的图。第三实施例的判定电路200C中,将基准电压Vref固定为晶体管Q6的 $1/2 I_{ref}$ 量的值。另一方面,将供给电路210连接于配线PB\_UP,所述供给电路供给与将不合格位判定为疑似合格的位数N相应的基准电流Iref。供给电路210例如可为与晶体管Q5流动同一电流的电流反射镜(current mirror)电路。判定电路200C例如在判定0位的不合格位的情况下,不通过供给电路210供给基准电流Iref,在判定1位的不合格位的情况下,通过供给电路供给 $1 \times I_{ref}$ ,在判定2位的不合格位的情况下,通过供给电路210供给 $2 \times I_{ref}$ 。图15表示供给电路的一例。供给电路210A包含晶体管Q5及由电流反射镜构成的晶体管Q20、晶体管Q21,进而在晶体管Q20、晶体管Q21分别串联连接晶体管Q22、晶体管Q23。晶体管Q22、晶体管Q23通过使能信号EN\_1、使能信号EN\_2受到驱动,当对配线PB\_UP供给 $2 \times I_{ref}$ 时,使能信号EN\_1、使能信号EN\_2被驱动为H电平,当供

给 $1 \times I_{ref}$ 时,使能信号EN\_1或使能信号EN\_2的任一个被驱动为H电平,当不供给 $I_{ref}$ 时,使能信号EN\_1、使能信号EN\_2被驱动为L电平。

[0136] 表4为表示在第三实施例的判定电路中,判定0位、1位、2位的不合格位是否实现疑似合格时的各部的电流值的表。

疑似判定	判定合格与否	$I_{ref}(V_{ref})$	$I_{ref}(PB\_UP)$	$\Delta I_{ref}$
0位	合格	$I_{ref}/2$	$0I_{ref}-0I_{ref}$ (0位不合格)	$+I_{ref}/2$
	不合格		$1I_{ref}-0I_{ref}$ (1位不合格)	$-I_{ref}/2$
1位	合格		$1I_{ref}-1I_{ref}$ (1位不合格)	$+I_{ref}/2$
	不合格		$2I_{ref}-1I_{ref}$ (2位不合格)	$-I_{ref}/2$
2位	合格		$2I_{ref}-2I_{ref}$ (2位不合格)	$+I_{ref}/2$
	不合格		$3I_{ref}-2I_{ref}$ (3位不合格)	$-I_{ref}/2$

[0138] 表4

[0139] (1)判定0位的不合格位的情况:

[0140] 是对所有位的编程是否成功进行判定,且将基准电压 $V_{ref}$ 固定为流经晶体管Q6的下降了 $1/2I_{ref}$ 量的值。另一方面,由于晶体管Q1断开,因此配线PB\_UP的电压不发生变动。结果,比较器CMP输出H电平(合格)。假如在存在1位的不合格位的情况下,配线PB\_UP的电压会由于晶体管Q2而下降 $I_{ref}$ ,变得小于基准电压 $V_{ref}$ ,故比较器CMP输出L电平(不合格)。

[0141] (2)判定1位的不合格位的情况:

[0142] 与上述同样地,由于晶体管Q6中流动的 $1/2I_{ref}$ ,基准电压 $V_{ref}$ 固定。供给电路210对配线PB\_UP供给 $I_{ref}$ 的电流。当存在1位的不合格位时,关于配线PB\_UP的电压,虽然晶体管Q2中流动 $I_{ref}$ ,但供给电路210供给 $I_{ref}$ ,因此放出的电流被供给的电流抵消,事实上配线PB\_UP的电压不发生变动。因此,配线PB\_UP的电压变得大于基准电压 $V_{ref}$ ,比较器CMP输出视作合格的H电平。当不合格位为2位时,关于配线PB\_UP的电压,晶体管Q2中流动 $2 \times I_{ref}$ ,供给电路210供给 $I_{ref}$ ,因此配线PB\_UP的电压事实上下降 $I_{ref}$ 的量,变得小于基准电压 $V_{ref}$ 。因此,比较器CMP输出视作不合格的L电平。

[0143] (3)判定2位的不合格位的情况:

[0144] 由于晶体管Q6中流动的 $1/2I_{ref}$ ,基准电压 $V_{ref}$ 固定。供给电路210对配线PB\_UP供给 $2 \times I_{ref}$ 。当存在2位的不合格位时,关于配线PB\_UP的电压,虽然晶体管Q2中流动 $2 \times I_{ref}$ ,但供给电路210供给 $2 \times I_{ref}$ ,因此放出的电流被抵消,事实上配线PB\_UP的电压不发生变动。因此,配线PB\_UP的电压变得大于基准电压 $V_{ref}$ ,比较器CMP输出视作合格的H电平。当不合格位为3位时,关于配线PB\_UP的电压,晶体管Q2中流动 $3 \times I_{ref}$ ,供给电路210供给 $2 \times I_{ref}$ ,因此配线PB\_UP的电压事实上下降 $I_{ref}$ 的量,变得小于基准电压 $V_{ref}$ 。因此,比较器CMP输出视作不合格的L电平。

[0145] 图16表示通过第三实施例的判定电路200C来进行0位、1位、2位的疑似合格的判定( $N=0, N=1, N=2$ )时的基准电压 $V_{ref}$ 与配线PB\_UP的电压的关系。第三实施例中,当判定1位的不合格位及2位的不合格位时,会对配线PB\_UP供给 $1 \times I_{ref}$ 或 $2 \times I_{ref}$ ,故配线PB\_UP的

电压不会降低,故对于范围电压 $\Delta VP$ 、范围电压 $\Delta VF$ ,能够与0位的不合格判定时同样地进行。

[0146] 以上对本发明的优选实施形态进行了详述,但本发明并不限定于特定的实施形态,在权利要求书所记载的发明的主旨的范围内,能够进行各种变形、改变。

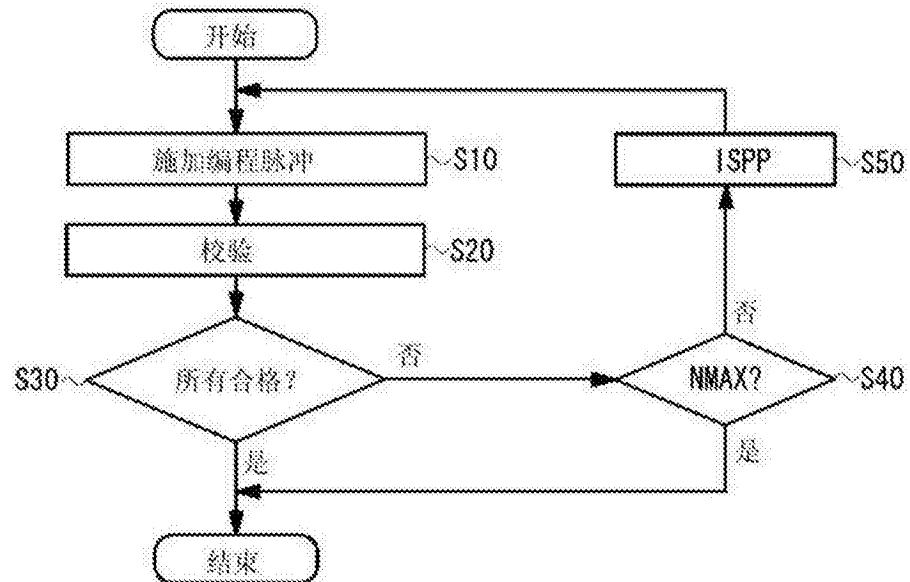


图1

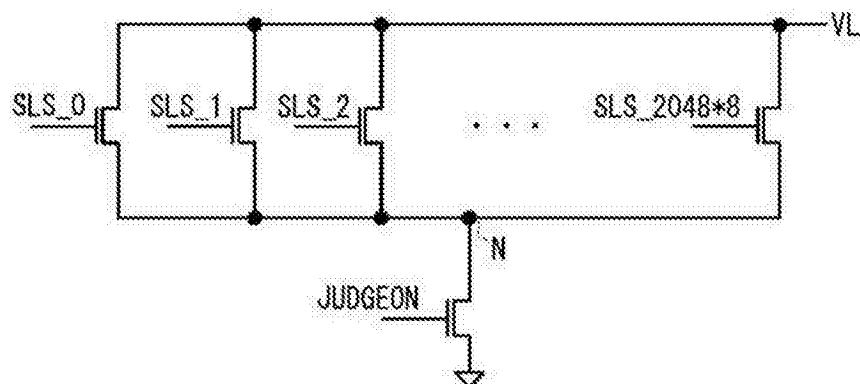


图2

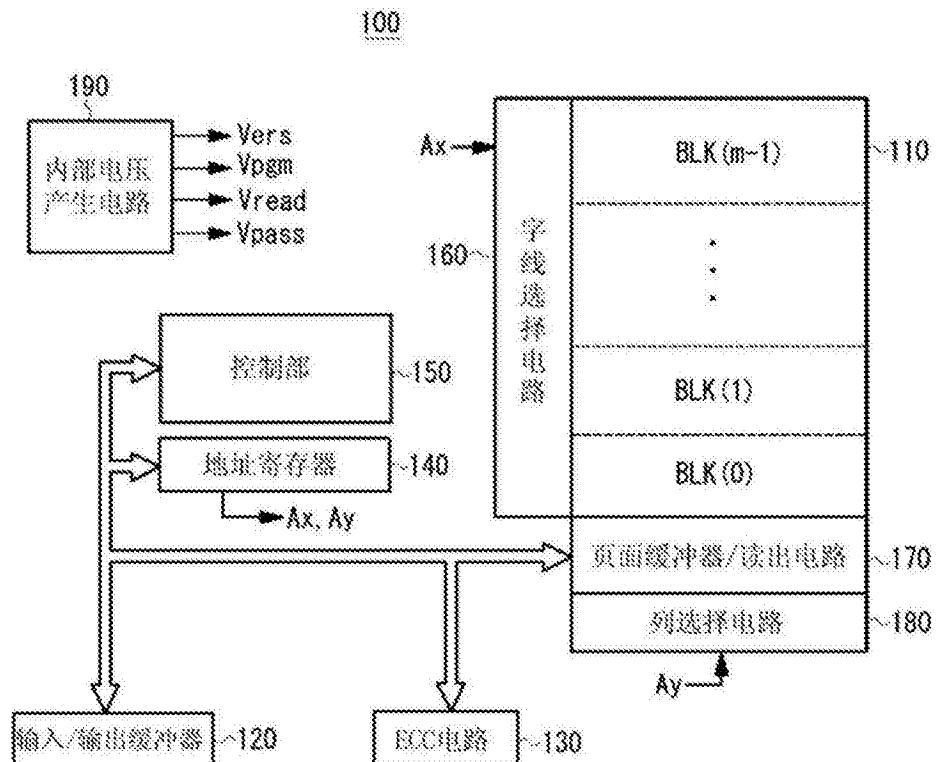


图3

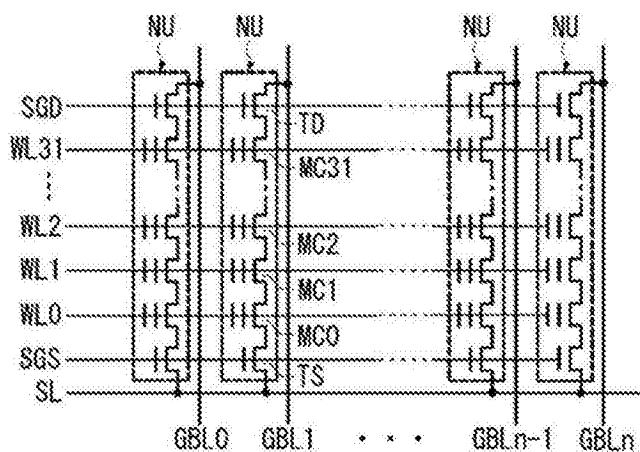


图4

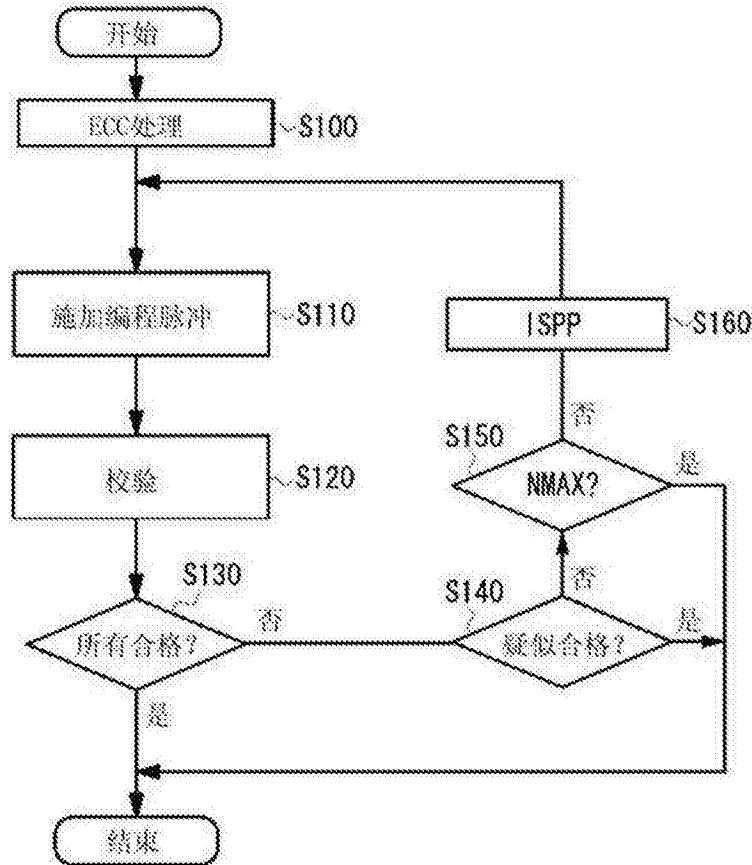


图5

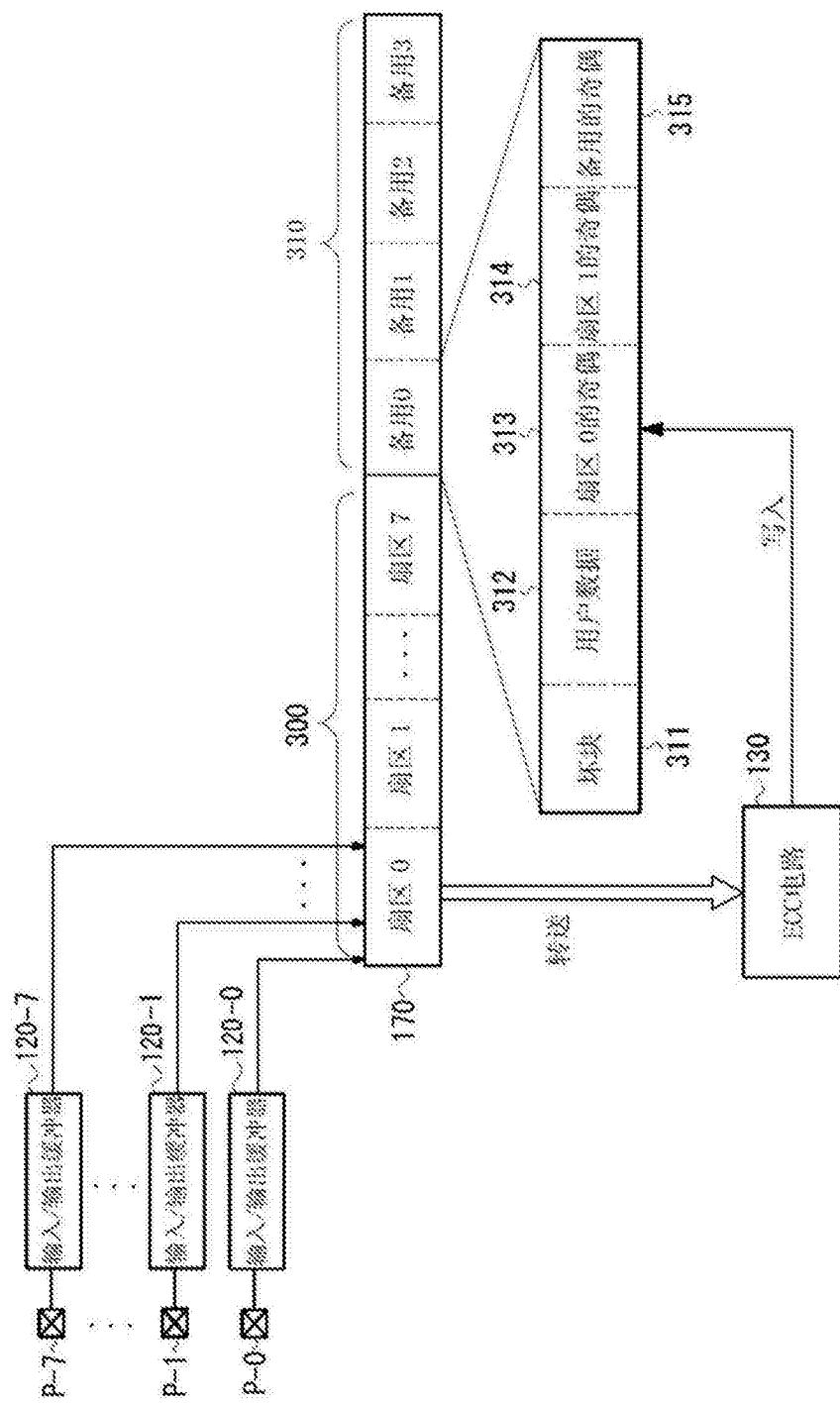


图6

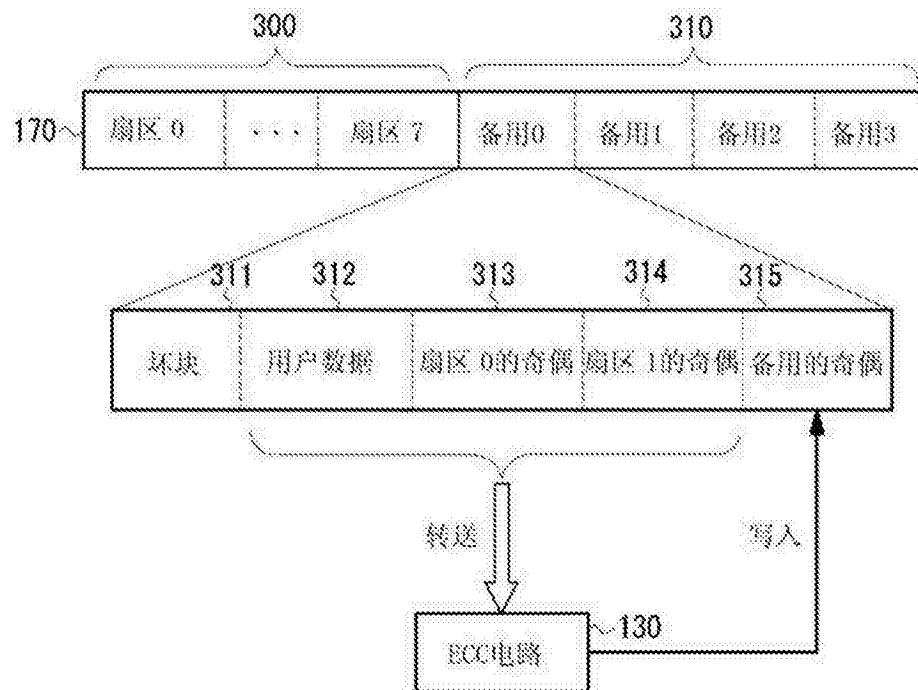


图7

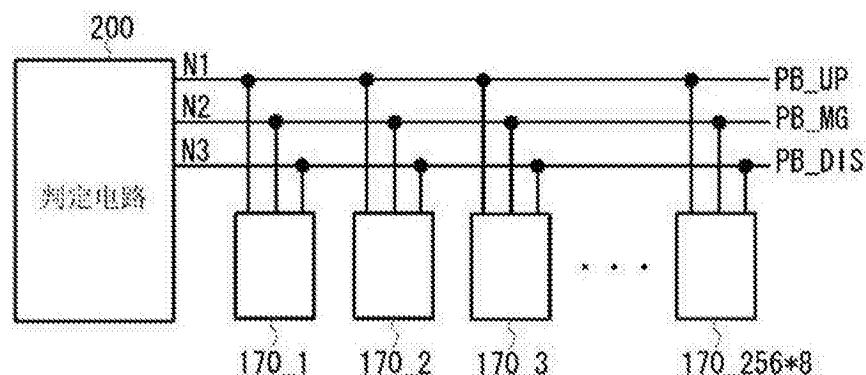


图8

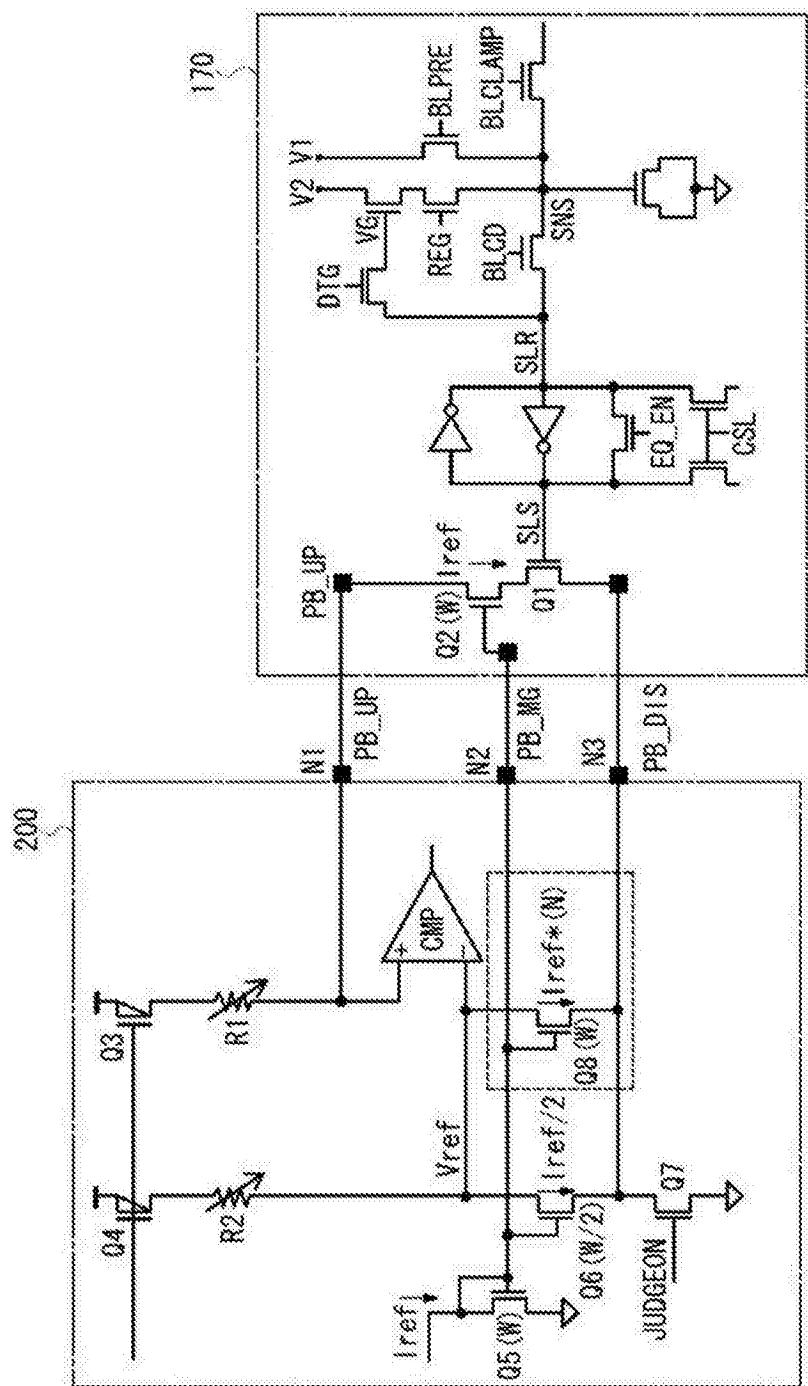


图9

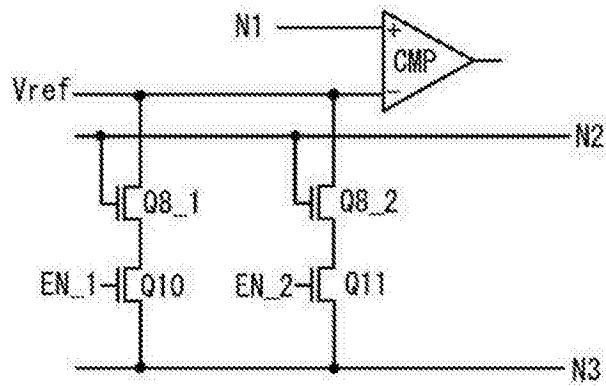


图10

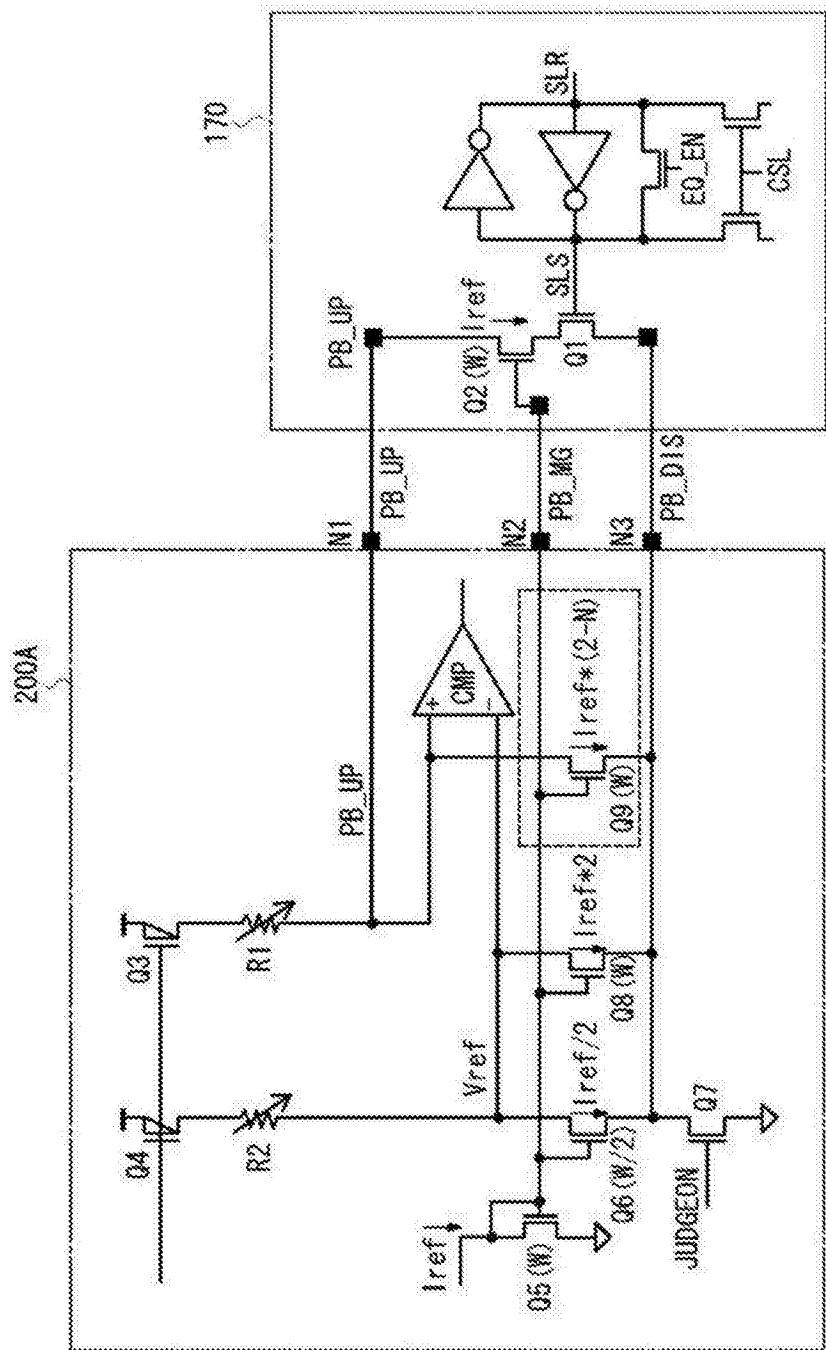


图11

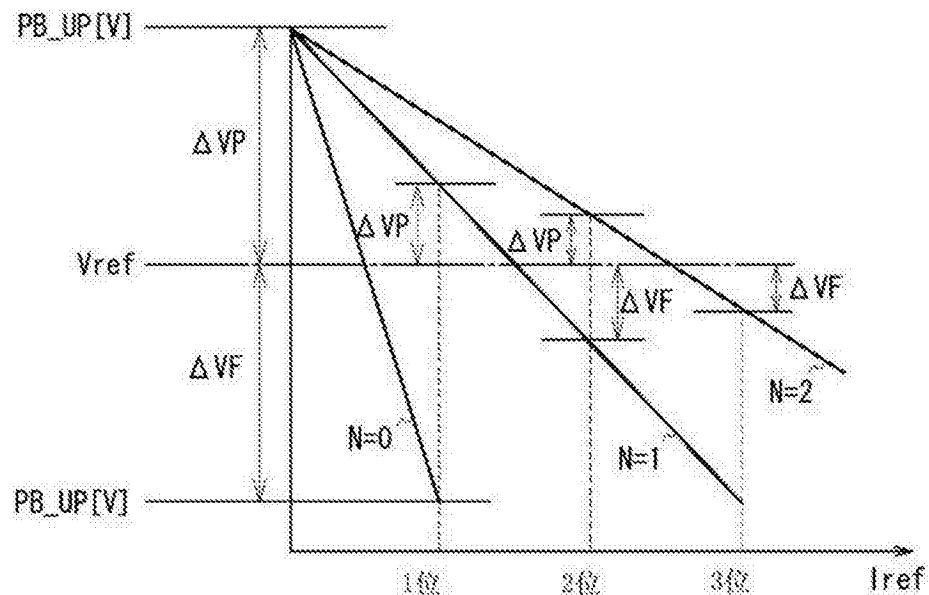


图12

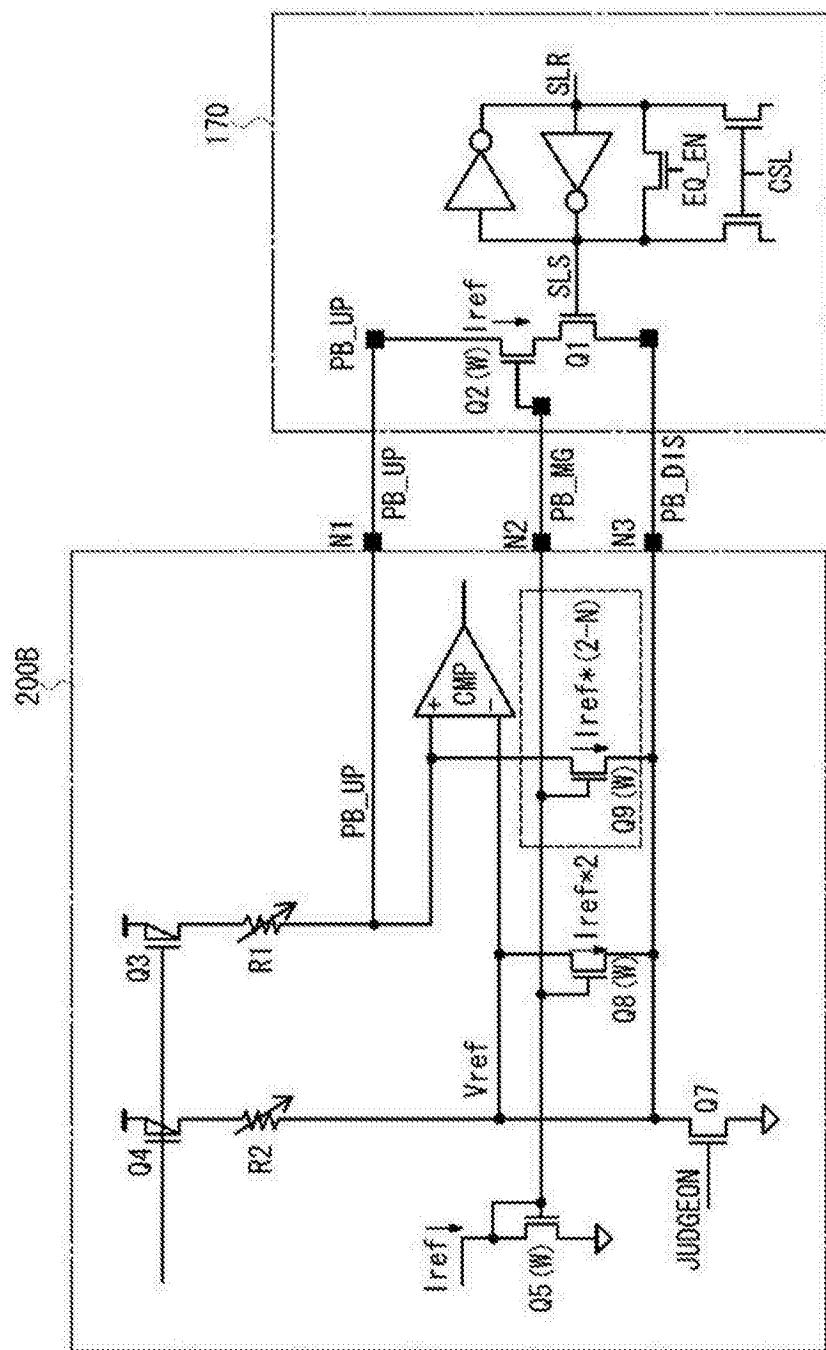


图13

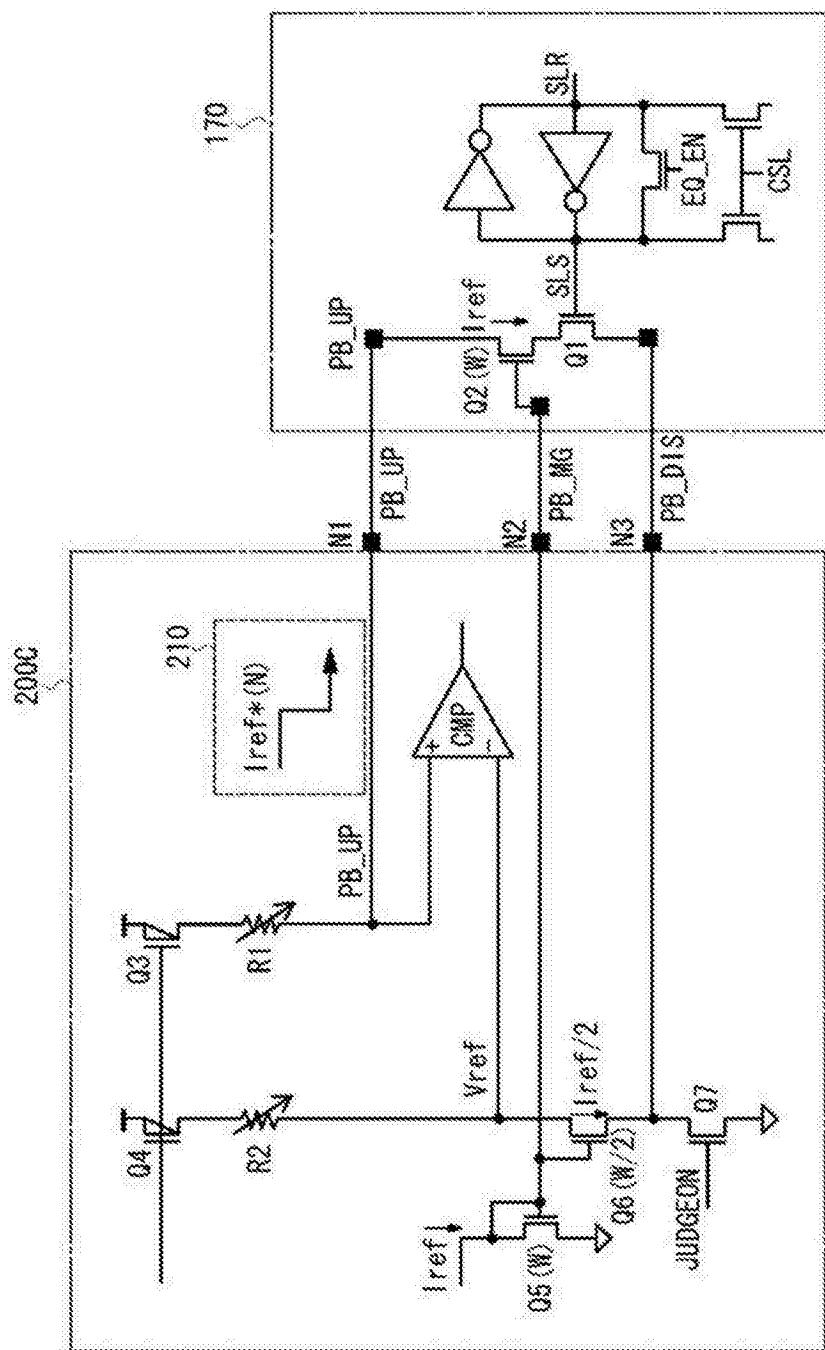


图14

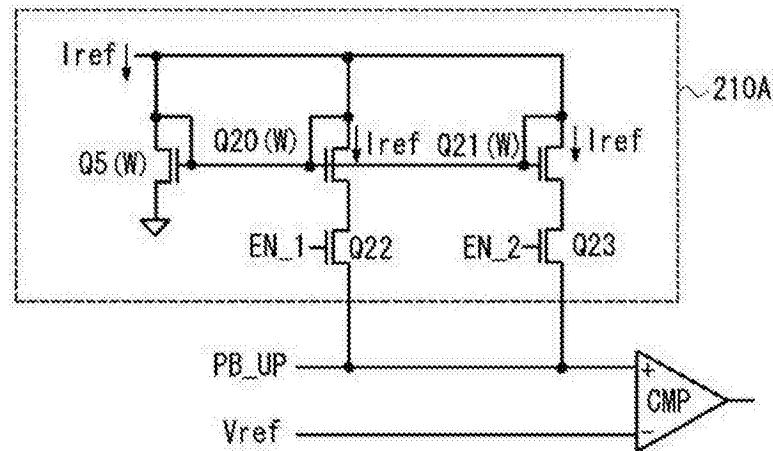


图15

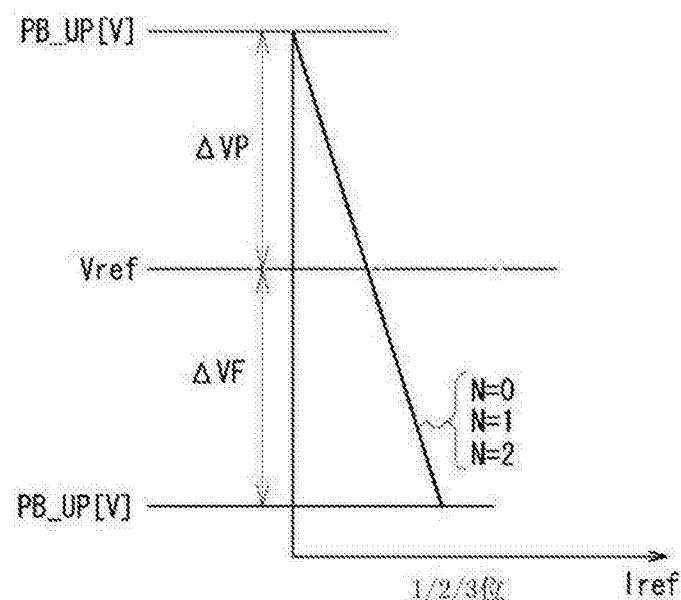


图16