



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I889054 B

(45)公告日：中華民國 114 (2025) 年 07 月 01 日

(21)申請案號：112147873

(22)申請日：中華民國 112 (2023) 年 12 月 08 日

(51)Int. Cl. : H01L21/02 (2006.01)

H01L21/20 (2006.01)

(30)優先權：2022/12/09 日本

2022-197453

(71)申請人：日商京瓷股份有限公司(日本) KYOCERA CORPORATION (JP)

日本

(72)發明人：林雄一郎 HAYASHI, YUICHIRO (JP)；谷口祐基 TANIGUCHI, YUKI (JP)；正木

克明 MASAKI, KATSUAKI (JP)；神川剛 KAMIKAWA, TAKESHI (JP)

(74)代理人：陳長文

(56)參考文獻：

TW 201434174A

CN 115206901A

KR 20050009165A

US 2012/0114004A1

審查人員：林宥辰

申請專利範圍項數：40 項 圖式數：40 共 56 頁

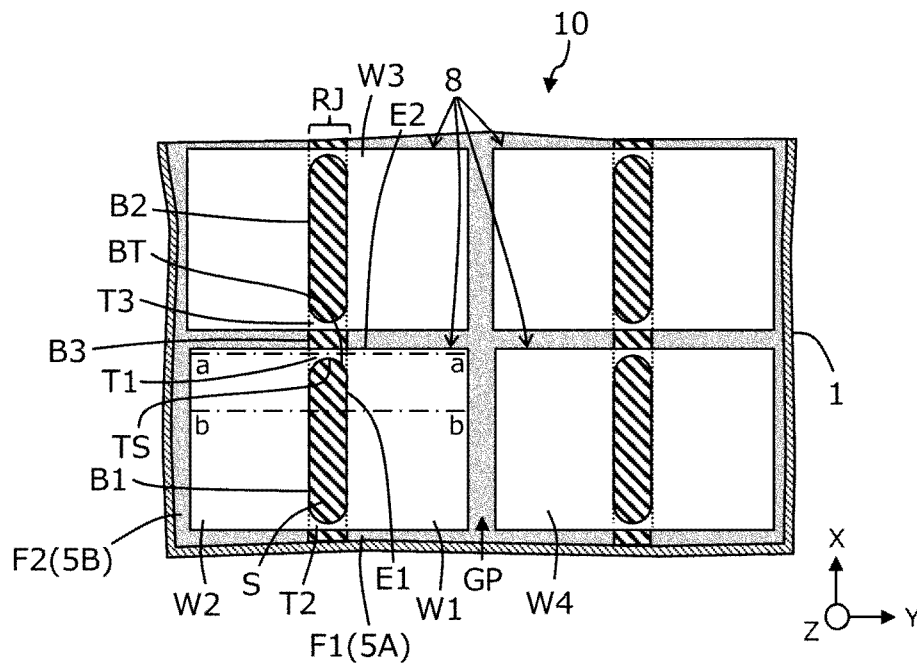
(54)名稱

半導體基板、半導體基板之製造方法及製造裝置、以及半導體元件之製造方法及製造裝置

(57)摘要

本半導體基板具備脊形基板及氮化物半導體層，該脊形基板包括於第 1 方向延伸之脊部、以及位於較上述脊部更低之位置且介隔脊部而相鄰之第 1 表面部及第 2 表面部，該氮化物半導體層位於脊形基板上，氮化物半導體層包括：第 1 連繫部，其位於脊部上；第 1 翼部，其以自第 1 表面部浮起之狀態與第 1 連繫部相連；及第 1 凹部，其位於脊部上，且為相對於第 1 連繫部凹陷之形狀。

指定代表圖：



【圖1】

符號簡單說明：

- 1:主基板  
 5A:第1遮罩部(第1表面部)  
 5B:第2遮罩部(第2表面部)  
 8:氮化物半導體層  
 10:半導體基板  
 B1:第1凹部  
 B2:第2凹部  
 B3:第3凹部  
 BT:交界  
 E1:第1邊緣  
 E2:第2邊緣  
 F1:第1表面部  
 F2:第2表面部  
 GP:間隙  
 RJ:脊部  
 S:種晶區域  
 T1:第1連繫部  
 T2:第2連繫部  
 T3:第3連繫部  
 TS:曲面  
 W1:第1翼部  
 W2:第2翼部  
 W3:第3翼部  
 W4:第4翼部  
 X:第1方向  
 Y:第2方向  
 Z:第3方向



I889054

**【發明摘要】****【中文發明名稱】**

半導體基板、半導體基板之製造方法及製造裝置、以及半導體元件之製造方法及製造裝置

**【中文】**

本半導體基板具備脊形基板及氮化物半導體層，該脊形基板包括於第1方向延伸之脊部、以及位於較上述脊部更低之位置且介隔脊部而相鄰之第1表面部及第2表面部，該氮化物半導體層位於脊形基板上，氮化物半導體層包括：第1連繫部，其位於脊部上；第1翼部，其以自第1表面部浮起之狀態與第1連繫部相連；及第1凹部，其位於脊部上，且為相對於第1連繫部凹陷之形狀。

**【指定代表圖】**

圖1

**【代表圖之符號簡單說明】**

1:主基板

5A:第1遮罩部(第1表面部)

5B:第2遮罩部(第2表面部)

8:氮化物半導體層

10:半導體基板

B1:第1凹部

B2:第2凹部

B3:第3凹部

BT:交界

E1:第1邊緣

E2:第2邊緣

F1:第1表面部

F2:第2表面部

GP:間隙

RJ:脊部

S:種晶區域

T1:第1連繫部

T2:第2連繫部

T3:第3連繫部

TS:曲面

W1:第1翼部

W2:第2翼部

W3:第3翼部

W4:第4翼部

X:第1方向

Y:第2方向

Z:第3方向

## 【發明說明書】

### 【中文發明名稱】

半導體基板、半導體基板之製造方法及製造裝置、以及半導體元件之製造方法及製造裝置

### 【技術領域】

【0001】 本發明係關於一種半導體基板等。

### 【先前技術】

【0002】 於專利文獻1中揭示有一種方法(ELO(Epitaxial Lateral Overgrowth，磊晶橫向生長)法)，該方法係於包括種晶層之基底基板形成包括遮罩部及開口部之遮罩圖案，並以於開口部露出之種晶層為生長起點於遮罩部上使氮化物半導體層橫向生長。

[先前技術文獻]

[專利文獻]

### 【0003】

[專利文獻1]日本公開專利公報「日本專利特開2013-251304號公報」

### 【發明內容】

[發明所欲解決之問題]

【0004】 專利文獻1之技術存在將氮化物半導體層形成於基底基板上而獲得之半導體基板會發生翹曲之問題。

[解決問題之技術手段]

【0005】 本發明之半導體基板具備脊形(ridge)基板及氮化物半導體層，該脊形基板包括於第1方向延伸之脊(ridge)部、以及位於較上述脊部

更低之位置且介隔上述脊部而相鄰之第1表面部及第2表面部，該氮化物半導體層位於上述脊形基板上，上述氮化物半導體層包括：第1連繫(tether)部，其位於上述脊部上；第1翼部，其以自上述第1表面部浮起之狀態與上述第1連繫部相連；及第1凹部，其位於上述脊部上，且為相對於上述第1連繫部凹陷之形狀。

[發明之效果]

【0006】 能夠減少包括氮化物半導體層之半導體基板之翹曲。

【圖式簡單說明】

【0007】

圖1係表示本實施方式之半導體基板之構成例之俯視圖。

圖2係包括圖1之a-a線及b-b線之剖視圖之一例。

圖3係表示第1連繫部之構成例之剖視圖。

圖4係表示第1翼部之構成例之剖視圖。

圖5係表示第1翼部之構成例之剖視圖。

圖6係圖1之a-a線及b-b線處之剖視圖之另一例。

圖7係表示本實施方式之半導體基板之製造方法之流程圖。

圖8係表示本實施方式之半導體基板之製造方法之剖視圖。

圖9係表示本實施方式之半導體基板之製造裝置之方塊圖。

圖10係表示本實施方式之半導體基板之另一製造方法之剖視圖。

圖11係表示本實施方式之半導體基板之構成例之俯視圖。

圖12係表示本實施方式之半導體基板之構成例之剖視圖。

圖13係表示連繫部與翼部之分斷例之俯視圖。

圖14係表示連繫部與翼部之分斷例之剖視圖。

圖15係表示連繫部與翼部之分斷例之剖視圖。

圖16係表示半導體元件構成例之剖視圖。

圖17係表示半導體元件構成例之俯視圖。

圖18係表示本實施方式之半導體基板之構成例之俯視圖。

圖19係表示本實施方式之半導體基板之構成例之剖視圖。

圖20係表示連繫部與翼部之分斷例之俯視圖。

圖21係表示連繫部與翼部之分斷例之剖視圖。

圖22係表示本實施方式之半導體元件之製造方法之流程圖。

圖23係表示本實施方式之半導體元件之製造方法之剖視圖。

圖24係表示本實施方式之半導體元件之製造裝置之方塊圖。

圖25係表示本實施方式之半導體元件之製造方法之流程圖。

圖26係表示本實施方式之半導體元件之製造方法之剖視圖。

圖27係表示本實施方式之半導體元件之製造裝置之方塊圖。

圖28係表示本實施方式之半導體基板之構成例之俯視圖。

圖29係表示本實施方式之半導體基板之構成例之俯視圖。

圖30係表示本實施方式之半導體基板之構成例之俯視圖。

圖31係表示本實施方式之半導體基板之構成例之俯視圖。

圖32A係表示本實施方式之半導體基板之構成例之俯視圖。

圖32B係表示本實施方式之半導體基板之構成例之俯視圖。

圖33係表示本實施方式之半導體基板之構成例之俯視圖。

圖34係表示本實施方式之半導體基板之構成例之俯視圖。

圖35係表示本實施方式之半導體基板之構成例之俯視圖。

圖36係表示本實施方式之半導體基板之構成例之俯視圖。

圖37係表示本實施方式之半導體基板之構成例之俯視圖。

圖38係表示脊形基板之構成例之剖視圖。

圖39係表示本實施方式之半導體基板之構成例之俯視圖。

圖40係包括圖39之a-a線及b-b線之剖視圖之一例。

#### 【實施方式】

【0008】 圖1係表示本實施方式之半導體基板之構成例之俯視圖。

圖2係包括圖1之a-a線及b-b線之剖視圖之一例。如圖1及圖2所示，半導體基板10具備脊形基板RS及氮化物半導體層8，該脊形基板RS包括於第1方向X延伸之脊部RJ、以及位於較脊部RJ更低之位置且介隔脊部RJ而相鄰之第1表面部F1及第2表面部F2，該氮化物半導體層8位於脊形基板RS上，氮化物半導體層8包括：第1連繫部T1，其位於脊部RJ上；第1翼部W1，其以自第1表面部F1浮起之狀態與第1連繫部T1相連；及第1凹部B1，其位於脊部RJ上且為相對於第1連繫部T1凹陷之形狀。將自脊形基板RS向氮化物半導體層8之朝向設為「向上」，將較對象更靠上側之位置設為較對象更高之位置。

【0009】 於半導體基板10中，藉由使第1翼部W1自第1表面部F1浮起(使其與第1表面部F1分離)，能夠降低第1翼部W1之內部應力，並且藉由第1凹部B1，能夠降低氮化物半導體層8之脊部RJ上之內部應力。藉此，能夠減少包括氮化物半導體層8之半導體基板10之翹曲。

【0010】 藉由氮化物半導體層8具有第1連繫部T1及第1凹部B1，能夠減少氮化物半導體層8與脊形基板RS之接觸面積，變得容易使氮化物半導體層8自脊形基板RS剝離。具體而言，藉由第1翼部W1與第1表面部F1分離，能夠進一步減少氮化物半導體層8與脊形基板RS之接觸面積，變得

容易使第1翼部W1自脊形基板RS剝離。進而，藉由第1連繫部T1及第1凹部B1位於脊部RJ上，能夠不對內部應力較小之第1翼部W1進行蝕刻地形成第1連繫部T1。又，與對第1翼部W1進行蝕刻之情形相比，能夠確保內部應力較小之第1翼部W1之寬度，並同時提高第1翼部W1之剝離容易性。

【0011】脊形基板RS可包括晶格常數與氮化物半導體層8不同之主基板1，氮化物半導體層8包括GaN系半導體，主基板1可為矽基板或碳化矽基板。

【0012】氮化物半導體層8可包括以自第2表面部F2浮起之狀態與第1連繫部T1相連之第2翼部W2。氮化物半導體層8包括位於脊部RJ上且與第1連繫部T1分離之第2連繫部T2，第1翼部W1可與第2連繫部T2相連。如此，能夠藉由第1及第2連繫部T1、T2來保持第1翼部W1，使得第1翼部W1之穩定性提高。第1連繫部T1及第2連繫部T2可與第1翼部W1之在第1方向X上相對之兩端部相連，第1凹部B1可位於第1連繫部T1及第2連繫部T2之間。第1連繫部T1之第1方向X上之尺寸可為第1翼部W1之第1方向X上之尺寸之1/4以下。如此，第1連繫部T1與第1翼部W1之分斷變得容易。

【0013】第1連繫部T1及第1凹部B1之交界BT可位於第1翼部W1之端部附近。藉此，於如下所述將膠帶或支持基板壓抵於半導體基板10之表面後剝離第1翼部W1時，能夠容易地使分斷面(例如劈開面)形成於第1翼部W1之端部。此處，第1翼部W1之端部附近可為例如與第1翼部W1之端部相距1~10 μm之區域。

【0014】脊部RJ之上表面可為種晶區域S，該種晶區域S成為氮化物半導體層8之結晶生長之起點。於半導體基板10中，第1凹部B1之底可到達脊部RJ，且種晶區域S可於第1凹部B1之底露出。脊部RJ具有包括氮化

物半導體(例如，GaN半導體、AlN)之種晶部，種晶區域S可為種晶部之上表面。

【0015】氮化物半導體層8包括氮化物半導體作為主成分。氮化物半導體例如可表示為 $Al_xGa_yIn_zN$ ( $0 \leq x \leq 1$  ;  $0 \leq y \leq 1$  ;  $0 \leq z \leq 1$  ;  $x + y + z = 1$ )，作為具體例，可例舉GaN系半導體、AlN(氮化鋁)、InAlN(氮化銦鋁)、InN(氮化銦)。GaN系半導體係指包含鎵原子(Ga)及氮原子(N)之半導體，作為典型例，可例舉GaN、AlGaN、AlGaInN、InGaN。

【0016】氮化物半導體層8可為摻雜型(例如，包括供體之n型)，亦可為非摻雜型。半導體基板係指包括半導體之基板，脊形基板RS之主基板1可包括半導體(例如，矽、碳化矽)，亦可不包括半導體。作為不包括半導體之主基板1，例如可例舉藍寶石基板。亦可將脊形基板RS稱為模板基板或生長用基板。於脊形基板RS中，亦可使主基板1之一部分包含於脊部RJ。

【0017】第1方向X可為氮化物半導體層8之m軸方向( $\langle 1-100 \rangle$ 方向)。第2方向Y可為氮化物半導體層8之a軸方向( $\langle 11-20 \rangle$ 方向)。氮化物半導體層8之厚度方向(第3方向Z)可為氮化物半導體層8之c軸方向( $\langle 0001 \rangle$ 方向)，半導體基板10之高低方向可與c軸平行。有時將以與半導體基板10之法線方向(第3方向Z)平行之視線觀察對象物(包括透視之情形)稱為「俯視」。

【0018】氮化物半導體層8可以脊部RJ之上表面(種晶區域S)為起點，藉由ELO(Epitaxial Lateral Overgrowth)法而形成。藉由形成自於脊部RJ上生長之基部(縱向生長層)在橫向(第2方向Y)上延伸，且與第1表面部F1分離而位於空隙上之第1翼部W1，能夠獲得缺陷密度較低且平坦性

較高之寬幅之第1翼部W1。

【0019】氮化物半導體層8中位於脊部RJ之上方之第1及第2連繫部T1、T2可為穿透位錯較多之位錯繼承部，第1及第2翼部W1、W2可為與位錯繼承部相比穿透位錯密度較小之低缺陷部。

【0020】氮化物半導體層8可包括第3翼部W3，該第3翼部W3以自第1表面部F1浮起之狀態與第1翼部W1於第1方向X上分離。氮化物半導體層8包括位於脊部RJ上且與第1連繫部T1分離之第3連繫部T3，第3翼部W3可與第3連繫部T3相連。氮化物半導體層8可包括第3凹部B3，該第3凹部B3位於第1連繫部T1與第3連繫部T3之間，且為相對於第1連繫部T1凹陷之形狀。氮化物半導體層8可包括第4翼部W4，該第4翼部W4以自第1表面部F1浮起之狀態與第1翼部W1於第2方向Y上分離。第1翼部W1及第4翼部W4可介隔間隙GP而相鄰。

【0021】於半導體基板10中，第1表面部F1及第2表面部F2各自可具有生長抑制功能。第1表面部F1為第1遮罩部5A，第2表面部F2為第2遮罩部5B，且第1翼部W1可介隔中空部JD而位於第1遮罩部5A上。脊部RJ之側面可具有生長抑制功能。

【0022】第1連繫部T1之厚度可小於第1翼部W1之厚度。第1翼部W1之面積相對於第1連繫部T1之面積之比之值可為10以上。可於第1連繫部T1之側面包含曲面TS，亦可於第1凹部B1之內壁包含曲面TS。

【0023】以下，有時將第1～第4翼部W1～W4之總稱表述為翼部W，將第1～第3連繫部T1～T3之總稱表述為連繫部T，將第1及第2遮罩部5A、5B之總稱表述為遮罩部5。

【0024】圖3係表示第1連繫部之構成例之剖視圖。第1凹部B1及第1

連繫部T1可藉由在脊部RJ上結晶生長而成之縱向生長層(基部)之圖案化而形成。如圖3所示，第1連繫部T1可為上端變細型之漸細形狀。

【0025】 圖4及圖5係表示第1翼部之構成例之剖視圖。如圖1、圖4及圖5所示，第1翼部W1可包括第1邊緣E1，該第1邊緣E1與第1連繫部T1相連且於第1方向X上延伸。第1翼部W1可包括第2邊緣E2，該第2邊緣E2與第1連繫部T1相連且在與第1方向X正交之第2方向Y上延伸。第1及第2邊緣E1、E2可藉由氮化物半導體層8之圖案化而形成，第1翼部W1中可包含上端變細型之傾斜面WS。

【0026】 圖6係圖1之a-a線及b-b線處之剖視圖之另一例。於圖2中，第1凹部B1之底到達脊部RJ(第1凹部B1為貫通氮化物半導體層8之開口)，但不限定於此。如圖6所示，亦可為第1凹部B1之底不到達脊部RJ(第1凹部B1不貫通氮化物半導體層8)之構成。

【0027】 圖7係表示本實施方式之半導體基板之製造方法之流程圖。圖8係表示本實施方式之半導體基板之製造方法之剖視圖。如圖7及圖8所示，本實施方式之半導體基板之製造方法包括：步驟S10，其係形成脊形基板RS，該脊形基板RS包括於第1方向X延伸之脊部RJ、以及位於較脊部RJ更低之位置且介隔脊部RJ而相鄰之第1表面部F1及第2表面部F2；步驟S20，其係於脊形基板RS上形成氮化物半導體層8；及步驟S30，其係使用例如乾式蝕刻使氮化物半導體層8圖案化，而形成位於脊部RJ上之第1連繫部T1、以自第1表面部F1浮起之狀態與第1連繫部T1相連之第1翼部W1、及位於脊部RJ上且為相對於第1連繫部T1凹陷之形狀之第1凹部B1。

【0028】 於步驟S20中可使用ELO法，可於在相互接近(平行於第2方向Y)之方向上生長之第1翼部W1及第4翼部W4不會合(形成有間隙GP)

之狀態下停止氮化物半導體層8之生長。於步驟S30中，可藉由在脊部RJ上結晶生長而成之基部UR(縱向生長層)之圖案化來形成第1凹部B1及第1連繫部T1。例如，基部UR中未被抗蝕劑覆蓋而被蝕刻之部分可成為第1凹部B1，被抗蝕劑覆蓋而未被蝕刻之部分可成為第1連繫部T1。氮化物半導體層8之蝕刻可使用乾式蝕刻法。第2凹部B2及第3凹部B3、以及第1及第3翼部W1、W3之間隙(隔離溝)可於步驟S30中形成。

【0029】圖9係表示本實施方式之半導體基板之製造裝置之方塊圖。半導體基板之製造裝置31具備：裝置M10，其進行圖7之步驟S10；裝置M20，其進行圖7之步驟S20；裝置M30，其進行圖7之步驟S30；及裝置M35，其控制裝置M10、M20、M30。裝置M20可為MOCVD(Metal Organic Chemical Vapor Deposition，有機金屬化學氣相沉積)裝置。

【0030】圖10係表示本實施方式之半導體基板之另一製造方法之剖視圖。如圖10所示，亦可藉由如下方法形成半導體基板10，即：於在主基板1上形成有種晶部3及遮罩圖案6(包括第1及第2遮罩部5A、5B以及使種晶部3露出之開口部)之模板基板7上，形成與遮罩圖案6相接之氮化物半導體層8，其後，藉由氮化物半導體層8之圖案化，於在遮罩圖案6之開口部上生長而成之基部UR(縱向生長層)上形成第1凹部B1及第1連繫部T1，然後去除遮罩圖案6。

【0031】圖11係表示本實施方式之半導體基板之構成例之俯視圖。圖12係表示本實施方式之半導體基板之構成例之剖視圖。如圖11及圖12所示，半導體基板10具備位於氮化物半導體層8上且包括活化層之功能層9，功能層9可位於第1翼部W1上。電極D可位於功能層9上。功能層9可位於第1連繫部T1上，於俯視下第1連繫部T1及功能層9可重疊。功能層9可

包括活化層及p型層。於在脊形基板RS之上方形成氮化物半導體層8及功能層9之後，使氮化物半導體層8及功能層9圖案化而形成第1凹部B1及第1連繫部T1之情形時，如圖11及圖12所示，可為於俯視下第1凹部B1不與功能層9重疊之構造。

【0032】 圖13係表示連繫部與翼部之分斷例之俯視圖。圖14係表示連繫部與翼部之分斷例之剖視圖。如圖11～圖14所示，藉由使包括第1翼部W1以及功能層9及電極D之積層體15中與第1連繫部T1之相鄰部A1、及與第2連繫部T2之相鄰部A2分別斷裂，能夠使第1翼部W1與第1及第2連繫部T1、T2分離，將積層體15單片化為半導體元件20(半導體晶片)。例如，藉由將膠帶TP壓抵於半導體基板10之表面，使得相鄰部A1、A2在與氮化物半導體層8之m面平行之面CF處破裂，如圖14所示，能夠將半導體元件20轉印至膠帶TP。此時，藉由將劈開面設為m面，能夠降低因劈開而產生碎片之擔憂，提高轉印良率。

【0033】 圖15係表示連繫部與翼部之分斷例之剖視圖。如圖15所示，藉由在介隔金屬層(例如焊料層)H而將半導體基板10之電極D接合至支持基板ST(例如子安裝基板)後，向下按壓支持基板ST(壓抵於半導體基板10)，使得相鄰部A1、A2在與氮化物半導體層8之m面平行之面CF處破裂，如圖15所示，能夠將半導體元件20轉印至支持基板ST。於該情形時，可進行選擇轉印，即，僅選擇性地轉印分別包括複數個翼部W之複數個積層體15中包括第1翼部W1之積層體15。

【0034】 圖16係表示半導體元件構成例之剖視圖。圖17係表示半導體元件構成例之俯視圖。如圖16及圖17所示，半導體元件20可具備第1翼部W1、功能層9及電極D1、D2。功能層9可包括n型層9N、活化層9A及p

型層9P。n型層9N可包括n型GaN系半導體，p型層9P可包括p型GaN系半導體。活化層9A可為量子井結構。於半導體元件20為發光元件(例如，LED元件、雷射元件)之情形時，藉由將第1翼部W1設為包括傾斜面WS之漸細形狀，能夠提高對背面WB(與電極D所在之面之相反側之面)之光提取效率。於半導體元件20中，可將電極D1作為陽極，將電極D2作為陰極。

【0035】 圖18係表示本實施方式之半導體基板之構成例之俯視圖。圖19係表示本實施方式之半導體基板之構成例之剖視圖。圖20係表示連繫部與翼部之分斷例之俯視圖。圖21係表示連繫部與翼部之分斷例之剖視圖。於在脊形基板RS之上方形成氮化物半導體層8後使氮化物半導體層8圖案化而形成第1凹部B1及第1連繫部T1，然後形成功能層9之情形時，如圖18及圖19所示，可成為於俯視下第1凹部B1與功能層9重疊之構造。功能層9可位於第1連繫部T1上，於俯視下第1連繫部T1及功能層9可重疊。

【0036】 如圖18～圖21所示，藉由使包括第1翼部W1以及功能層9及電極D之積層體15中與第1連繫部T1之相鄰部A1、及與第2連繫部T2之相鄰部A2分別斷裂，能夠使第1翼部W1與第1及第2連繫部T1、T2分離，將積層體15單片化為半導體元件20(半導體晶片)。例如，藉由將膠帶TP壓抵於半導體基板10之表面，使得相鄰部A1、A2在與氮化物半導體層8之m面平行之面CF(例如劈開面)處破裂，如圖21所示，能夠將半導體元件20轉印至膠帶TP。

【0037】 圖22係表示本實施方式之半導體元件之製造方法之流程圖。圖23係表示本實施方式之半導體元件之製造方法之剖視圖。本實施方式之半導體元件之製造方法如圖22及圖23所示包括：步驟S40，其係準備

半導體基板10，該半導體基板10具備脊形基板RS及氮化物半導體層8，該脊形基板RS包括於第1方向X延伸之脊部RJ、以及位於較脊部RJ更低之位置且介隔脊部RJ而相鄰之第1表面部F1及第2表面部F2，該氮化物半導體層8位於脊形基板RS上，氮化物半導體層8包括位於脊部RJ上之第1連繫部T1、以自第1表面部F1浮起之狀態與第1連繫部T1相連之第1翼部W1、及位於脊部RJ上且為相對於第1連繫部T1凹陷之形狀之第1凹部B1；步驟S50，其係於第1翼部W1上形成包括活化層9A之功能層9；及步驟S60，其係將第1翼部W1與第1連繫部T1分斷而獲得半導體元件20。

【0038】於步驟S50中，能夠於實質上無應變之第1翼部W上形成功能層9(包括例如具有量子井結構之活化層9A)，從而具有功能層9之品質提高之優點。於步驟S50中，除了子安裝基板等支持基板ST(參照圖23)之外，亦可使用轉印用膠帶。可於準備藉由步驟S40、S50而獲得之半導體基板10(包括第1連繫部T1、第1凹部B1及功能層9)之後進行步驟S60。

【0039】圖24係表示本實施方式之半導體元件之製造裝置之方塊圖。半導體元件之製造裝置61可具備：裝置M40，其進行圖22之步驟S40；裝置M50，其進行步驟S50；裝置M60，其進行步驟S60；及裝置M65，其控制裝置M40、M50、M60。

【0040】圖25係表示本實施方式之半導體元件之製造方法之流程圖。圖26係表示本實施方式之半導體元件之製造方法之剖視圖。本實施方式之半導體元件之製造方法如圖25及圖26所示可包括：步驟S70，其係準備半導體基板10，該半導體基板10具備脊形基板RS及氮化物半導體層8，該脊形基板RS包括於第1方向X延伸之脊部RJ、以及位於較脊部RJ更低之位置且介隔脊部RJ而相鄰之第1表面部F1及第2表面部F2，該氮化物半導

體層8位於脊形基板RS上，且不與第1表面部F1及第2表面部F2接觸(介隔中空部JS而與第1及第2表面部F1、F2對向)；步驟S80，其係於氮化物半導體層8上形成功能層9(例如，包括活化層9A)；步驟S85，其係於形成功能層9後使氮化物半導體層8圖案化，而於氮化物半導體層8形成位於脊部RJ上之第1連繫部T1、以自第1表面部F1浮起之狀態與第1連繫部T1相連之第1翼部W1、及位於脊部RJ上且為相對於第1連繫部T1凹陷之形狀之第1凹部B1；及步驟S90，其係將第1翼部W1與第1連繫部T1分斷而獲得半導體元件20。

**【0041】** 如此，於脊形基板RS之上方形成氮化物半導體層8及功能層9後，使氮化物半導體層8及功能層9圖案化而形成第1凹部B1及第1連繫部T1，藉此具有能夠連續形成氮化物半導體層8及功能層9(包括氮化物半導體)之優點。第1及第3翼部W1、W3之間隙可於步驟S85中形成。於步驟S90中，除了子安裝基板等支持基板ST(參照圖26)之外，亦可使用轉印用膠帶。可於準備藉由步驟S70、S80、S85而獲得之半導體基板10(包括第1連繫部T1、第1凹部B1及功能層9)之後進行步驟S90。

**【0042】** 圖27係表示本實施方式之半導體元件之製造裝置之方塊圖。半導體元件之製造裝置91可具備：裝置M70，其進行圖25之步驟S70；裝置M80，其進行步驟S80；裝置M85，其進行步驟S85；裝置M90，其進行步驟S90；及裝置M95，其控制裝置M70、M80、M85、M90。

**【0043】** 圖28及圖29係表示本實施方式之半導體基板之構成例之俯視圖。如圖28之半導體基板10，可為如下構成：第1及第2連繫部T1、T2之第1方向X上之尺寸大於第1翼部W1之第1方向X上之尺寸之1/4，且具有

圓形開口之第1凹部B1位於第1及第2連繫部T1、T2之間。如圖28所示，功能層9及電極D可位於第1翼部W1上，功能層9可位於第1連繫部T1上。於該情形時，藉由使第1翼部W1中與第1連繫部T1相鄰之部分及與第2連繫部T2相鄰之部分斷裂，能夠將第1翼部W1與第1及第2連繫部T1、T2分斷，將包括第1翼部W1以及功能層9及電極D之積層體15單片化為半導體元件20。

【0044】圖30及圖31係表示本實施方式之半導體基板之構成例之俯視圖。如圖30之半導體基板10，氮化物半導體層8可包括第3翼部W3，該第3翼部W3以自第1表面部F1浮起之狀態與第1翼部W1於第1方向X上分離，第3翼部W3可與第1連繫部T1相連。於該情形時，藉由使第1翼部W1中與第1連繫部T1相鄰之部分及與第2連繫部T2相鄰之部分斷裂，能夠將第1翼部W1與第1及第2連繫部T1、T2分斷，將包括第1翼部W1以及功能層9及電極D之積層體15單片化為半導體元件20。

【0045】圖32A及圖32B以及圖33係表示本實施方式之半導體基板之構成例之俯視圖。如圖32A及圖33所示，第1翼部W1可包括與第1連繫部T1相鄰之第1缺口部C1。第1翼部W1包括與第1連繫部T1相鄰之第1及第2缺口部C1、C2，且於俯視下，連結第1缺口部C1之前端及第2缺口部C2之前端之直線CL可相對於第1方向X傾斜。該直線CL可與氮化物半導體層8之m面平行。於該情形時，藉由使第1翼部W1於包括與第1連繫部T1相鄰之直線CL之面CF、及包括與第2連繫部T2相鄰之直線CL之面CF處斷裂，能夠將第1翼部W1與第1及第2連繫部T1、T2分斷，將包括第1翼部W1以及功能層9及電極D之積層體15單片化為半導體元件20。

【0046】如圖32B所示，第1凹部B1之寬度(第2方向Y上之尺寸)可

大於脊部RJ之寬度。即，可為脊部RJ之全寬於第1凹部B1下露出之構成。亦可使第1連繫部T1之一部分自脊形基板RS浮起。即，可於第1連繫部T1之一部分與脊形基板RS(第1表面部F1)之間存在空隙。於俯視下，第1翼部W1之內周WE及脊部RJ可於第2方向Y上分離。

**【0047】** 圖34及圖35係表示本實施方式之半導體基板之構成例之俯視圖。如圖34之半導體基板10，氮化物半導體層8可包括第2凹部B2，該第2凹部B2位於脊部RJ上且為相對於第1連繫部T1凹陷之形狀，第1連繫部T1可位於第1凹部B1及第2凹部B2之間。於俯視下，第1凹部B1可與第1翼部W1及第2翼部W2相鄰。

**【0048】** 第1連繫部T1可與第1翼部W1之第1方向X上之中央部相連。第1連繫部T1之第1方向X上之尺寸可為第1翼部W1之第1方向X上之尺寸之1/4以下。於該情形時，藉由使第1翼部W1中與第1連繫部T1相鄰之部分斷裂，能夠將第1翼部W1與第1連繫部T1分斷，將包括第1翼部W1以及功能層9及電極D之積層體15單片化為半導體元件20。

**【0049】** 圖36及圖37係表示本實施方式之半導體基板之構成例之俯視圖。如圖36之半導體基板10，第1連繫部T1之第1方向X上之尺寸可大於第1翼部W1之第1方向X上之尺寸之1/4。於該情形時，藉由使第1翼部W1中與第1連繫部T1相鄰之部分斷裂，能夠將第1翼部W1與第1連繫部T1分斷，將包括第1翼部W1以及功能層9及電極D之積層體15單片化為半導體元件20。

**【0050】** 圖38係表示脊形基板之構成例之剖視圖。可於圖2等之脊形基板RS中在主基板1之凸部及種晶部3之間形成緩衝部2。於圖2等中，主基板1之一部分(凸部)包含於脊部RJ，但不限於此。可於上表面平坦之

主基板1上形成條狀之種晶部3以形成脊部RJ，亦可於主基板1與條狀之種晶部3之間形成緩衝部2。於該情形時，自遮罩圖案6露出之種晶部3之上表面成為種晶區域S。亦可於上表面平坦之主基板1上形成具有條狀凸部之種晶部3以形成脊部RJ。

【0051】 作為種晶部3，可使用GaN系半導體、AlN等。作為緩衝部2，可使用Al、AlN、SiC等。於主基板1使用矽基板之情形時，為了抑制回熔(矽鎔熔融)，理想的是與矽基板相接之緩衝部2不含鎔。

【0052】 脊形基板RS可具有作為晶格常數與氮化物半導體層8不同之異質基板之主基板1。主基板1之面方位例如為矽基板之(111)面、藍寶石基板之(0001)面、SiC基板之6H-SiC(0001)面。該等為例示，只要為能夠利用ELO法使氮化物半導體層8生長之基板及面方位即可。

【0053】 遮罩圖案6包括遮罩部5(5A、5B)。遮罩部5可作為用於使氮化物半導體層8橫向生長之選擇生長遮罩(沉積抑制遮罩)發揮功能。

【0054】 作為遮罩部5，例如可使用包含氧化矽膜(SiO<sub>x</sub>)、氮化鈦膜(TiN等)、氮化矽膜(SiN<sub>x</sub>)、氮氧化矽膜(SiON)、及具有高熔點(例如1000度以上)之金屬膜中之任一種之單層膜、或者包含其等中之至少兩種之積層膜。亦可將對矽基板、氮化矽基板等施加熱氧化處理而獲得之熱氧化膜用作遮罩部5。作為遮罩部5，可使用依序形成有氧化矽膜及氮化矽膜之積層膜。與半導體層8相接之上層膜可為氮化矽膜。

【0055】 脊形基板RS上之氮化物半導體層8例如可以如下方式形成。於本例中，使氮化物半導體層8為GaN層，將生長溫度設為1000-1200度，將V/III比設為500-20000，將生長壓力設為50 kPa。再者，為了使氮化物半導體層8為n型，可流通SiH<sub>4</sub>而進行摻雜。氮化物半導體層8之

成膜條件較佳為至少分2個階段進行設定。於第1階段中，將成膜溫度設為1030°C左右，將V/III設為2000左右，於脊部RJ上形成氮化物半導體層8之生長核(縱向生長層)。可將生長核之厚度(高度)設為1 μm~3 μm左右，將其寬度設為與脊部RJ之寬度相同之程度或者稍微於a軸方向(<11-20>方向)上突出之尺寸。於第2階段中，將成膜溫度提高100°C左右，使GaN層自生長核於橫向(a軸方向)上生長，且於在空隙JS上朝反方向生長之氮化物半導體層8(GaN層)彼此之間隙GP之寬度達到規定值(例如10 μm以下)之時點停止生長。關於藉由以上而獲得之半導體基板10(氮化物半導體層8露出之狀態)，可自MOCVD裝置中取出並儲存，亦可繼而於MOCVD裝置內形成包括活化層等之功能層9。

**【0056】** 第1翼部W1之第1方向X上之寬度相對於厚度之比可為5.0以上。第1翼部W1之第1方向X上之寬度可為7.0[μm]以上。間隙GP之寬度可大於空隙JS之厚度(高度)。第1翼部W1之寬度相對於脊部RJ之寬度之比可為3.0以上。空隙JS之厚度(高度)可為3.0[μm]以下。遮罩部5之厚度可為50[nm]以下。種晶部3可包含含有 $2 \times 10^{18}/\text{cm}^3$ 以上之氫或氧之氮化物半導體。

**【0057】** 圖39係表示本實施方式之半導體基板之構成例之俯視圖。圖40係包括圖39之a-a線及b-b線之剖視圖之一例。如圖39及圖40所示，半導體基板10具備脊形基板RS及氮化物半導體層8，該脊形基板RS包括於第1方向X延伸之脊部RJ、以及位於較脊部RJ更低之位置且介隔脊部RJ而相鄰之第1表面部F1及第2表面部F2，該氮化物半導體層8位於脊形基板RS上，氮化物半導體層8包括：第1連繫部T1，其位於脊部RJ上；第1翼部W1，其以自第1表面部F1浮起之狀態與第1連繫部T1相連；及第1凹部

B1，其位於脊部RJ上且為相對於第1連繫部T1凹陷之形狀。脊部RJ包括與氮化物半導體層8相連之結晶部CS、及與結晶部CS相接之生長抑制膜DF。

【0058】脊形基板RS可包括晶格常數與氮化物半導體層8不同之主基板1，氮化物半導體層8包括GaN系半導體，主基板1可為矽基板或碳化矽基板。脊形基板RS具備位於主基板1之上方之基底層4，基底層4包括種晶區域S、及第1表面部F1(生長抑制區域DA)，結晶部CS可位於種晶區域S上。於脊形基板RS中，在基底層4中形成有改質區域及非改質區域，非改質區域作為種晶區域S發揮功能，改質區域作為生長抑制區域(非種晶區域)DA發揮功能。改質區域(F1、F2)可對基底層4(例如AlN層)施加電漿處理等而形成。

【0059】於圖39、圖40之半導體基板10中，可於連續形成種晶區域S(非改質區域)上之結晶部CS(例如GaN系半導體結晶)、及與結晶部CS相接之生長抑制膜DF(例如氮化矽膜)之後，使第1翼部W1以自第1表面部F1(生長抑制區域DA)浮起之狀態橫向生長。

【0060】氮化物半導體層8可包括以自第2表面部F2(生長抑制區域DA)浮起之狀態與第1連繫部T1相連之第2翼部W2。氮化物半導體層8包括位於脊部RJ上且與第1連繫部T1分離之第2連繫部T2，第1翼部W1可與第2連繫部T2相連。如此，能夠藉由第1及第2連繫部T1、T2來保持第1翼部W1，使得第1翼部W1之穩定性提高。第1連繫部T1及第2連繫部T2可與第1翼部W1之在第1方向X上相對之兩端部相連，第1凹部B1可位於第1連繫部T1及第2連繫部T2之間。

【0061】

(附記事項)

以上之揭示係以例示及說明為目的，而不以限定為目的。基於該等例示及說明，許多變化形態對於業者而言顯而易見，因此須注意該等變化形態亦包含於實施方式中。

**【符號說明】**

**【0062】**

- 1:主基板
- 2:緩衝部
- 3:種晶部
- 4:基底層
- 5A:第1遮罩部(第1表面部)
- 5B:第2遮罩部(第2表面部)
- 6:遮罩圖案
- 7:模板基板
- 8:氮化物半導體層
- 9:功能層
- 9A:活化層
- 9N:n型層
- 9P:p型層
- 10:半導體基板
- 15:積層體
- 20:半導體元件
- 31:半導體基板之製造裝置

61:半導體元件之製造裝置

91:半導體元件之製造裝置

A1:相鄰部

A2:相鄰部

B1:第1凹部

B2:第2凹部

B3:第3凹部

BT:交界

C1:第1缺口部

C2:第2缺口部

CF:面

CL:直線

CS:結晶部

D:電極

D1:電極

D2:電極

DA:生長抑制區域

DF:生長抑制膜

E1:第1邊緣

E2:第2邊緣

F1:第1表面部

F2:第2表面部

GP:間隙

H:金屬層

JS:中空部(空隙)

JD:空隙

M10:裝置

M20:裝置

M30:裝置

M35:裝置

M40:裝置

M50:裝置

M60:裝置

M65:裝置

M70:裝置

M80:裝置

M85:裝置

M90:裝置

M95:裝置

RJ:脊部

RS:脊形基板

S:種晶區域

S10:步驟

S20:步驟

S30:步驟

S40:步驟

S50:步驟

S60:步驟

S70:步驟

S80:步驟

S85:步驟

S90:步驟

ST:支持基板

T1:第1連繫部

T2:第2連繫部

T3:第3連繫部

TP:膠帶

TS:曲面

UR:基部

W1:第1翼部

W2:第2翼部

W3:第3翼部

W4:第4翼部

WB:背面

WE:內周

WS:傾斜面

X:第1方向

Y:第2方向

Z:第3方向

## 【發明申請專利範圍】

### 【請求項1】

一種半導體基板(10)，其具備脊形基板(RS)及氮化物半導體層(8)，該脊形基板(RS)包括於第1方向(X)延伸之脊部(RJ)、以及位於較上述脊部(RJ)更低之位置且介隔上述脊部(RJ)而相鄰之第1表面部(F1)及第2表面部(F2)，該氮化物半導體層(8)位於上述脊形基板(RS)上，

上述氮化物半導體層(8)包括：第1連繫部(T1)，其位於上述脊部(RJ)上；第1翼部(W1)，其以自上述第1表面部(F1)浮起之狀態與上述第1連繫部(T1)相連；及第1凹部(B1)，其位於上述脊部(RJ)上，且為相對於上述第1連繫部(T1)凹陷之形狀。

### 【請求項2】

如請求項1之半導體基板，其中上述氮化物半導體層(8)包括以自上述第2表面部(F2)浮起之狀態與上述第1連繫部(T1)相連之第2翼部(W2)。

### 【請求項3】

如請求項1之半導體基板，其中上述氮化物半導體層(8)包括位於上述脊部(RJ)上且與上述第1連繫部(T1)分離之第2連繫部(T2)，

上述第1翼部(W1)與上述第2連繫部(T2)相連。

### 【請求項4】

如請求項3之半導體基板，其中上述第1連繫部(T1)及上述第2連繫部(T2)與上述第1翼部(W1)之在上述第1方向(X)上相對之兩端部相連。

### 【請求項5】

如請求項3之半導體基板，其中上述第1凹部(B1)位於上述第1連繫部(T1)及上述第2連繫部(T2)之間。

**【請求項6】**

如請求項1之半導體基板，其中上述氮化物半導體層(8)包括第2凹部(B2)，該第2凹部(B2)位於上述脊部(RJ)上，且為相對於上述第1連繫部(T1)凹陷之形狀，

上述第1連繫部(T1)位於上述第1凹部(B1)及第2凹部(B2)之間。

**【請求項7】**

如請求項1之半導體基板，其中上述第1凹部(B1)之底到達上述脊部(RJ)。

**【請求項8】**

如請求項1之半導體基板，其中上述第1凹部(B1)之底不到達上述脊部(RJ)。

**【請求項9】**

如請求項1之半導體基板，其中上述脊部(RJ)之上表面為種晶區域(S)。

**【請求項10】**

如請求項1之半導體基板，其中上述氮化物半導體層(8)包括第3翼部(W3)，該第3翼部(W3)以自上述第1表面部(F1)浮起之狀態與上述第1翼部(W1)於上述第1方向(X)上分離。

**【請求項11】**

如請求項10之半導體基板，其中上述氮化物半導體層(8)包括：第3連繫部(T3)，其位於上述脊部(RJ)上；及第3凹部(B3)，其位於上述脊部(RJ)上，且為相對於上述第3連繫部(T3)凹陷之形狀；且

上述第3凹部(B3)位於上述第1連繫部(T1)及上述第3連繫部(T3)之

間，

上述第3翼部(W3)與上述第3連繫部(T3)相連。

**【請求項12】**

如請求項10之半導體基板，其中上述第3翼部(W3)與上述第1連繫部(T1)相連。

**【請求項13】**

如請求項1之半導體基板，其中上述第1表面部(F1)及上述第2表面部(F2)各自具有生長抑制功能。

**【請求項14】**

如請求項13之半導體基板，其中上述第1表面部(F1)為第1遮罩部(5A)，上述第2表面部(F2)為第2遮罩部(5B)，

上述第1翼部(W1)介隔中空部(JD)而位於上述第1遮罩部(5A)上。

**【請求項15】**

如請求項1之半導體基板，其中上述脊形基板(RS)包括晶格常數與上述氮化物半導體層(8)不同之主基板(1)。

**【請求項16】**

如請求項15之半導體基板，其中上述主基板(1)之一部分包含於上述脊部(RJ)。

**【請求項17】**

如請求項1之半導體基板，其中上述第1連繫部(T1)之厚度小於上述第1翼部(W1)之厚度。

**【請求項18】**

如請求項1之半導體基板，其中上述第1翼部(W1)之面積相對於上述

第1連繫部(T1)之面積之比之值為10以上。

**【請求項19】**

如請求項1之半導體基板，其中上述第1翼部(W1)包括與上述第1連繫部(T1)相鄰之第1缺口部(C1)。

**【請求項20】**

如請求項19之半導體基板，其中上述第1翼部(W1)包括與上述第1連繫部(T1)相鄰之第2缺口部(C2)，

於俯視下，連結上述第1缺口部(C1)之前端及上述第2缺口部(C2)之前端之直線相對於第1方向(X)傾斜。

**【請求項21】**

如請求項20之半導體基板，其中上述直線與上述氮化物半導體層(8)之m面平行。

**【請求項22】**

如請求項1之半導體基板，其中上述第1翼部(W1)之側面包含上端變細型之傾斜面(WS)。

**【請求項23】**

如請求項1之半導體基板，其中上述第1連繫部(T1)之上述第1方向(X)上之尺寸為上述第1翼部(W1)之上述第1方向(X)上之尺寸之1/4以下。

**【請求項24】**

如請求項1之半導體基板，其中於上述脊形基板(RS)之上方，具備包括活化層之功能層(9)，

上述功能層(9)位於上述第1翼部(W1)之上方。

**【請求項25】**

如請求項24之半導體基板，其中上述功能層(9)位於上述第1連繫部(T1)之上方。

**【請求項26】**

如請求項24之半導體基板，其中上述功能層(9)於俯視下不與上述第1凹部(B1)重疊。

**【請求項27】**

如請求項24之半導體基板，其中上述功能層(9)於俯視下與上述第1凹部(B1)重疊。

**【請求項28】**

如請求項15之半導體基板，其中上述氮化物半導體層(8)包括GaN系半導體，上述主基板(1)為矽基板、藍寶石基板或碳化矽基板。

**【請求項29】**

如請求項15之半導體基板，其中上述脊部(RJ)包括與上述氮化物半導體層(8)相連之結晶部(CS)、及與上述結晶部(CS)相接之生長抑制膜(DF)。

**【請求項30】**

如請求項29之半導體基板，其中上述脊形基板(RS)具備位於上述主基板(1)之上方之基底層(4)，

上述基底層(4)包括種晶區域(S)、及上述第1表面部(F1)即非種晶區域(DA)，

上述結晶部(CS)位於上述種晶區域(S)上。

**【請求項31】**

如請求項30之半導體基板，其中上述非種晶區域(DA)為上述基底層

(4)之改質區域，

上述種晶區域(S)為上述基底層(4)之非改質區域。

**【請求項32】**

一種半導體基板(10)之製造方法，其包括以下步驟：於脊形基板(RS)之上形成氮化物半導體層(8)，該脊形基板(RS)包括於第1方向(X)延伸之脊部(RJ)、以及位於較上述脊部(RJ)更低之位置且介隔上述脊部(RJ)而相鄰之第1表面部(F1)及第2表面部(F2)；

使上述氮化物半導體層(8)圖案化而形成位於上述脊部(RJ)上之第1連繫部(T1)、以自上述第1表面部(F1)浮起之狀態與上述第1連繫部(T1)相連之第1翼部(W1)、及位於上述脊部(RJ)上且為相對於上述第1連繫部(T1)凹陷之形狀之第1凹部(B1)。

**【請求項33】**

一種半導體元件(20)之製造方法，其包括以下步驟：準備半導體基板(10)，該半導體基板(10)具備脊形基板(RS)、氮化物半導體層(8)及功能層(9)，該脊形基板(RS)包括於第1方向(X)延伸之脊部(RJ)、以及位於較上述脊部(RJ)更低之位置且介隔上述脊部(RJ)而相鄰之第1表面部(F1)及第2表面部(F2)，該氮化物半導體層(8)位於上述脊形基板(RS)上，上述氮化物半導體層(8)包括位於上述脊部(RJ)上之第1連繫部(T1)、以自上述第1表面部(F1)浮起之狀態與上述第1連繫部(T1)相連之第1翼部(W1)、及位於上述脊部(RJ)上且為相對於上述第1連繫部(T1)凹陷之形狀之第1凹部(B1)，上述功能層(9)位於上述第1翼部(W1)上；及

將上述第1翼部(W1)與上述第1連繫部(T1)分斷。

**【請求項34】**

一種半導體元件(20)之製造方法，其包括以下步驟：準備半導體基板(10)，該半導體基板(10)具備脊形基板(RS)及氮化物半導體層(8)，該脊形基板(RS)包括於第1方向(X)延伸之脊部(RJ)、以及位於較上述脊部(RJ)更低之位置且介隔上述脊部(RJ)而相鄰之第1表面部(F1)及第2表面部(F2)，該氮化物半導體層(8)位於上述脊形基板(RS)上，上述氮化物半導體層(8)包括位於上述脊部(RJ)上之第1連繫部(T1)、以自上述第1表面部(F1)浮起之狀態與上述第1連繫部(T1)相連之第1翼部(W1)、及位於上述脊部(RJ)上且為相對於上述第1連繫部(T1)凹陷之形狀之第1凹部(B1)；及

於上述第1翼部(W1)上形成功能層(9)。

#### 【請求項35】

一種半導體元件(20)之製造方法，其包括以下步驟：準備半導體基板(10)，該半導體基板(10)具備脊形基板(RS)及氮化物半導體層(8)，該脊形基板(RS)包括於第1方向(X)延伸之脊部(RJ)、以及位於較上述脊部(RJ)更低之位置且介隔上述脊部(RJ)而相鄰之第1表面部(F1)及第2表面部(F2)，該氮化物半導體層(8)位於上述脊形基板(RS)上，且不與上述第1表面部(F1)及上述第2表面部(F2)接觸；

於上述氮化物半導體層(8)上形成功能層(9)；及

於形成上述功能層(9)後使上述氮化物半導體層(8)圖案化，而於上述氮化物半導體層(8)形成位於上述脊部(RJ)上之第1連繫部(T1)、以自上述第1表面部(F1)浮起之狀態與上述第1連繫部(T1)相連之第1翼部(W1)、及位於上述脊部(RJ)上且為相對於上述第1連繫部(T1)凹陷之形狀之第1凹部(B1)。

#### 【請求項36】

如請求項32之半導體基板之製造方法，其使用ELO法形成上述氮化物半導體層(8)。

**【請求項37】**

如請求項33或34之半導體元件之製造方法，其中上述功能層(9)包括GaN系半導體且具有量子井結構之活化層。

**【請求項38】**

如請求項34或35之半導體元件之製造方法，其包括將上述第1連繫部(T1)與上述第1翼部(W1)分斷之步驟。

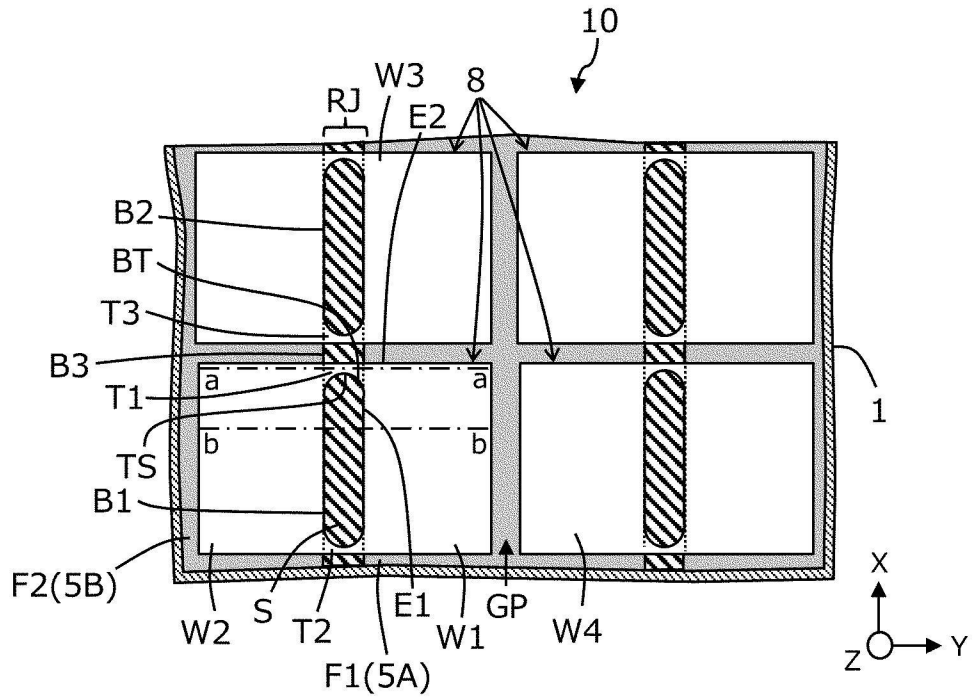
**【請求項39】**

一種半導體基板(10)之製造裝置，其進行如請求項32之各步驟。

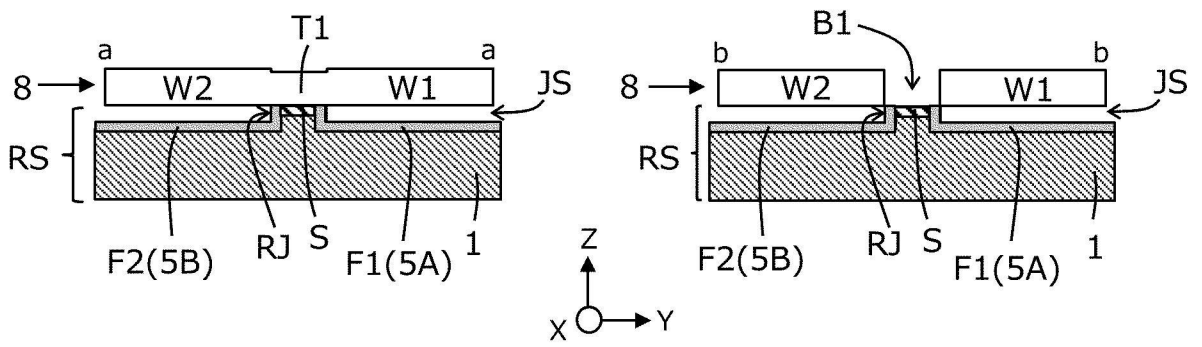
**【請求項40】**

一種半導體元件(20)之製造裝置，其進行如請求項33至35中任一項之各步驟。

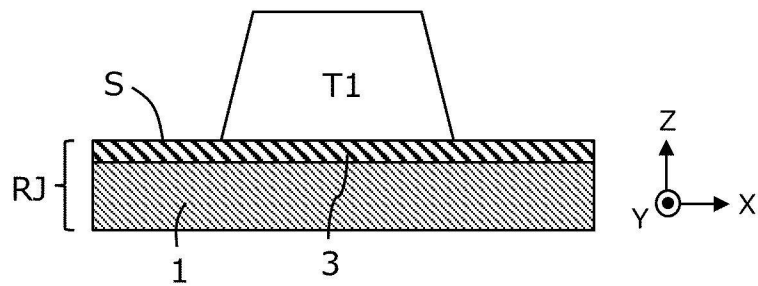
【發明圖式】



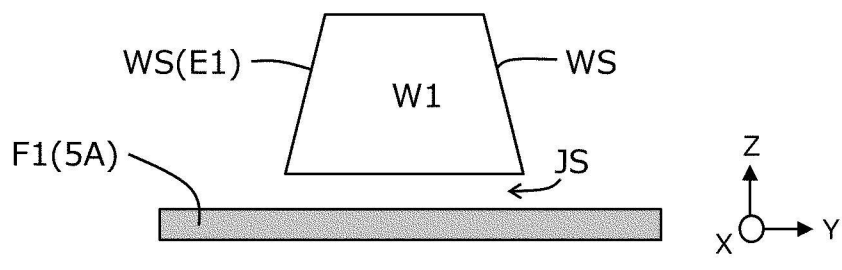
【圖1】



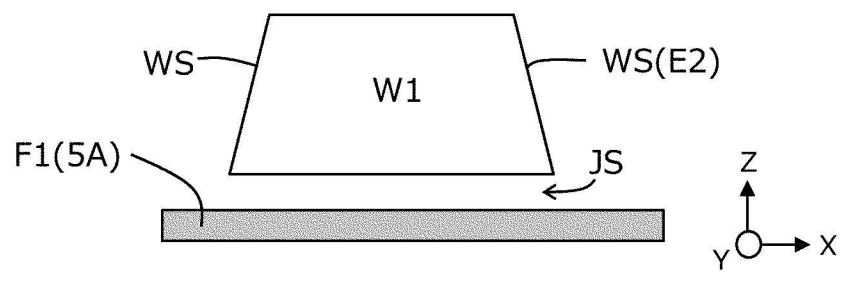
【圖2】



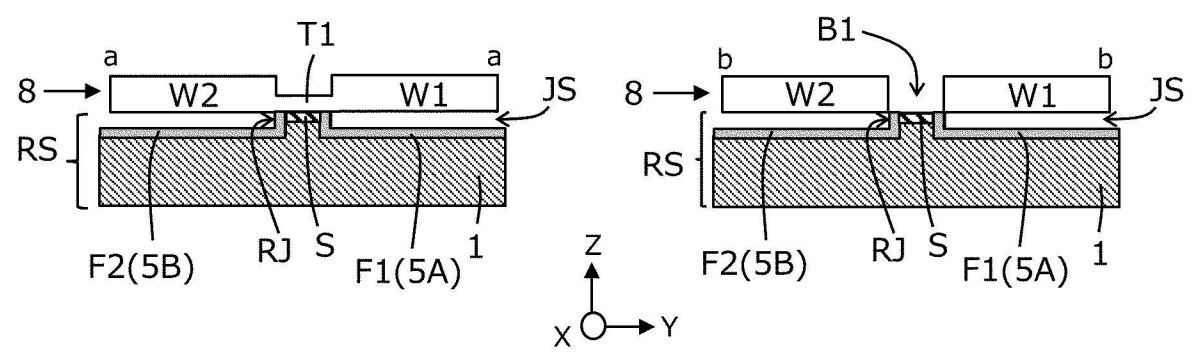
【圖3】



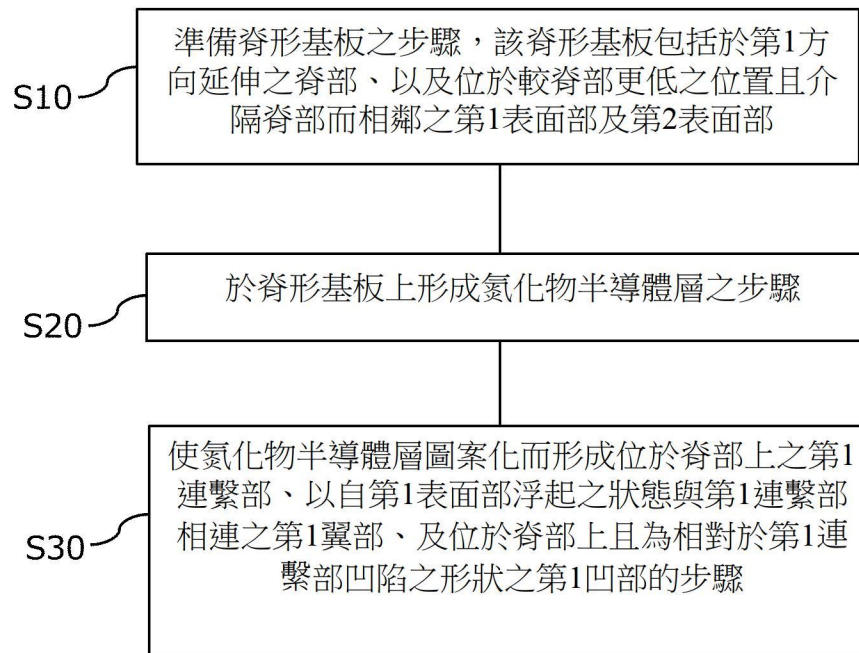
【圖4】



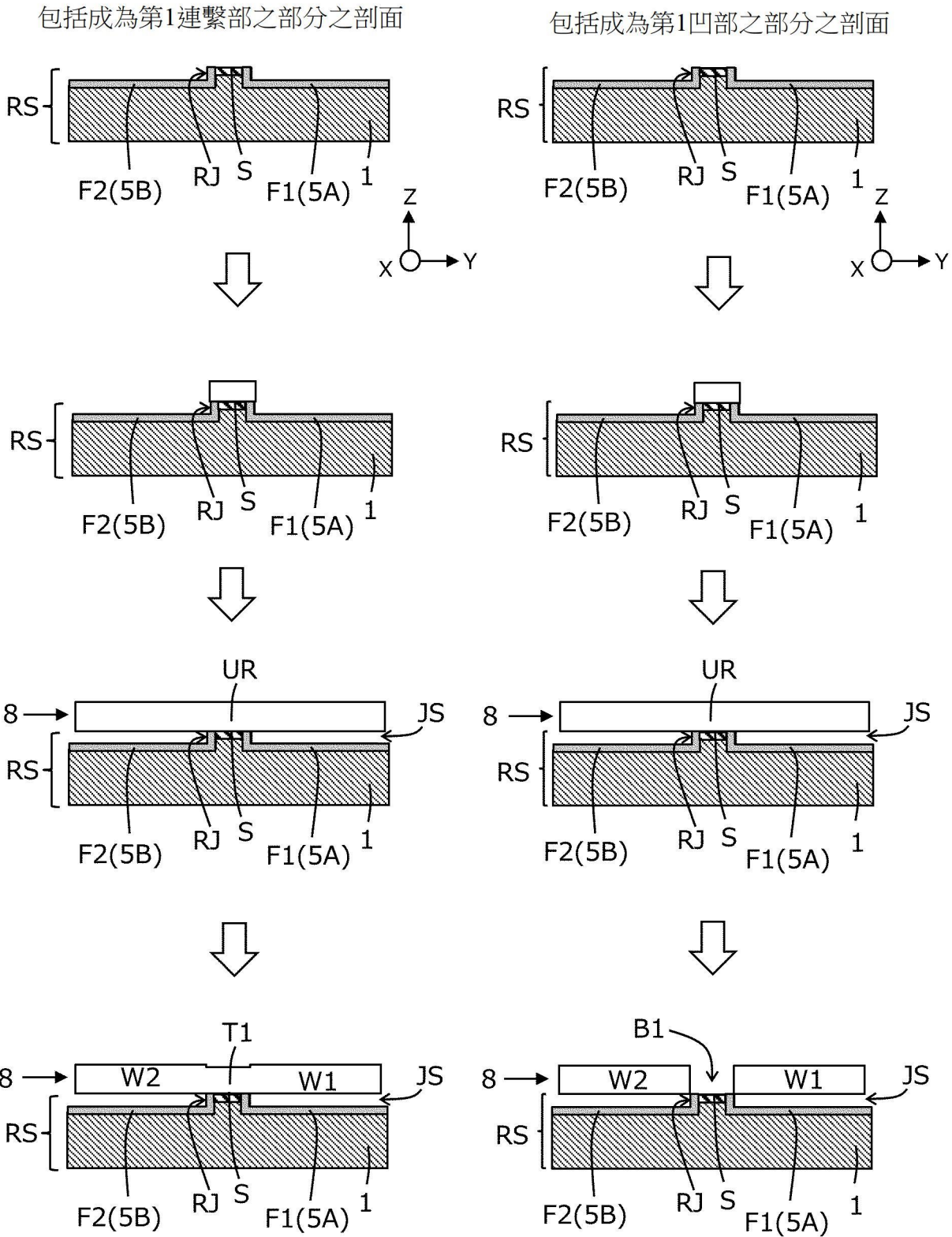
【圖5】



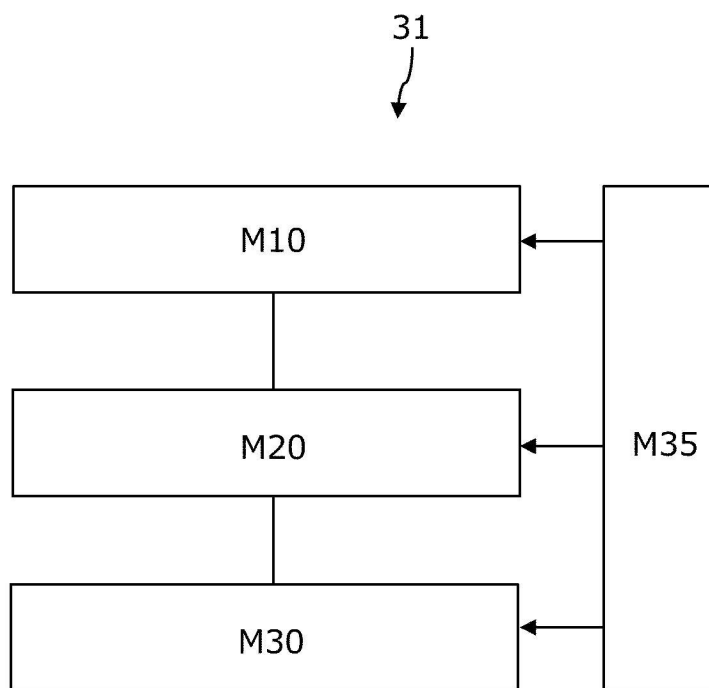
【圖6】



【圖7】



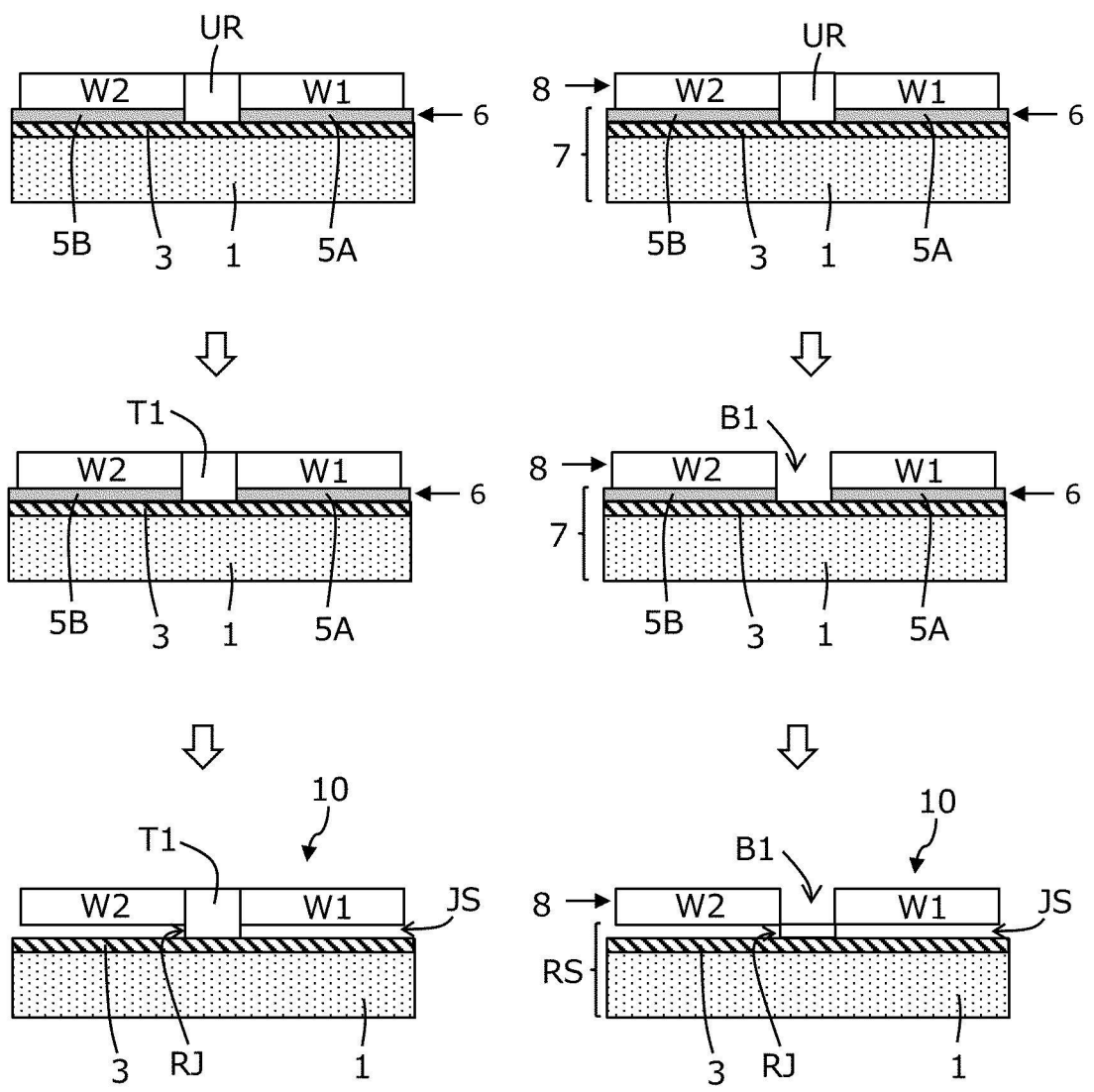
【圖8】



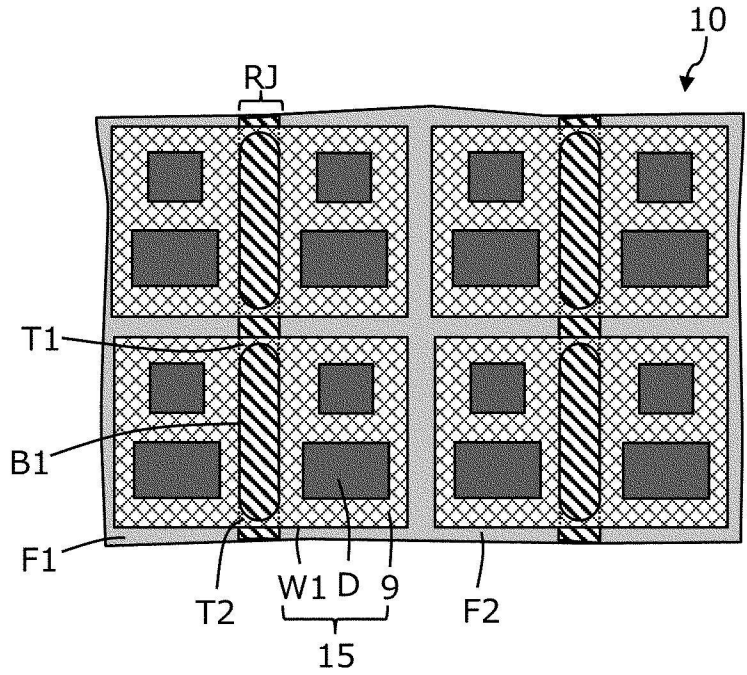
【圖9】

包括成為第1連繫部之部分之剖面

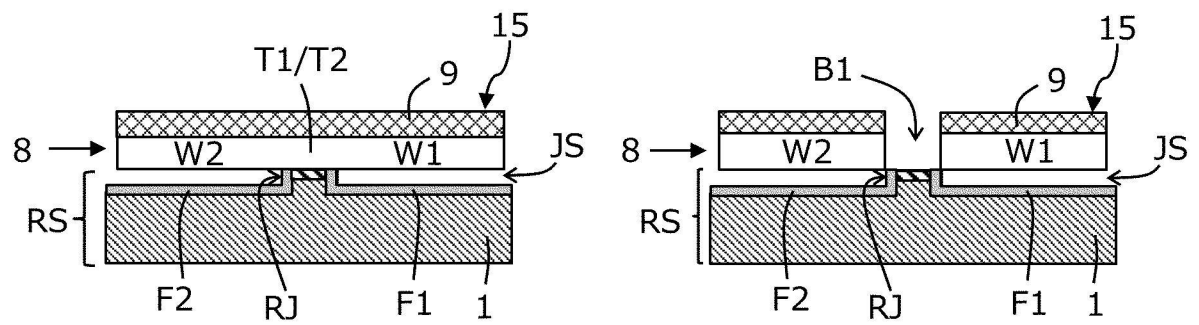
包括成為第1凹部之部分之剖面



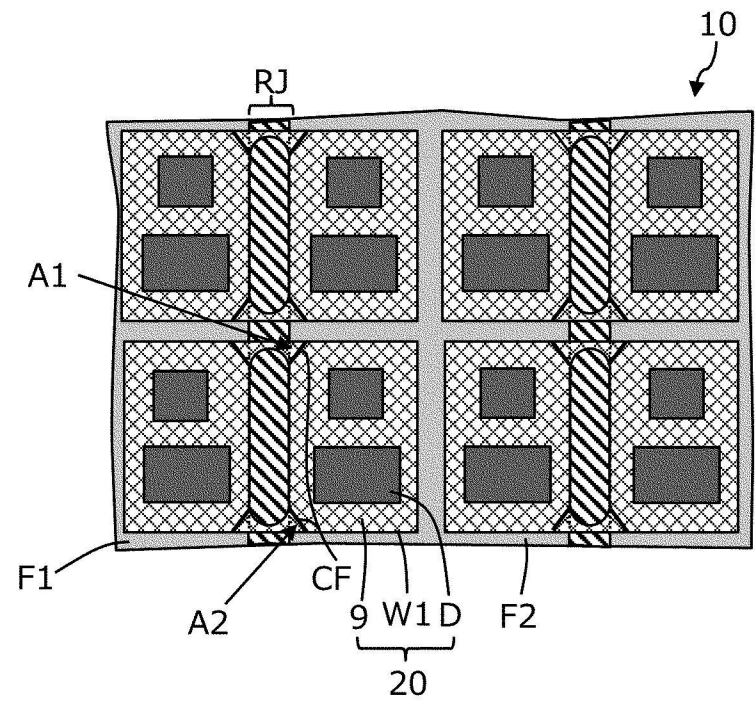
【圖10】



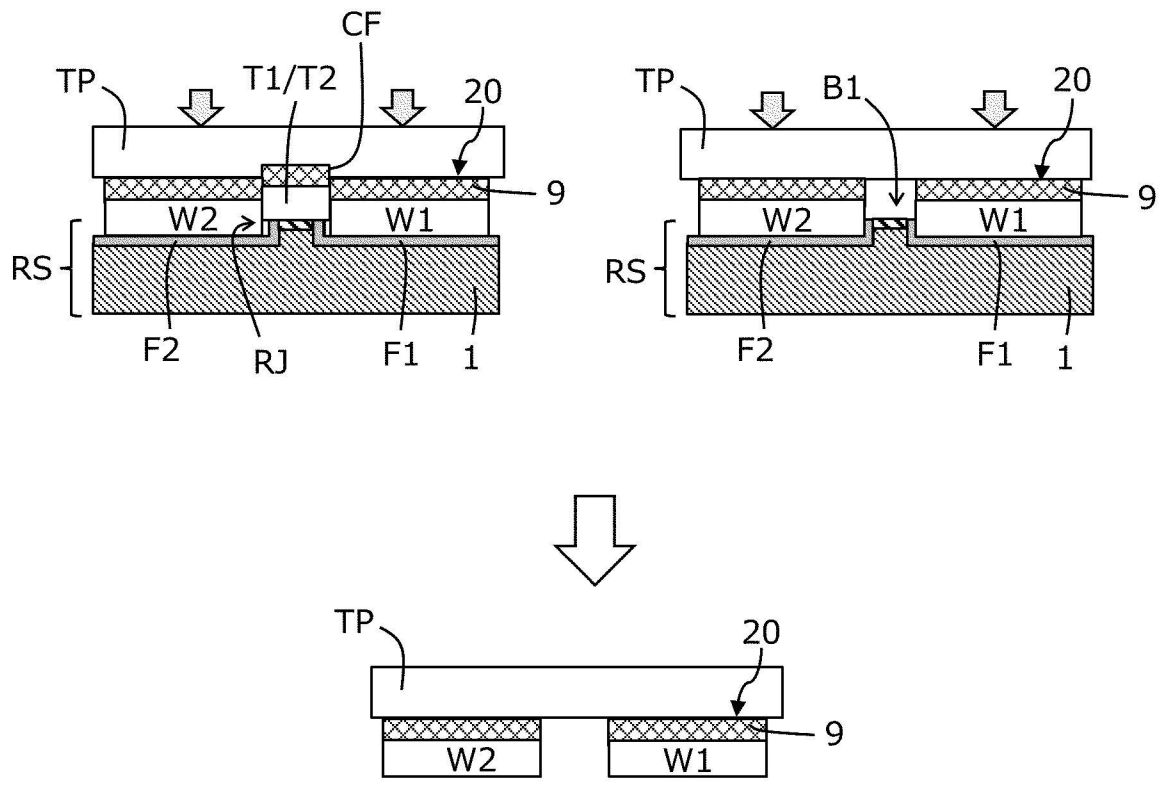
【圖11】



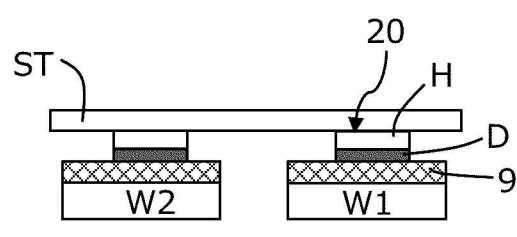
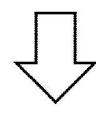
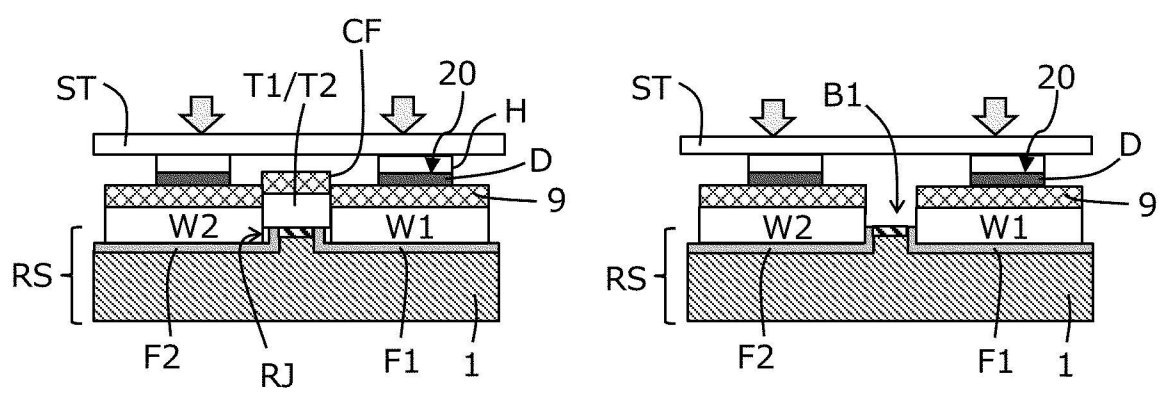
【圖12】



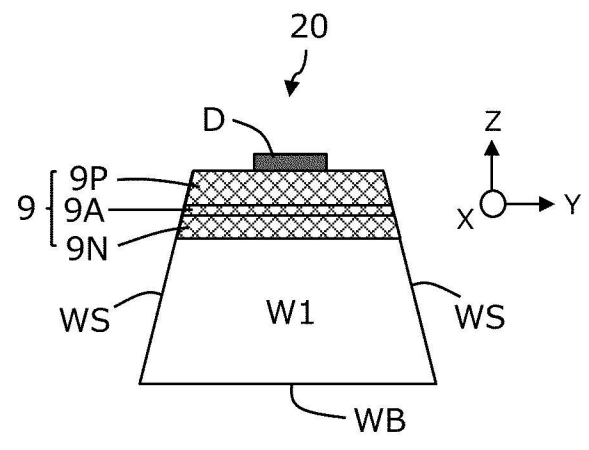
【圖13】



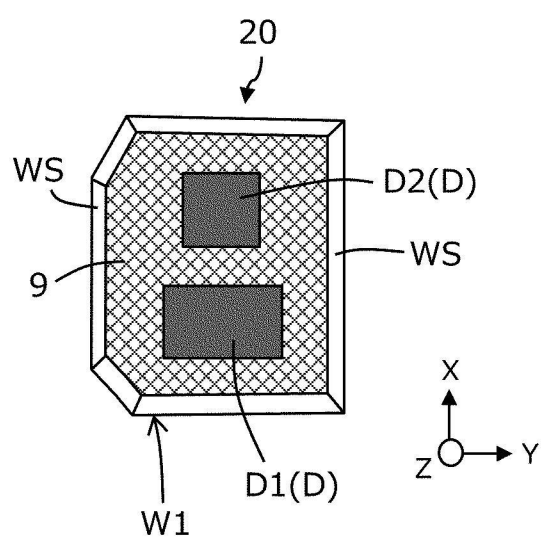
【圖14】



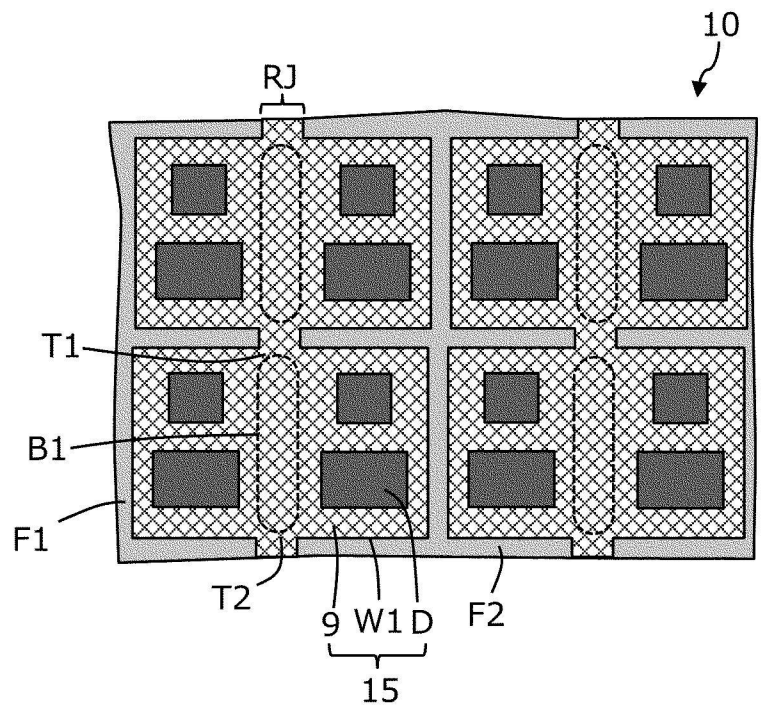
【圖15】



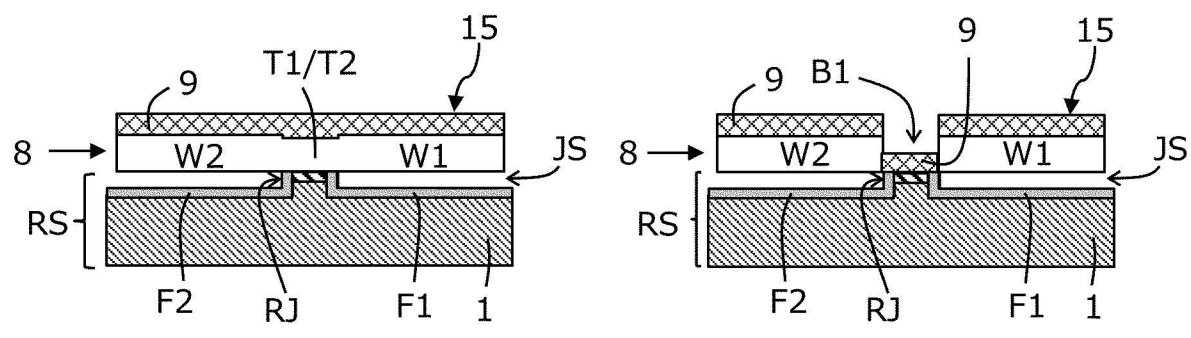
【圖16】



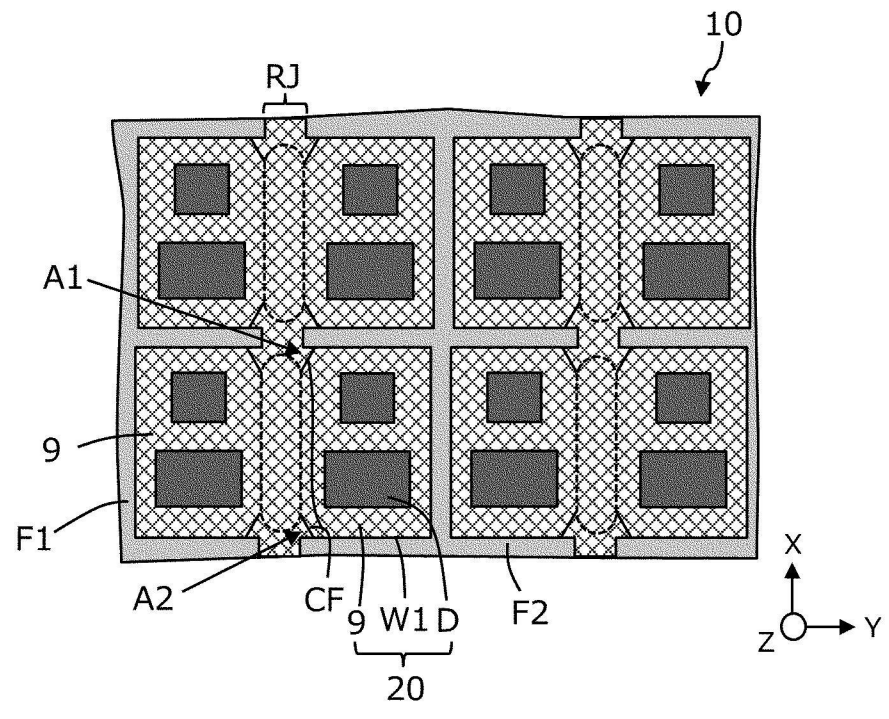
【圖17】



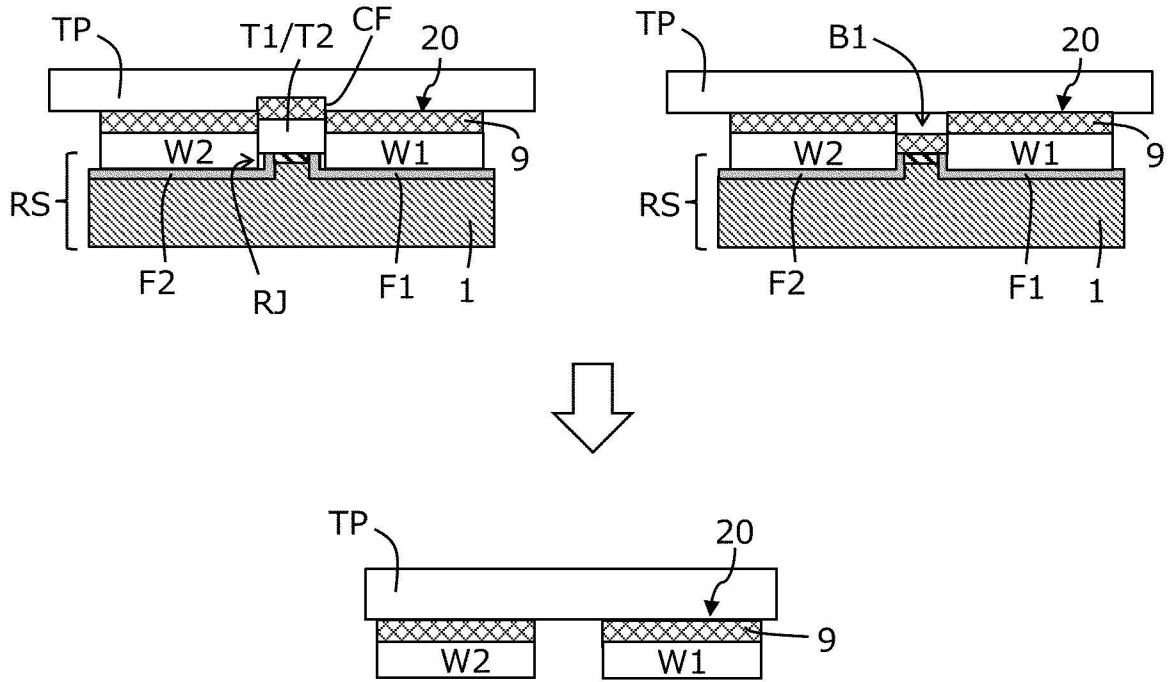
【圖18】



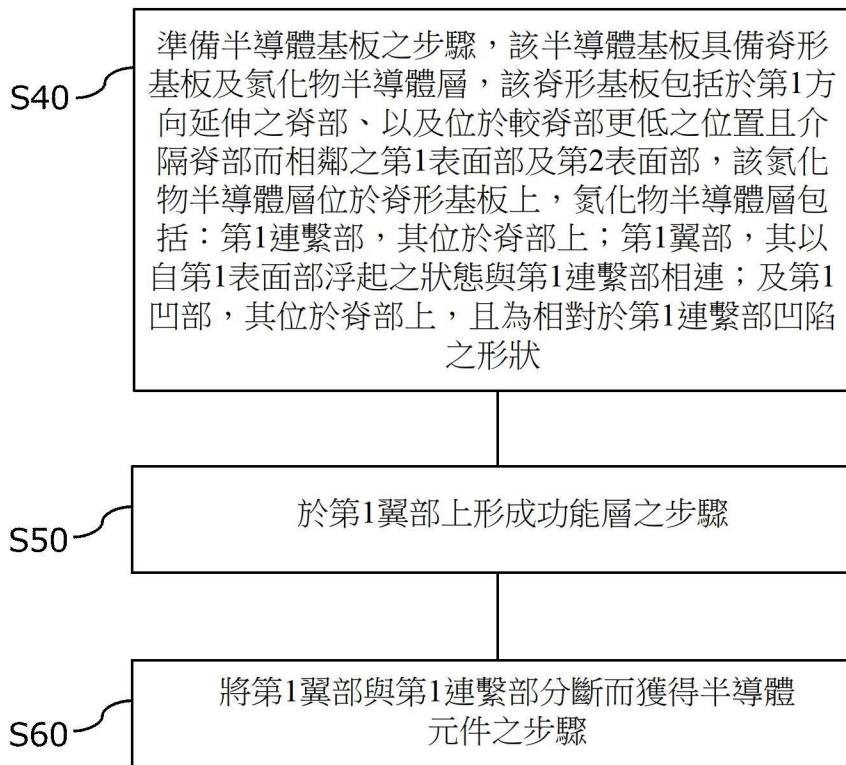
【圖19】



【圖20】



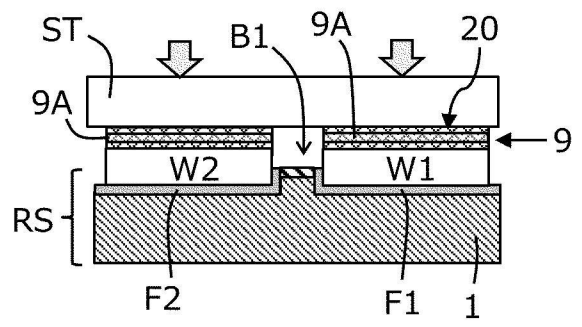
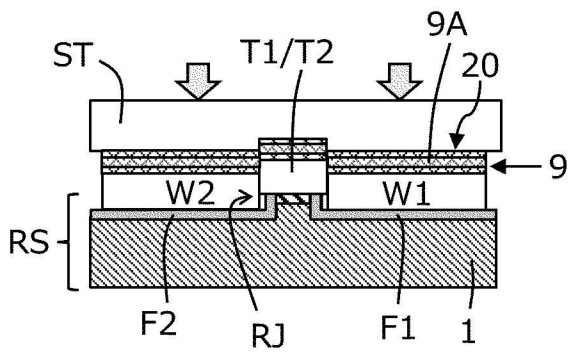
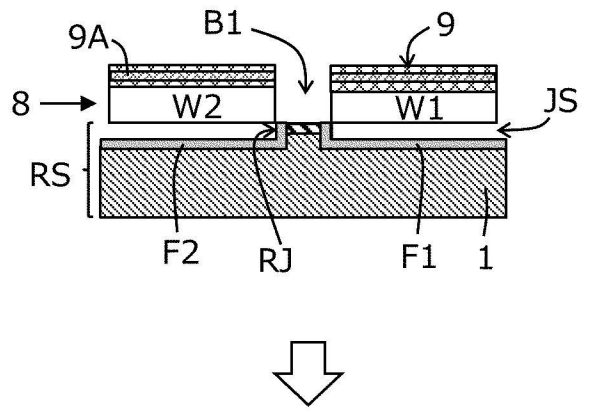
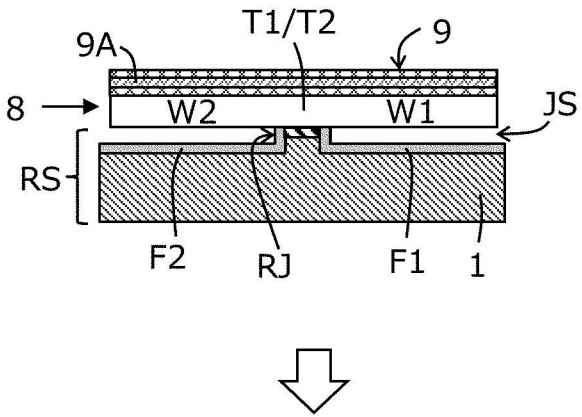
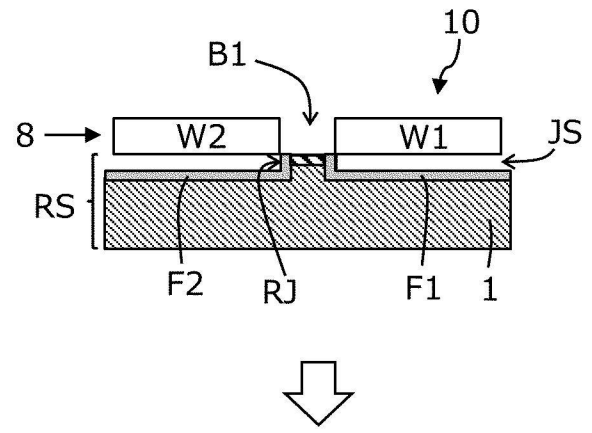
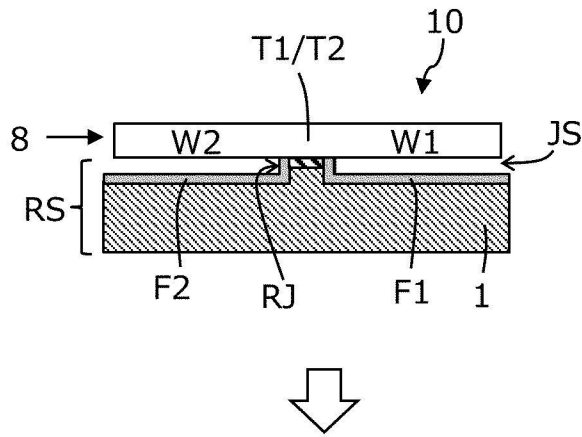
【圖21】



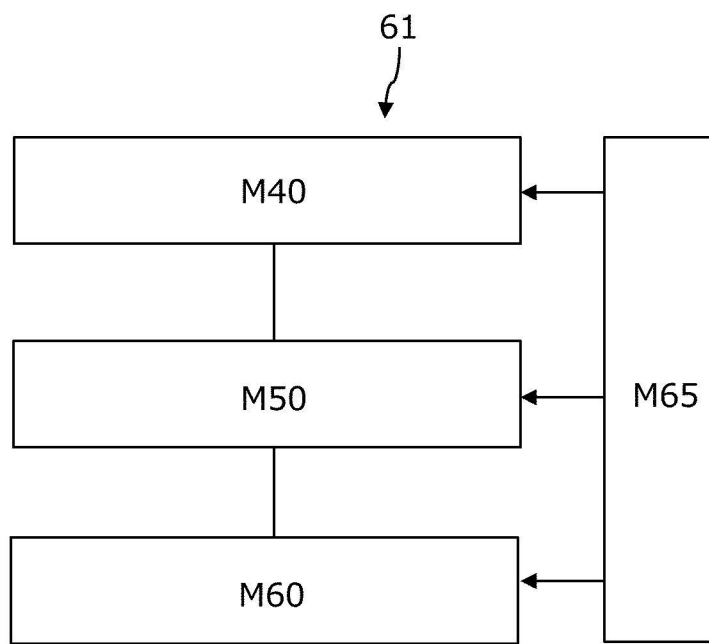
【圖22】

包括成為第1連繫部之部分之剖面

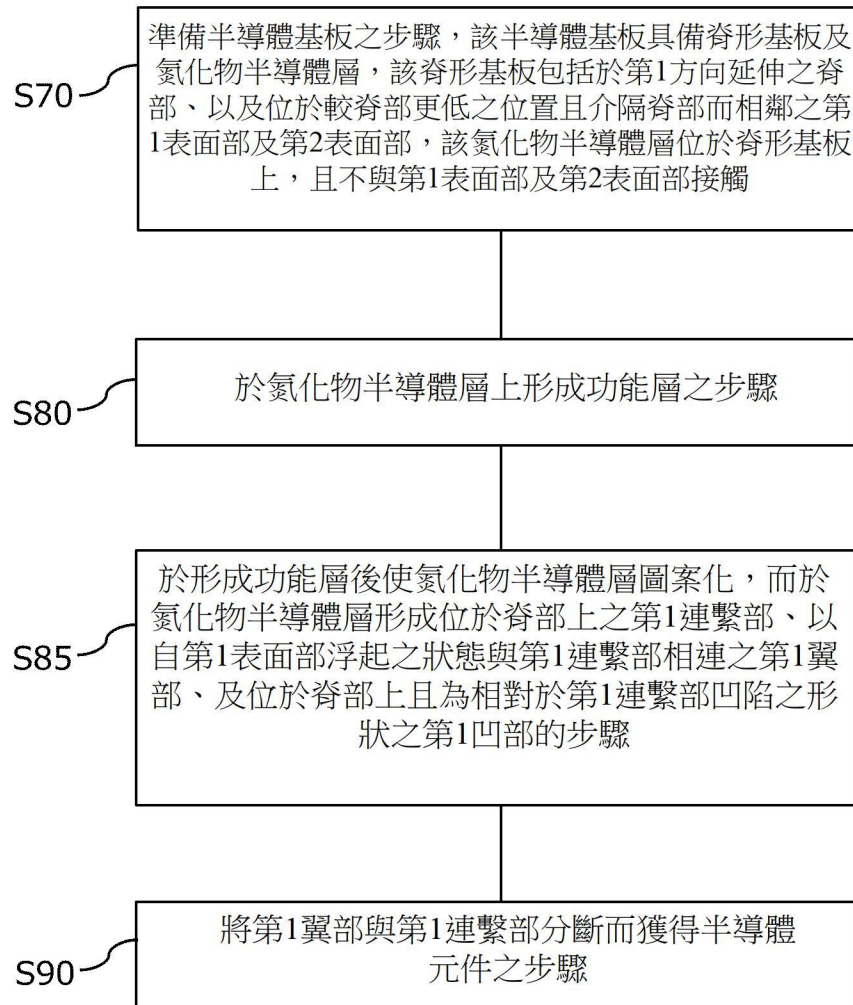
包括成為第1凹部之部分之剖面



【圖23】



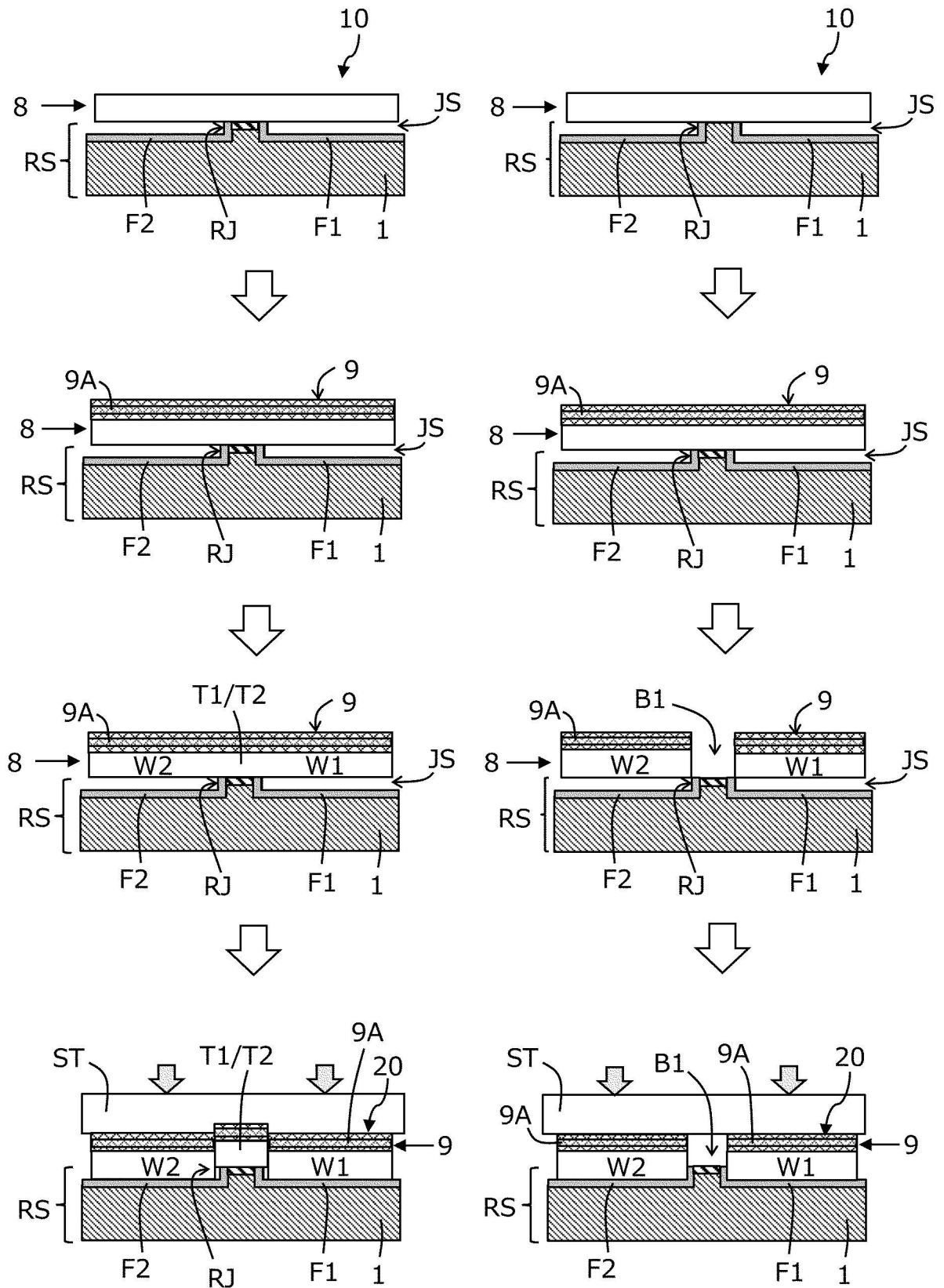
【圖24】



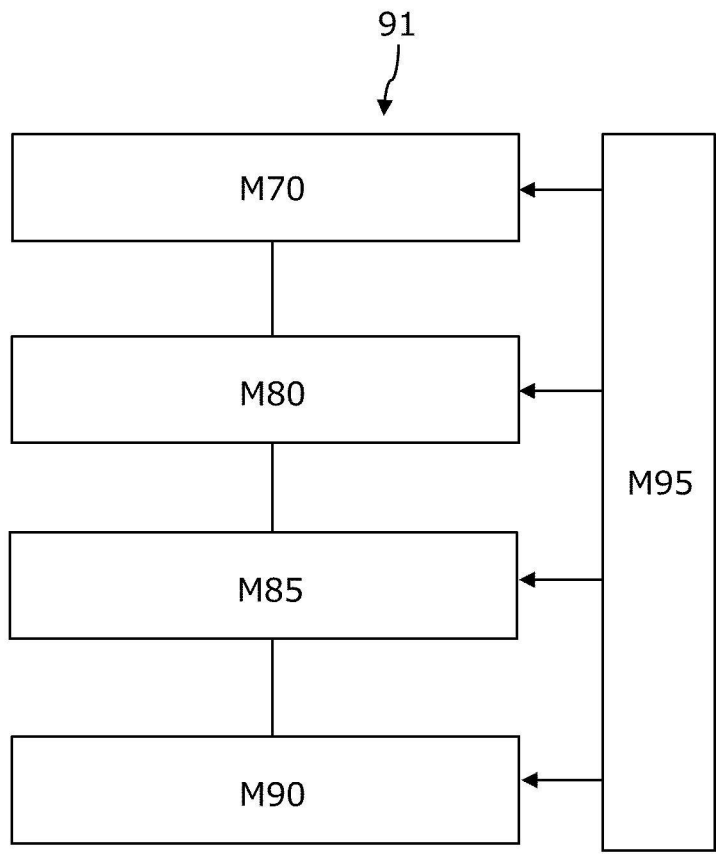
【圖25】

包括成為第1連繫部之部分之剖面

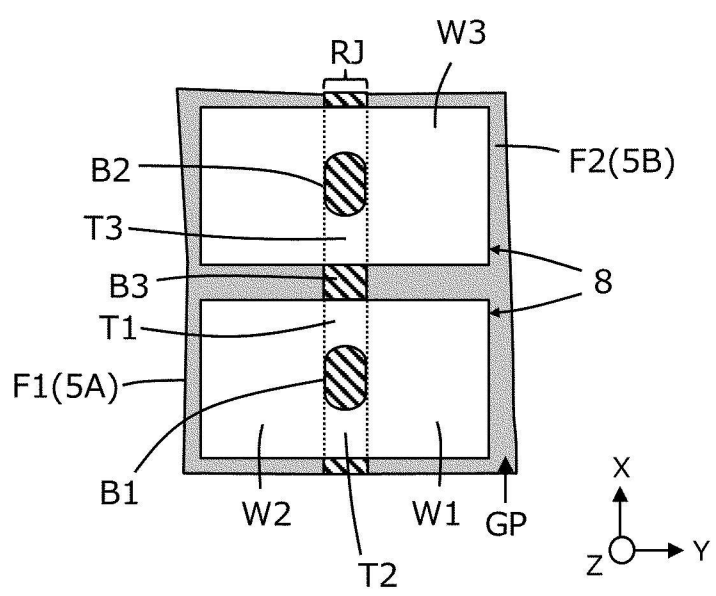
包括成為第1凹部之部分之剖面



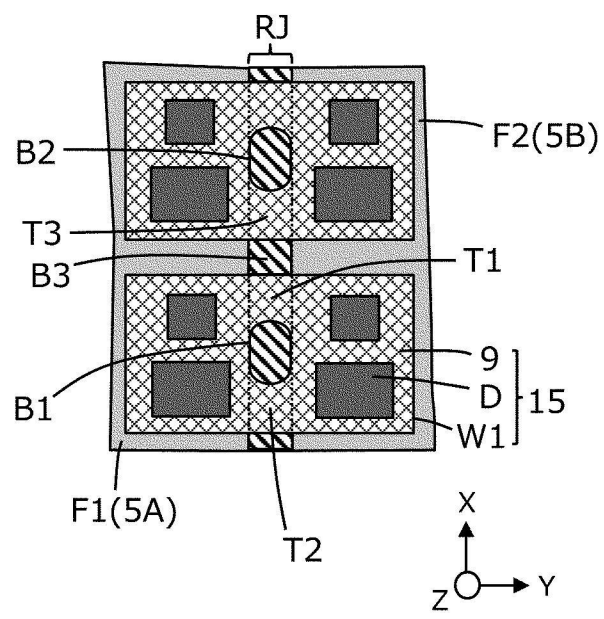
【圖26】



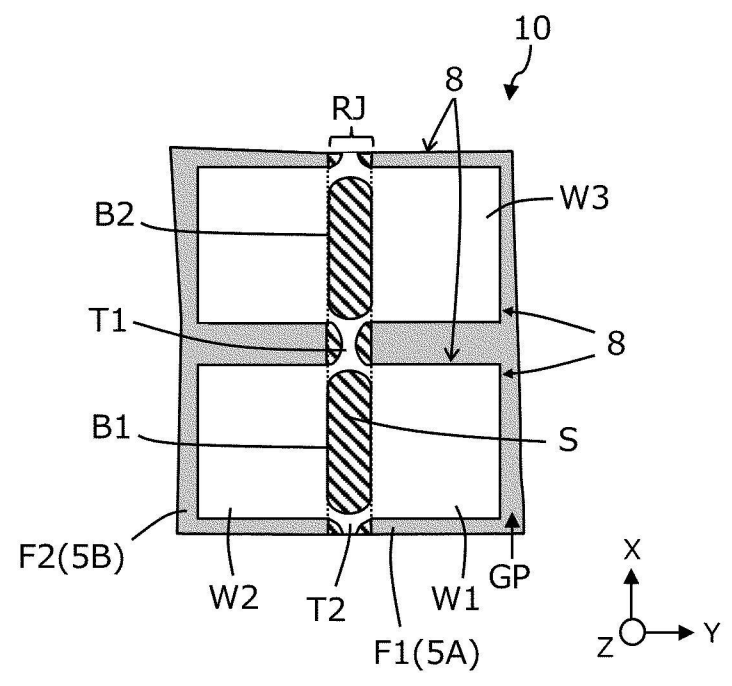
【圖27】



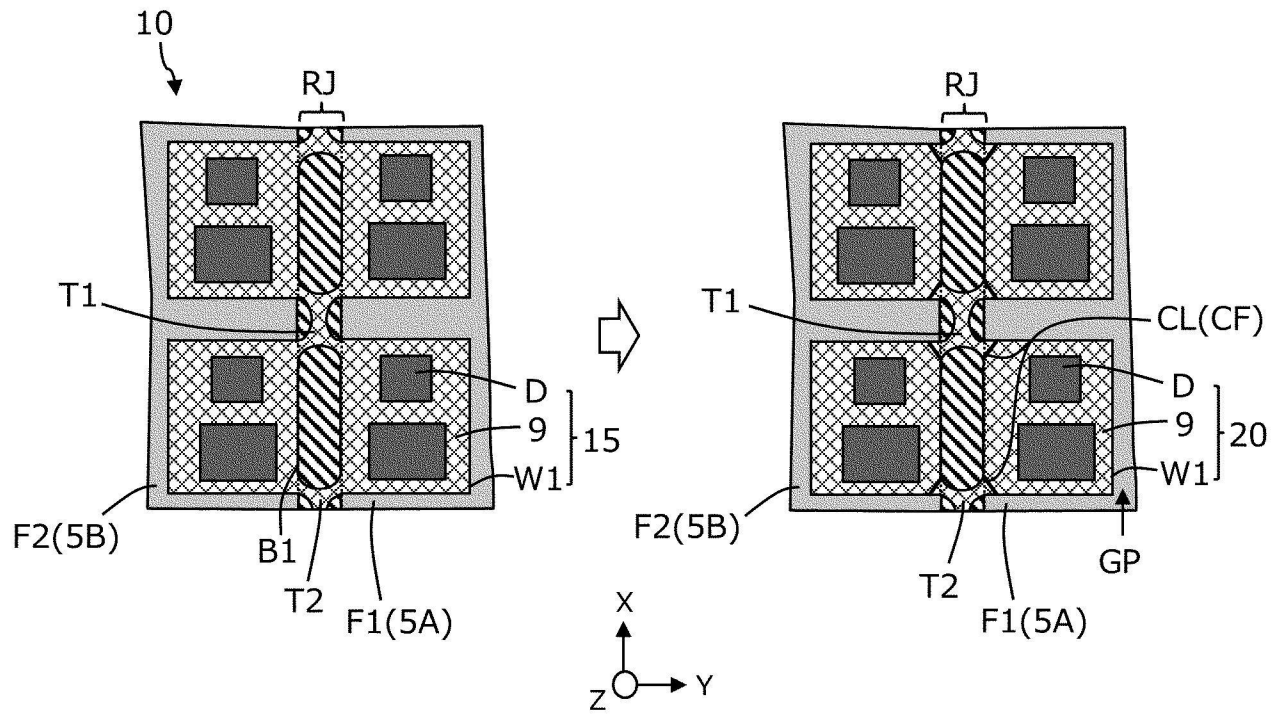
【圖28】



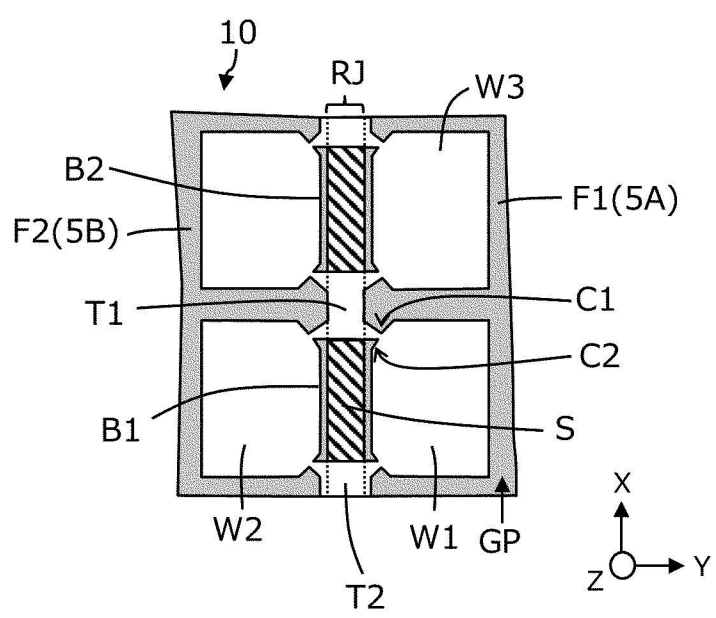
【圖29】



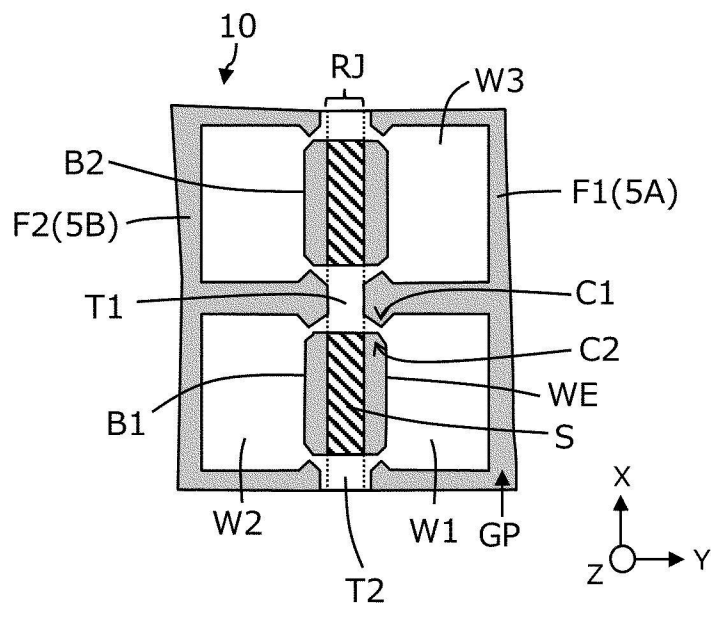
【圖30】



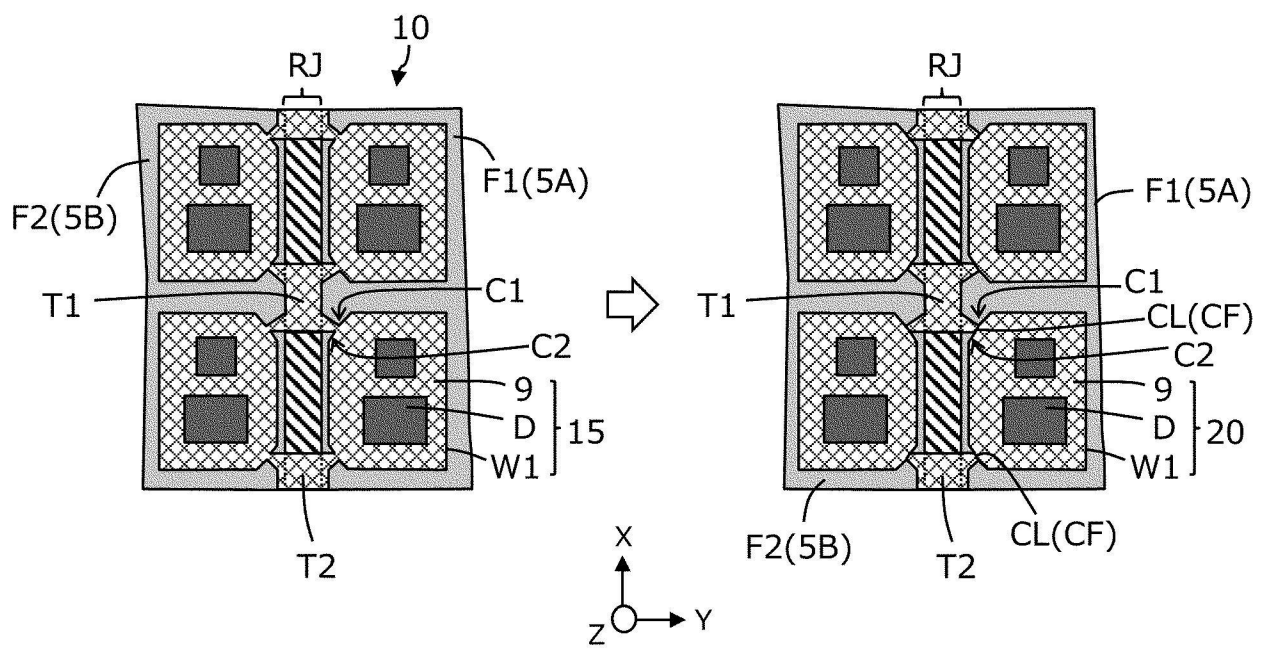
【圖31】



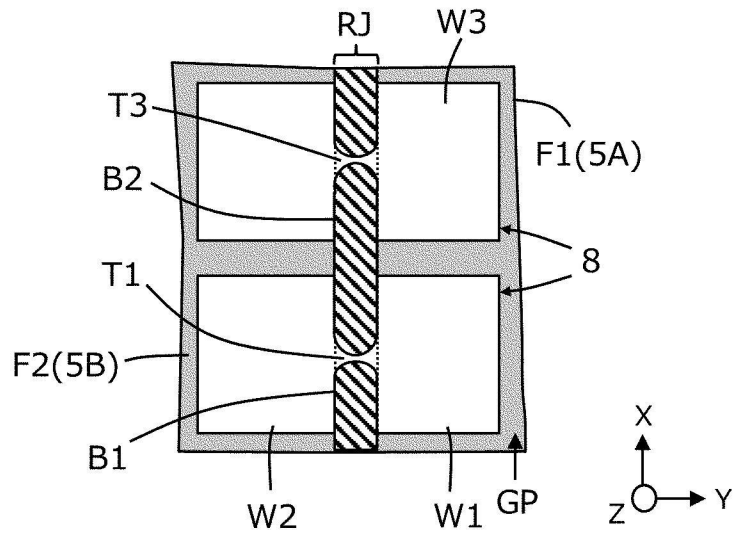
【圖32A】



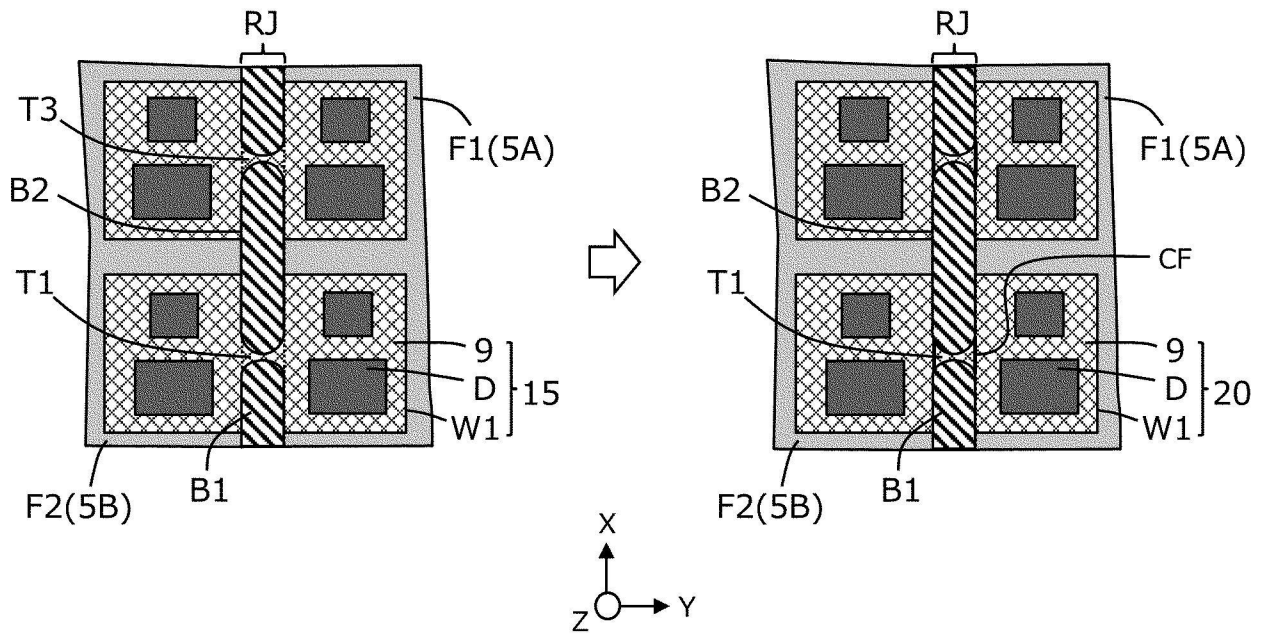
【圖32B】



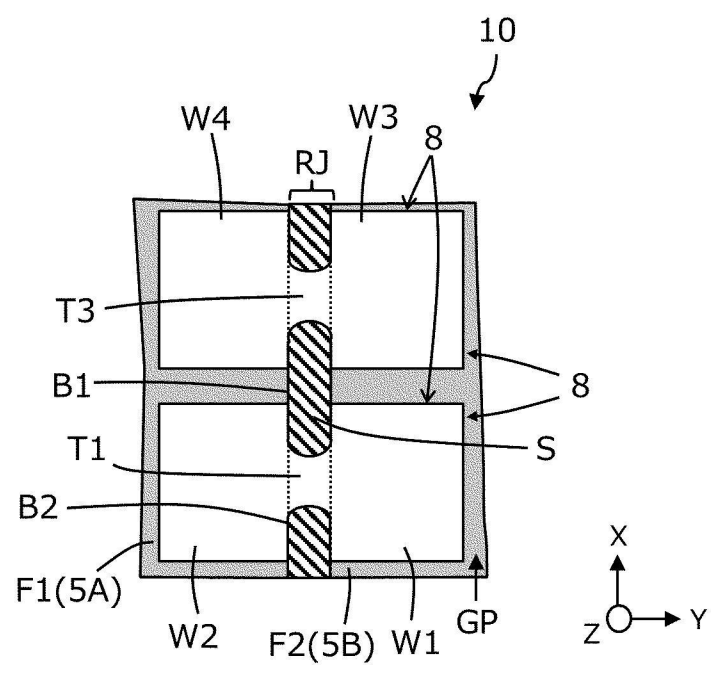
【圖33】



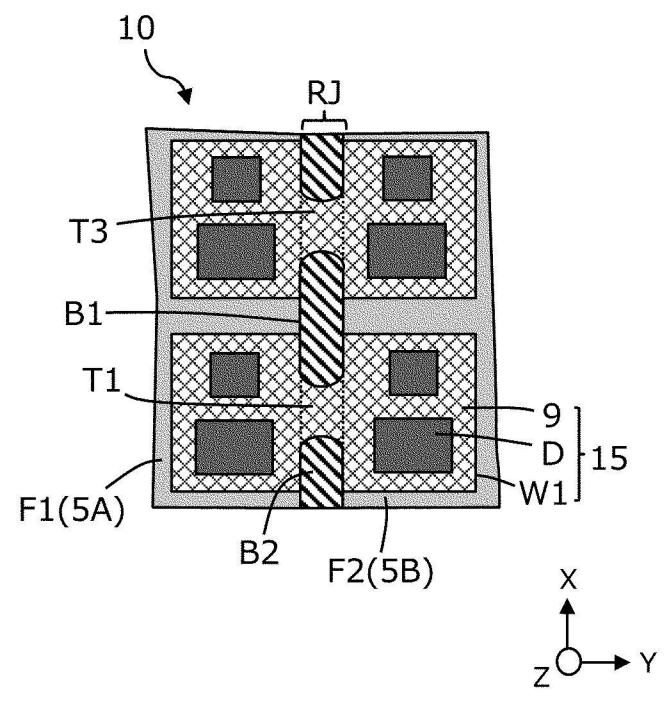
【圖34】



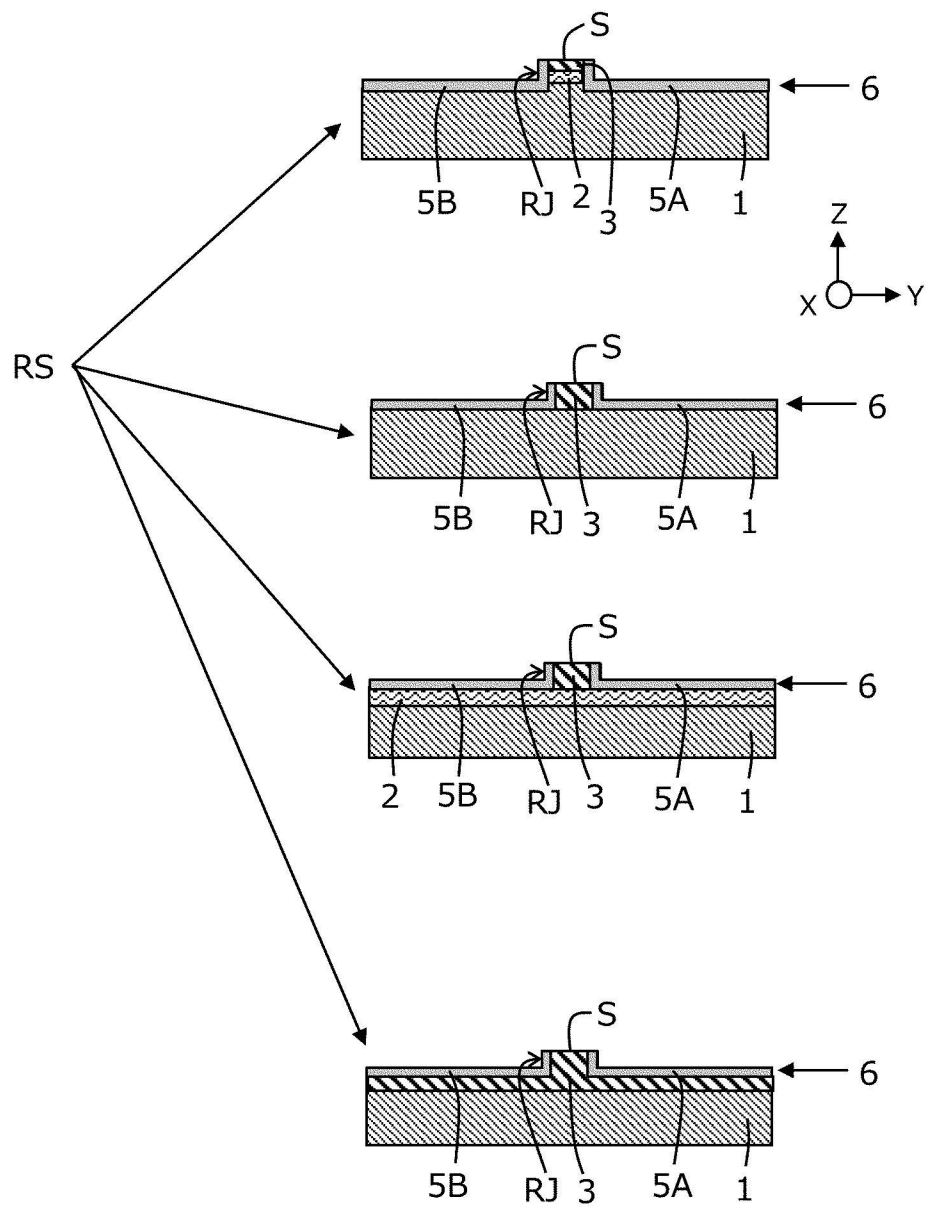
【圖35】



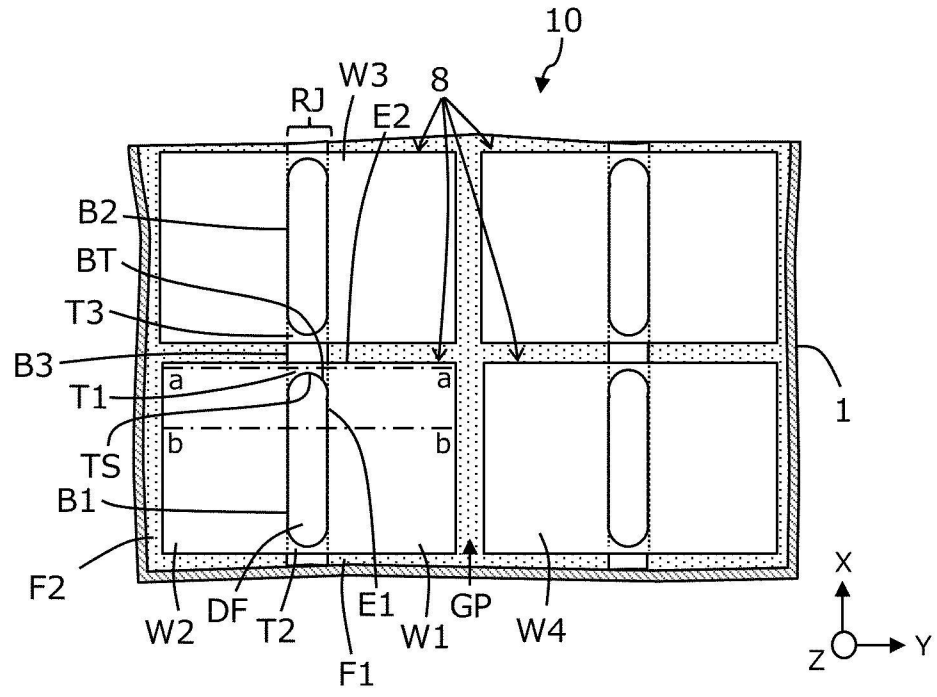
【圖36】



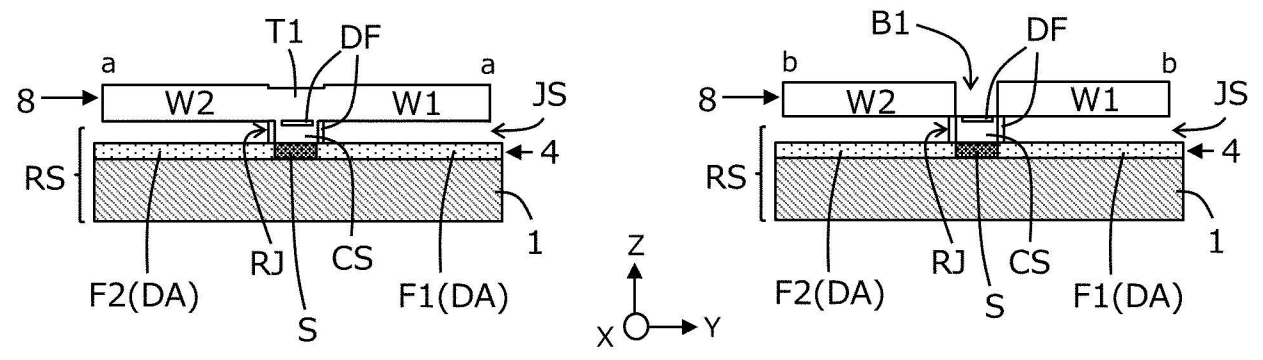
【圖37】



【圖38】



【圖39】



【圖40】