【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第６部門第３区分
【発行日】平成27年4月9日(2015.4.9)

【公開番号】特開2014-6685(P2014-6685A)
【公開日】平成26年1月16日(2014.1.16)
【年通号数】公開・登録公報2014-002
【出願番号】特願2012-141718(P2012-141718)
【国際特許分類】
Ｇ０６Ｆ　12/08　　(2006.01)
Ｇ０６Ｆ　 9/38　　(2006.01)
【ＦＩ】
Ｇ０６Ｆ　12/08　　５０５Ｚ
Ｇ０６Ｆ　12/08　　５０１Ｄ
Ｇ０６Ｆ　 9/38　　３３０Ｆ

【手続補正書】
【提出日】平成27年2月23日(2015.2.23)
【手続補正１】
【補正対象書類名】明細書
【補正対象項目名】０１１４
【補正方法】変更
【補正の内容】
【０１１４】
図２１は、キャッシュデータメモリへの登録を説明するための図である。
入出力制御部２１０は、シフタ６１を含み、シフタ６１は、分岐先命令のアドレスＪＡＤＤＲの下位３ビットの値だけ、命令メモリ８から読みだされた１２８ビットの読出しデータをシフトして、６４ビット幅のキャッシュラインに出力する。
【手続補正２】
【補正対象書類名】明細書
【補正対象項目名】０１１８
【補正方法】変更
【補正の内容】
【０１１８】
図２２は、キャッシュデータメモリからの読出しを説明するための図である。
入出力制御部２１０は、シフタ６２を含み、シフタ６２は、分岐先命令アドレスメモリ２１１に記憶されている分岐先命令の下位３ビット（Ａ０～Ａ２）の値だけ、キャッシュデータメモリ２０９から読みだされた６４ビットのデータをシフトして、ＣＰＵコア４へ出力する。