



(12) 发明专利

(10) 授权公告号 CN 109068074 B

(45) 授权公告日 2022.01.25

(21) 申请号 201811112546.0

(74) 专利代理机构 北京市金杜律师事务所

11256

(22) 申请日 2013.06.05

代理人 陈伟 李文屿

(65) 同一申请的已公布的文献号

申请公布号 CN 109068074 A

(51) Int.CI.

H04N 5/369 (2011.01)

(43) 申请公布日 2018.12.21

H04N 5/3745 (2011.01)

(30) 优先权数据

H04N 5/378 (2011.01)

2012-131232 2012.06.08 JP

H01L 27/146 (2006.01)

(62) 分案原申请数据

201380029815.6 2013.06.05

(56) 对比文件

CN 102468316 A, 2012.05.23

(73) 专利权人 株式会社尼康

CN 1953193 A, 2007.04.25

地址 日本东京都

CN 102084644 A, 2011.06.01

(72) 发明人 村田宽信

JP 2012004332 A, 2012.01.05

审查员 易才钦

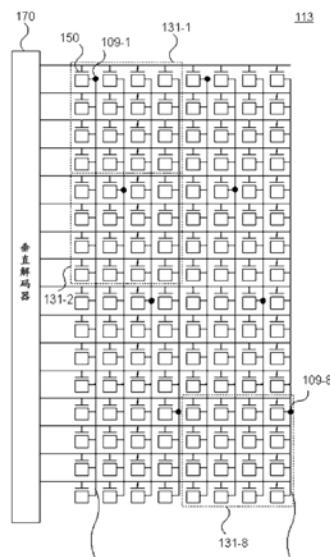
权利要求书9页 说明书9页 附图12页

(54) 发明名称

拍摄元件

(57) 摘要

提供一种拍摄元件，具有：呈矩阵状地配置有多个像素的拍摄芯片；以及信号处理芯片，具有按一个或多个像素列或者按一个或多个像素行设置并对从像素输出的像素信号进行信号处理的元件，并层叠在拍摄芯片上。例如进行信号处理的元件是将从像素输出的像素信号转换成数字信号的A/D转换器，在将从像素输出的像素信号转换成数字信号时，并列控制A/D转换器中的至少两个以上A/D转换器。



1.一种拍摄元件,具有:

像素部,其包括配置有多个像素的像素区域;以及

信号处理部,其与所述像素部层叠,所述信号处理部包括第一信号处理电路、第二信号处理电路和第三信号处理电路,所述第一信号处理电路对从所述多个像素中的第一像素读出的信号进行处理,所述第二信号处理电路对从所述多个像素中的第二像素读出的信号进行处理,所述第三信号处理电路对从所述多个像素中的第三像素读出的信号进行处理,

所述第二像素在行方向上配置于所述第一像素与所述第三像素之间,

所述第二信号处理电路在列方向上配置于所述第一信号处理电路与所述第三信号处理电路之间。

2.根据权利要求1所述的拍摄元件,其中,

所述第一信号处理电路对从所述多个像素中的第四像素读出的信号进行处理,

所述第二信号处理电路对从所述多个像素中的第五像素读出的信号进行处理,

所述第三信号处理电路对从所述多个像素中的第六像素读出的信号进行处理,

所述第五像素在所述行方向上配置在所述第四像素与所述第六像素之间。

3.根据权利要求2所述的拍摄元件,其中,

所述第一信号处理电路对从所述多个像素中的第七像素读出的信号进行处理,

所述第二信号处理电路对从所述多个像素中的第八像素读出的信号进行处理,

所述第三信号处理电路对从所述多个像素中的第九像素读出的信号进行处理,

所述第八像素在所述行方向上配置在所述第七像素与所述第九像素之间。

4.根据权利要求3所述的拍摄元件,其中,

所述第四像素在所述列方向上配置在所述第一像素与所述第七像素之间,

所述第五像素在所述列方向上配置在所述第二像素与所述第八像素之间,

所述第六像素在所述列方向上配置在所述第三像素与所述第九像素之间。

5.根据权利要求4所述的拍摄元件,其中,

所述第一像素、所述第二像素及所述第三像素分别配置在所述像素区域的第一区域,

所述第四像素、所述第五像素及所述第六像素分别配置在所述像素区域的第二区域,

所述第七像素、所述第八像素及所述第九像素分别配置在所述像素区域的第三区域,

所述第二区域在所述列方向上配置在所述第一区域与所述第三区域之间。

6.根据权利要求5所述的拍摄元件,其中,

所述第一信号处理电路在所述像素部与所述信号处理部层叠的层叠方向上配置在与所述第一区域重叠的区域,

所述第二信号处理电路在所述层叠方向上配置在与所述第二区域重叠的区域、

所述第三信号处理电路在所述层叠方向上配置在与所述第三区域重叠的区域。

7.根据权利要求5所述的拍摄元件,其中,

所述第一信号处理电路配置在所述信号处理部的、与所述第一区域对应的区域,

所述第二信号处理电路配置在所述信号处理部的、与所述第二区域对应的区域,

所述第三信号处理电路配置在所述信号处理部的、与所述第三区域对应的区域。

8.根据权利要求1所述的拍摄元件,其中,

所述信号处理部包括:对从所述多个像素中的第四像素读出的信号进行处理的第四信

号处理电路；对从所述多个像素中的第五像素读出的信号进行处理的第五信号处理电路；对从所述多个像素中的第六像素读出的信号进行处理的第六信号处理电路，

所述第五像素在所述行方向上配置在所述第四像素与所述第六像素之间，

所述第五信号处理电路在所述列方向上配置在所述第四信号处理电路与所述第六信号处理电路之间。

9. 根据权利要求8所述的拍摄元件，其中，

所述信号处理部包括：对从所述多个像素中的第七像素读出的信号进行处理的第七信号处理电路；对从所述多个像素中的第八像素读出的信号进行处理的第八信号处理电路；对从所述多个像素中的第九像素读出的信号进行处理的第九信号处理电路，

所述第八像素在所述行方向上配置在所述第七像素与所述第九像素之间，

所述第八信号处理电路在所述列方向上配置在所述第七信号处理电路与所述第九信号处理电路之间。

10. 根据权利要求9所述的拍摄元件，其中，

所述第四信号处理电路在所述行方向上配置在所述第一信号处理电路与所述第七信号处理电路之间。

11. 根据权利要求10所述的拍摄元件，其中，

所述第五信号处理电路在所述行方向上配置在所述第二信号处理电路与所述第八信号处理电路之间。

12. 根据权利要求11所述的拍摄元件，其中，

所述第六信号处理电路在所述行方向上配置在所述第三信号处理电路与所述第九信号处理电路之间。

13. 根据权利要求12所述的拍摄元件，其中，

所述第四像素在所述列方向上配置在所述第一像素与所述第七像素之间，

所述第五像素在所述列方向上配置在所述第二像素与所述第八像素之间，

所述第六像素在所述列方向上配置在所述第三像素与所述第九像素之间。

14. 根据权利要求13所述的拍摄元件，其中，

所述第一像素、所述第二像素及所述第三像素分别配置在所述像素区域的第一区域，

所述第四像素、所述第五像素及所述第六像素分别配置在所述像素区域的第二区域，

所述第七像素、所述第八像素及所述第九像素分别配置在所述像素区域的第三区域，

所述第二区域在所述列方向上配置在所述第一区域与所述第三区域之间。

15. 根据权利要求14所述的拍摄元件，其中，

所述第一信号处理电路、所述第四信号处理电路及所述第七信号处理电路，在所述像素部与所述信号处理部层叠的层叠方向上分别配置在与所述第一区域重叠的区域，

所述第二信号处理电路、所述第五信号处理电路及所述第八信号处理电路在所述层叠方向上分别配置在与所述第二区域重叠的区域，

所述第三信号处理电路、所述第六信号处理电路及所述第九信号处理电路在所述层叠方向上配置在与所述第三区域重叠的区域。

16. 根据权利要求14所述的拍摄元件，其中，

所述第一信号处理电路、所述第四信号处理电路及所述第七信号处理电路分别配置在

所述信号处理部的、与所述第一区域对应的区域，

所述第二信号处理电路、所述第五信号处理电路及所述第八信号处理电路分别配置在所述信号处理部的、与所述第二区域对应的区域，

所述第三信号处理电路、所述第六信号处理电路及所述第九信号处理电路分别配置在所述信号处理部的、与所述第三区域对应的区域。

17. 一种拍摄元件，是层叠有多个芯片的拍摄元件，

所述多个芯片包括：

拍摄芯片，其具有配置有多个像素的像素区域；和

信号处理芯片，其具有第一信号处理电路、第二信号处理电路和第三信号处理电路，所述第一信号处理电路对从所述多个像素中的第一像素读出的信号进行处理，所述第二信号处理电路对从所述多个像素中的第二像素读出的信号进行处理，所述第三信号处理电路对从所述多个像素中的第三像素读出的信号进行处理，

所述第二像素在行方向上配置于所述第一像素与所述第三像素之间，

所述第二信号处理电路在列方向上配置于所述第一信号处理电路与所述第三信号处理电路之间。

18. 根据权利要求17所述的拍摄元件，其中，

所述第一信号处理电路对从所述多个像素中的第四像素读出的信号进行处理，

所述第二信号处理电路对从所述多个像素中的第五像素读出的信号进行处理，

所述第三信号处理电路对从所述多个像素中的第六像素读出的信号进行处理，

所述第五像素在所述行方向上配置在所述第四像素与所述第六像素之间。

19. 根据权利要求18所述的拍摄元件，其中，

所述第一信号处理电路对从所述多个像素中的第七像素读出的信号进行处理，

所述第二信号处理电路对从所述多个像素中的第八像素读出的信号进行处理，

所述第三信号处理电路对从所述多个像素中的第九像素读出的信号进行处理，

所述第八像素在所述行方向上配置在所述第七像素与所述第九像素之间。

20. 根据权利要求19所述的拍摄元件，其中，

所述第四像素在所述列方向上配置在所述第一像素与所述第七像素之间，

所述第五像素在所述列方向上配置在所述第二像素与所述第八像素之间，

所述第六像素在所述列方向上配置在所述第三像素与所述第九像素之间。

21. 根据权利要求20所述的拍摄元件，其中，

所述第一像素、所述第二像素及所述第三像素分别配置在所述像素区域的第一区域，

所述第四像素、所述第五像素及所述第六像素分别配置在所述像素区域的第二区域，

所述第七像素、所述第八像素及所述第九像素分别配置在所述像素区域的第三区域，

所述第二区域在所述列方向上配置在所述第一区域与所述第三区域之间。

22. 根据权利要求21所述的拍摄元件，其中，

所述第一信号处理电路在所述拍摄芯片与所述信号处理芯片层叠的层叠方向上配置在与所述第一区域重叠的区域，

所述第二信号处理电路在所述层叠方向上配置在与所述第二区域重叠的区域，

所述第三信号处理电路在所述层叠方向上配置在与所述第三区域重叠的区域。

23. 根据权利要求21所述的拍摄元件,其中,

所述第一信号处理电路配置在与所述第一区域对应的区域,

所述第二信号处理电路配置在与所述第二区域对应的区域,

所述第三信号处理电路配置在与所述第三区域对应的区域。

24. 根据权利要求17所述的拍摄元件,其中,

所述信号处理芯片包括:对从所述多个像素中的第四像素读出的信号进行处理的第四信号处理电路;对从所述多个像素中的第五像素读出的信号进行处理的第五信号处理电路;对从所述多个像素中的第六像素读出的信号进行处理的第六信号处理电路,

所述第五像素在所述行方向上配置在所述第四像素与所述第六像素之间,

所述第五信号处理电路在所述列方向上配置在所述第四信号处理电路与所述第六信号处理电路之间。

25. 根据权利要求24所述的拍摄元件,其中,

所述信号处理芯片包括:对从所述多个像素中的第七像素读出的信号进行处理的第七信号处理电路;对从所述多个像素中的第八像素读出的信号进行处理的第八信号处理电路;对从所述多个像素中的第九像素读出的信号进行处理的第九信号处理电路,

所述第八像素在所述行方向上配置在所述第七像素与所述第九像素之间,

所述第八信号处理电路在所述列方向上配置在所述第七信号处理电路与所述第九信号处理电路之间。

26. 根据权利要求25所述的拍摄元件,其中,

所述第四信号处理电路在所述行方向上配置在所述第一信号处理电路与所述第七信号处理电路之间。

27. 根据权利要求26所述的拍摄元件,其中,

所述第五信号处理电路在所述行方向上配置在所述第二信号处理电路与所述第八信号处理电路之间。

28. 根据权利要求27所述的拍摄元件,其中,

所述第六信号处理电路在所述行方向上配置在所述第三信号处理电路与所述第九信号处理电路之间。

29. 根据权利要求28所述的拍摄元件,其中,

所述第四像素在所述列方向上配置在所述第一像素与所述第七像素之间,

所述第五像素在所述列方向上配置在所述第二像素与所述第八像素之间,

所述第六像素在所述列方向上配置在所述第三像素与所述第九像素之间。

30. 根据权利要求29所述的拍摄元件,其中,

所述第一像素、所述第二像素及所述第三像素分别配置在所述像素区域的第一区域,

所述第四像素、所述第五像素及所述第六像素分别配置在所述像素区域的第二区域,

所述第七像素、所述第八像素及所述第九像素分别配置在所述像素区域的第三区域,

所述第二区域在所述列方向上配置在所述第一区域与所述第三区域之间。

31. 根据权利要求30所述的拍摄元件,其中,

所述第一信号处理电路、所述第四信号处理电路及所述第七信号处理电路,在所述拍摄芯片与所述信号处理芯片层叠的层叠方向上分别配置在与所述第一区域重叠的区域,

所述第二信号处理电路、所述第五信号处理电路及所述第八信号处理电路在所述层叠方向上分别配置在与所述第二区域重叠的区域，

所述第三信号处理电路、所述第六信号处理电路及所述第九信号处理电路在所述层叠方向上配置在与所述第三区域重叠的区域。

32. 根据权利要求30所述的拍摄元件，其中，

所述第一信号处理电路、所述第四信号处理电路及所述第七信号处理电路分别配置在所述信号处理芯片的、与所述第一区域对应的区域，

所述第二信号处理电路、所述第五信号处理电路及所述第八信号处理电路分别配置在所述信号处理芯片的、与所述第二区域对应的区域，

所述第三信号处理电路、所述第六信号处理电路及所述第九信号处理电路分别配置在所述信号处理芯片的、与所述第三区域对应的区域。

33. 根据权利要求1~32中任一项所述的拍摄元件，其中，

所述第一信号处理电路具有将从所述第一像素读出的所述信号转换为数字信号的第一A/D转换器，

所述第二信号处理电路具有将从所述第二像素读出的所述信号转换为数字信号的第二A/D转换器，

所述第三信号处理电路具有将从所述第三像素读出的所述信号转换为数字信号的第三A/D转换器。

34. 根据权利要求1~32中任一项所述的拍摄元件，其中，

所述第一信号处理电路具有用于对从所述第一像素读出的所述信号除去噪声的第一模拟CDS电路或DDS电路，

所述第二信号处理电路具有用于对从所述第二像素读出的所述信号除去噪声的第二模拟CDS电路或DDS电路，

所述第三信号处理电路具有用于对从所述第三像素读出的所述信号除去噪声的第三模拟CDS电路或DDS电路。

35. 根据权利要求1~32中任一项所述的拍摄元件，其中，

所述第一信号处理电路具有：将从所述第一像素读出的所述信号转换为数字信号的第一A/D转换器；和配置在所述第一像素与第一A/D转换器之间，用于对从所述第一像素读出的所述信号除去噪声的第一模拟CDS电路或DDS电路，

所述第二信号处理电路具有：将从所述第二像素读出的所述信号转换为数字信号的第二A/D转换器；和配置在所述第二像素与第二A/D转换器之间，用于对从所述第二像素读出的所述信号除去噪声的第二模拟CDS电路或DDS电路，

所述第三信号处理电路具有：将从所述第三像素读出的所述信号转换为数字信号的第三A/D转换器；和配置在所述第三像素与第三A/D转换器之间，用于对从所述第三像素读出的所述信号除去噪声的第三模拟CDS电路或DDS电路。

36. 一种拍摄装置，其具备权利要求1~35中任一项所述的拍摄元件。

37. 一种拍摄元件，是层叠有多个芯片的拍摄元件，

所述多个芯片包括：

拍摄芯片，其具有配置有多个像素的像素区域；和

信号处理芯片，其具有第一信号处理电路、第二信号处理电路、第三信号处理电路、第四信号处理电路、第五信号处理电路、第六信号处理电路、第七信号处理电路、第八信号处理电路和第九信号处理电路，所述第一信号处理电路对从所述多个像素中的配置在所述像素区域的第一区域的第一像素读出的信号进行处理，所述第二信号处理电路对从所述多个像素中的配置在所述第一区域的第二像素读出的信号进行处理，所述第三信号处理电路对从所述多个像素中的配置在所述像素区域的所述第一区域的第三像素读出的信号进行处理，所述第四信号处理电路对从所述多个像素中的配置在所述像素区域的第二区域的第四像素读出的信号进行处理，所述第五信号处理电路对从所述多个像素中的配置在所述第二区域的第五像素读出的信号进行处理，所述第六信号处理电路对从所述多个像素中的配置在所述第二区域的第六像素读出的信号进行处理，所述第七信号处理电路对从所述多个像素中的配置在所述像素区域的第三区域的第七像素读出的信号进行处理，所述第八信号处理电路对从所述多个像素中的配置在所述第三区域的第八像素读出的信号进行处理，所述第九信号处理电路对从所述多个像素中的配置在所述第三区域的第九像素读出的信号进行处理，

所述第二像素在行方向上配置于所述第一像素与所述第三像素之间，

所述第五像素在所述行方向上配置在所述第四像素与所述第六像素之间，

所述第八像素在所述行方向上配置在所述第七像素与所述第九像素之间，

所述第二区域在列方向上配置在所述第一区域与所述第三区域之间，

所述第一信号处理电路、所述第四信号处理电路及所述第七信号处理电路，分别配置在所述信号处理芯片的、与所述第一区域重叠的区域，

所述第二信号处理电路、所述第五信号处理电路及所述第八信号处理电路，分别配置在所述信号处理芯片的、与所述第二区域重叠的区域，

所述第三信号处理电路、所述第六信号处理电路及所述第九信号处理电路，分别配置在所述信号处理芯片的、与所述第三区域重叠的区域。

38. 根据权利要求37所述的拍摄元件，其中，

所述第四信号处理电路在所述行方向上配置在所述第一信号处理电路与所述第七信号处理电路之间，

所述第五信号处理电路在所述行方向上配置在所述第二信号处理电路与所述第八信号处理电路之，

所述第六信号处理电路在所述行方向上配置在所述第三信号处理电路与所述第九信号处理电路之间。

39. 一种拍摄元件，是层叠有多个芯片的拍摄元件，

所述多个芯片包括：

拍摄芯片，其具有配置有多个像素的像素区域；和

信号处理芯片，其具有第一信号处理电路、第二信号处理电路、第三信号处理电路、第四信号处理电路、第五信号处理电路、第六信号处理电路、第七信号处理电路、第八信号处理电路和第九信号处理电路，所述第一信号处理电路对从所述多个像素中的配置在所述像素区域的第一区域的第一像素读出的信号进行处理，所述第二信号处理电路对从所述多个像素中的配置在所述第一区域的第二像素读出的信号进行处理，所述第三信号处理电路对

从所述多个像素中的配置在所述像素区域的所述第一区域的第三像素读出的信号进行处理，所述第四信号处理电路对从所述多个像素中的配置在所述像素区域的第二区域的第四像素读出的信号进行处理，所述第五信号处理电路对从所述多个像素中的配置在所述第二区域的第五像素读出的信号进行处理，所述第六信号处理电路对从所述多个像素中的配置在所述第二区域的第六像素读出的信号进行处理，所述第七信号处理电路对从所述多个像素中的配置在所述像素区域的第三区域的第七像素读出的信号进行处理，所述第八信号处理电路对从所述多个像素中的配置在所述第三区域的第八像素读出的信号进行处理，所述第九信号处理电路对从所述多个像素中的配置在所述第三区域的第九像素读出的信号进行处理，

所述第二像素在行方向上配置于所述第一像素与所述第三像素之间，

所述第五像素在所述行方向上配置在所述第四像素与所述第六像素之间，

所述第八像素在所述行方向上配置在所述第七像素与所述第九像素之间，

所述第二区域在列方向上配置在所述第一区域与所述第三区域之间，

所述第一信号处理电路、所述第四信号处理电路及所述第七信号处理电路，分别配置在所述信号处理芯片的、与所述第一区域对应的区域，

所述第二信号处理电路、所述第五信号处理电路及所述第八信号处理电路，分别配置在所述信号处理芯片的、与所述第二区域对应的区域，

所述第三信号处理电路、所述第六信号处理电路及所述第九信号处理电路，分别配置在所述信号处理芯片的、与所述第三区域对应的区域。

40. 根据权利要求39所述的拍摄元件，其中，

所述第四信号处理电路在所述行方向上配置在所述第一信号处理电路与所述第七信号处理电路之间，

所述第五信号处理电路在所述行方向上配置在所述第二信号处理电路与所述第八信号处理电路之，

所述第六信号处理电路在所述行方向上配置在所述第三信号处理电路与所述第九信号处理电路之间。

41. 根据权利要求37~40中任一项所述的拍摄元件，其中，

所述第一信号处理电路具有将从所述第一像素读出的所述信号转换为数字信号的第一A/D转换器，

所述第二信号处理电路具有将从所述第二像素读出的所述信号转换为数字信号的第二A/D转换器，

所述第三信号处理电路具有将从所述第三像素读出的所述信号转换为数字信号的第三A/D转换器，

所述第四信号处理电路具有将从所述第四像素读出的所述信号转换为数字信号的第四A/D转换器，

所述第五信号处理电路具有将从所述第五像素读出的所述信号转换为数字信号的第五A/D转换器，

所述第六信号处理电路具有将从所述第六像素读出的所述信号转换为数字信号的第六A/D转换器，

所述第七信号处理电路具有将从所述第七像素读出的所述信号转换为数字信号的第七A/D转换器，

所述第八信号处理电路具有将从所述第八像素读出的所述信号转换为数字信号的第八A/D转换器，

所述第九信号处理电路具有将从所述第九像素读出的所述信号转换为数字信号的第九A/D转换器。

42. 根据权利要求37~40中任一项所述的拍摄元件，其中，

所述第一信号处理电路具有用于对从所述第一像素读出的所述信号除去噪声的第一模拟CDS电路或DDS电路，

所述第二信号处理电路具有用于对从所述第二像素读出的所述信号除去噪声的第二模拟CDS电路或DDS电路，

所述第三信号处理电路具有用于对从所述第三像素读出的所述信号除去噪声的第三模拟CDS电路或DDS电路，

所述第四信号处理电路具有用于对从所述第四像素读出的所述信号除去噪声的第四模拟CDS电路或DDS电路，

所述第五信号处理电路具有用于对从所述第五像素读出的所述信号除去噪声的第五模拟CDS电路或DDS电路，

所述第六信号处理电路具有用于对从所述第六像素读出的所述信号除去噪声的第六模拟CDS电路或DDS电路，

所述第七信号处理电路具有用于对从所述第七像素读出的所述信号除去噪声的第七模拟CDS电路或DDS电路，

所述第八信号处理电路具有用于对从所述第八像素读出的所述信号除去噪声的第八模拟CDS电路或DDS电路，

所述第九信号处理电路具有用于对从所述第九像素读出的所述信号除去噪声的第九模拟CDS电路或DDS电路。

43. 根据权利要求37~40中任一项所述的拍摄元件，其中，

所述第一信号处理电路具有：将从所述第一像素读出的所述信号转换为数字信号的第一A/D转换器；和配置在所述第一像素与第一A/D转换器之间，用于对从所述第一像素读出的所述信号除去噪声的第一模拟CDS电路或DDS电路，

所述第二信号处理电路具有：将从所述第二像素读出的所述信号转换为数字信号的第二A/D转换器；和配置在所述第二像素与第二A/D转换器之间，用于对从所述第二像素读出的所述信号除去噪声的第二模拟CDS电路或DDS电路，

所述第三信号处理电路具有：将从所述第三像素读出的所述信号转换为数字信号的第三A/D转换器；和配置在所述第三像素与第三A/D转换器之间，用于对从所述第三像素读出的所述信号除去噪声的第三模拟CDS电路或DDS电路，

所述第四信号处理电路具有：将从所述第四像素读出的所述信号转换为数字信号的第四A/D转换器；和配置在所述第四像素与第四A/D转换器之间，用于对从所述第四像素读出的所述信号除去噪声的第四模拟CDS电路或DDS电路，

所述第五信号处理电路具有：将从所述第五像素读出的所述信号转换为数字信号的第

五A/D转换器；和配置在所述第五像素与第五A/D转换器之间，用于对从所述第五像素读出的所述信号除去噪声的第五模拟CDS电路或DDS电路，

所述第六信号处理电路具有：将从所述第六像素读出的所述信号转换为数字信号的第六A/D转换器；和配置在所述第六像素与第六A/D转换器之间，用于对从所述第六像素读出的所述信号除去噪声的第六模拟CDS电路或DDS电路，

所述第七信号处理电路具有：将从所述第七像素读出的所述信号转换为数字信号的第七A/D转换器；和配置在所述第七像素与第七A/D转换器之间，用于对从所述第七像素读出的所述信号除去噪声的第七模拟CDS电路或DDS电路，

所述第八信号处理电路具有：将从所述第八像素读出的所述信号转换为数字信号的第八A/D转换器；和配置在所述第八像素与第八A/D转换器之间，用于对从所述第八像素读出的所述信号除去噪声的第八模拟CDS电路或DDS电路，

所述第九信号处理电路具有：将从所述第九像素读出的所述信号转换为数字信号的第九A/D转换器；和配置在所述第九像素与第九A/D转换器之间，用于对从所述第九像素读出的所述信号除去噪声的第九模拟CDS电路或DDS电路。

44. 一种拍摄装置，其具备权利要求37~43中任一项所述的拍摄元件。

## 拍摄元件

[0001] 本申请是申请日为2013年6月5日、PCT国际申请号为PCT/JP2013/003533、国家申请号为201380029815.6、发明名称为“拍摄元件和拍摄装置”的专利申请的分案申请。

### 技术领域

[0002] 本发明涉及拍摄元件和拍摄装置。

### 背景技术

[0003] 以往,已知有包括列并列型A/D转换器(仅称为ADC)的图像传感器。另外,在层叠了信号处理芯片的图像传感器中,提出了块并列型ADC(例如参照非专利文献1)。

[0004] 非专利文献1:“A Very Low Area ADC for 3-D Stacked CMOS Image Processing System”,K.Kiyoyama等,IEEE 3DIC 2012。

### 发明内容

[0005] 发明要解决的问题

[0006] 列并列型ADC按每个像素列设置ADC,在各ADC中并行读出所选择的行的各像素的像素信号。但是,以往的列并列型ADC与有效像素区域形成在同一面(例如有效像素区域的列方向上的上下)上,所以拍摄元件的面积增大。另外,在并行高速处理多个行的情况下,必须在有效像素区域内绕回布线。另外,在并行高速处理多个行的情况下,ADC大型化从而拍摄元件的面积进一步增大。

[0007] 另一方面,块并列型ADC按每个有效像素的块(例如每个10像素×10像素的块)设置ADC。但是,为了用一个ADC读出块内的各像素,需要想办法使用复杂的控制线或者在拍摄芯片一侧配置控制用晶体管等。另外,每个块的ADC分别独立地工作。因此,ADC的发热也独立地产生,信号处理芯片有时会局部地发热。可认为信号处理芯片中的局部发热会传递给层叠的拍摄芯片,并给拍摄芯片的工作带来影响。

[0008] 用于解决问题的手段

[0009] 在本发明的第1方式中,提供一种拍摄元件,呈矩阵状地配置有多个像素的拍摄芯片;以及信号处理芯片,具有按一个或多个像素列或者按一个或多个像素行设置并对从像素输出的像素信号进行信号处理的元件,所述信号处理芯片层叠在所述拍摄芯片上。

[0010] 在本发明的第2方式中,提供使用了上述拍摄元件的拍摄装置。

[0011] 此外,上述发明内容并未列举本发明的全部必要特征。另外,这些特征组的子组合也可以成为发明。

### 附图说明

[0012] 图1是本实施方式的拍摄元件100的剖视图。

[0013] 图2是说明拍摄芯片113的像素排列和单位组131的图。

[0014] 图3表示像素150的等效电路图。

- [0015] 图4是表示拍摄芯片113中的多个像素150和凸块109的配置例的图。
- [0016] 图5是表示配置在信号处理芯片111的ADC配置面上的多个ADC180的图。
- [0017] 图6是表示拍摄芯片113中的多个像素150和凸块109的另一配置例的图。
- [0018] 图7是表示拍摄芯片113中的多个像素150和TSV(Through Silicon Via: 硅贯通电极)120的配置例的图。
- [0019] 图8是表示配置在信号处理芯片111的ADC配置面上的多个ADC180和TSV120的图。
- [0020] 图9是与拍摄芯片113一起地表示具有模拟CDS(Correlated Double Sampling: 相关双采样)电路186的信号处理芯片111的概要的图。
- [0021] 图10是表示具有模拟CDS电路186的信号处理芯片111的工作例的时序图。
- [0022] 图11是与拍摄芯片113一起地表示具有DDS电路188的信号处理芯片111的概要的图。
- [0023] 图12是表示具有DDS电路188的信号处理芯片111的工作例的时序图。
- [0024] 图13是表示本实施方式的拍摄装置500的构成的框图。

## 具体实施方式

[0025] 以下通过具体实施方式说明本发明，但以下的实施方式并不限定权利要求书涉及的发明。另外，在发明的解决手段中，在实施方式中说明的特征的组合并不一定全部都是必需的。

[0026] 图1是本实施方式的拍摄元件100的剖视图。在本例中，示出所谓的背面照射型的拍摄元件100，但拍摄元件100不限定于背面照射型，也可以是正面照射型。拍摄元件100也可以是包括层叠在拍摄芯片113上的层叠芯片的构造。

[0027] 本例的拍摄元件100包括输出与入射光对应的像素信号的拍摄芯片113、处理像素信号的信号处理芯片111以及存储像素信号的存储芯片112。这些拍摄芯片113、信号处理芯片111以及存储芯片112被层叠，并通过铜等具有导电性的多个凸块109相互电连接。在本例中，信号处理芯片111和存储芯片112相当于上述层叠芯片。

[0028] 此外，如图所示，入射光主要朝向以空心箭头表示的Z轴正方向入射。在本实施方式中，在拍摄芯片113中，将入射光入射的一侧的面称为背面。另外，如坐标轴所示，将与Z轴正交的纸面右方向设为X轴正方向，将与Z轴和X轴正交的纸面面前方向设为Y轴正方向。在以后的几个图中，以图1的坐标轴为基准，表示坐标轴以理解各个图的方向。

[0029] 拍摄芯片113的一个例子是背面照射型的MOS(Metal Oxide Semiconductor: 金属氧化物半导体)图像传感器。PD(photoconductor diode: 光电导二极管)层106配置于布线层108的背面侧。PD层106具有生成与光相应的电荷的多个光电转换部。拍摄芯片113输出与该电荷相应的像素信号。本例的PD层106具有二维地配置的多个PD(光电导二极管)104和与PD104对应地设置的晶体管105。PD104是光电转换部的一个例子。

[0030] 在PD层106上的入射光的入射侧，隔着钝化膜103设置彩色滤光片102。彩色滤光片102具有透射相互不同的波长区域的多个种类，并与各个PD104对应地具有特定的排列。将在后面说明彩色滤光片102的排列。彩色滤光片102、PD104和晶体管105的组形成一个像素。

[0031] 在彩色滤光片102上的入射光的入射侧，与各个像素对应地设置微型透镜101。微型透镜101朝向对应的PD104对入射光进行聚光。

[0032] 布线层108具有向信号处理芯片111传输来自PD层106的像素信号的布线107。布线107可以为多层，另外，也可以设置无源元件和有源元件。

[0033] 在布线层108的表面上配置多个凸块109。该多个凸块109与设置在信号处理芯片111的对置的面上的多个凸块109对位并通过加压拍摄芯片113和信号处理芯片111等，将被对位的凸块109彼此接合并电连接。

[0034] 同样地，在信号处理芯片111和存储芯片112的相互对置的面上配置多个凸块109。这些凸块109相互对位并通过加压信号处理芯片111和存储芯片112等，将被对位的凸块109彼此接合并电连接。

[0035] 此外，凸块109间的接合不限于利用固相扩散的铜凸块接合，也可以采用利用焊接熔融的微凸块结合。另外，凸块109例如可以相对于后述的一条输出布线设置一个，也可以设置多个。凸块109的大小也可以大于PD104的间距。另外，也可以是，在排列有像素的像素区域以外的周边区域中，一并设置比与像素区域对应的凸块109大的凸块。

[0036] 信号处理芯片111接收拍摄芯片113输出的模拟像素信号。信号处理芯片111对接收到的像素信号进行预定的信号处理，并输出至存储芯片112。存储芯片112保存从信号处理芯片111接收的信号。

[0037] 信号处理芯片111具有对从像素输出的像素信号进行信号处理的多个元件。本例的信号处理芯片111具有多个ADC180作为该多个元件的一个例子。该多个元件也可以是与ADC180不同的元件，如运算电路等。各个ADC180将拍摄芯片113输出的模拟像素信号转换成数字信号。信号处理芯片111也可以对该数字信号进行修正等预定的运算。

[0038] 在与设置有多个像素的面平行的ADC配置面中，呈二维地配置多个ADC180的至少一部分。例如，在拍摄芯片113中，沿着行方向和列方向二维地配置多个像素，在信号处理芯片111中，沿着行方向和列方向二维地配置多个ADC180。优选的是，在信号处理芯片111中，等间隔地配置多个ADC180。

[0039] 另外，配置于ADC配置面的多个ADC180中的至少二个以上ADC180被并行控制，且并行工作。并行工作是指大致同时进行多个ADC180中的模数转换处理。由此，该两个以上ADC180大致同时发热，与多个ADC180独立地工作的情况相比，能够降低温度分布的偏差。此外，优选的是，配置于ADC配置面的多个ADC180均大致同时工作。由此，能够使ADC180的发热导致的温度分布变均匀。另外，也可以是，在信号处理芯片111的ADC配置面中，也可以不均匀地配置多个ADC180。也可以是，例如多个ADC180配置成与信号处理芯片111的ADC配置面的中央相比，端部的密度较高。

[0040] 另外，也可以是，在信号处理芯片111中，多个ADC180配置在Z轴方向上的位置不同的多个ADC配置面中。也就是说，也可以是，信号处理芯片111为多层芯片，多个ADC180设置在不同的层中。在该情况下，也优选的是，在将配置多个ADC180的位置投影在一个ADC配置面上的情况下，等间隔地配置各个ADC180。

[0041] 另外，信号处理芯片111具有将分别设置在正反面上的电路相互连接的TSV(硅贯穿电极)110。优选的是，TSV110设置在周边区域。另外，也可以是，TSV110设置在拍摄芯片113的周边区域、存储芯片112。

[0042] 图2是说明拍摄芯片113的像素排列和单位组131的图。特别示出从背面侧观察拍摄芯片113的情况。在像素区域中，像素沿着行方向和列方向呈矩阵状排列。在本例中，将x

轴方向设为行方向,将y轴方向设为列方向。在本实施方式中,相邻的4个像素×4个像素共16个像素形成一个组。图中的格子线表示相邻的像素被分组并形成单位组131的概念。此外,单位组131是用于说明后述ADC180的位置的概念性组,拍摄芯片113也可以不按每个单位组131独立地工作。

[0043] 如像素区域的部分放大图所示,单位组131在上下左右将4个所谓的拜耳排列内包,所述拜耳排列由绿色像素Gb、Gr、蓝色像素B以及红色像素R这4个像素构成。绿色像素Gb、Gr具有绿色滤光片作为彩色滤光片102,接受入射光中的绿色波长带的光。同样地,蓝色像素B具有蓝色滤光片作为彩色滤光片102,接受蓝色波长带的光,红色像素R具有红色滤光片作为彩色滤光片102,接受红色波长带的光。

[0044] 图3表示像素150的等效电路图。上述多个像素150的每一个具有上述PD104、传输晶体管152、复位晶体管154、放大晶体管156以及选择晶体管158。这些晶体管的至少一部分与图1的晶体管105对应。并且,在像素150中配置了被供给复位晶体管154的导通信号的复位布线300、被供给传输晶体管152的导通信号的传输布线302、从电源Vdd接受电力供给的电源布线304、被供给选择晶体管158的导通信号的选择布线306以及输出像素信号的输出布线308。以下,以n沟道型FET为例说明各晶体管,但晶体管的种类不限于此。

[0045] 传输晶体管152的源极、栅极、漏极分别与PD104的一端、传输布线302、放大晶体管156的栅极连接。另外,复位晶体管154的漏极与电源布线304连接,源极与放大晶体管156的栅极连接。放大晶体管156的漏极与电源布线304连接,源极与选择晶体管158的漏极连接。选择晶体管158的栅极与选择布线306连接,源极与输出布线308连接。负载电流源309向输出布线308供给电流。即,相对于选择晶体管158的输出布线308由源极跟随器形成。此外,负载电流源309既可以设置在拍摄芯片113一侧,也可以设置在信号处理芯片111一侧。

[0046] 图4是表示拍摄芯片113中的多个像素150和凸块109的配置例的图。此外,像素150与图3所示的像素150相同,但在图4中简化地表示。如图4所示,多个像素150沿着行方向和列方向配置成矩阵状。此外,也可以是,行方向和列方向指平面内的不同的两个方向,不一定正交。此外,在本例中,将多个像素150示意性地分为4个像素×4个像素的单位组131来进行说明。本例的多个像素150分为单位组131-1至131-8这8个单位组。此外,表示单位组131-3至131-7的虚线省略。

[0047] 沿着各个列设置的像素150与公共的输出布线308连接。另外,拍摄芯片113具有按每行读出来自多个像素150的像素信号的垂直解码器170。沿着各个行设置的像素150与公共的控制布线连接,并根据来自垂直解码器170的控制信号读出像素信号。从选择的行中的各像素150读出的像素信号分别经由对应的输出布线308和凸块109并行地传输,并分别输入给设置在信号处理芯片111上的对应的ADC180。垂直解码器170是使两个以上ADC180并行工作的控制部的一个例子。

[0048] 图5是表示配置在信号处理芯片111的ADC配置面上的多个ADC180的图。此外,在图5中,表示将图4所示的多个单位组131投影而成的区域。各个ADC180按任一个或多个像素列设置。即,各个ADC180按任一条或多条输出布线308设置。各个ADC180经由对应的输出布线308与对应的列的多个像素150连接。本例中的多个ADC180与像素区域的多个输出布线308一对一对应设置。各个ADC180接收与对应的输出布线308连接的像素150中的、由垂直解码器170选择的行的像素150的像素信号,并转换成数字信号。此外,各个ADC180与多条输出布

线308连接的情况下,也可以在信号处理芯片111中进一步设置缓冲来自各条输出布线308的像素信号并依次输入至对应的ADC180的元件。

[0049] 另外,各个ADC180二维地配置在信号处理芯片111的ADC配置面中。在这里,二维地配置是指沿着至少两个方向配置ADC180,该两个方向也可以不正交。本例的多个ADC180在正交的行方向和列方向上按一定间隔配置。另外,也可以是,多个ADC180按预定的个数设置在各个单位组131中。本例的多个ADC180在各个单位组131中各设置一个。

[0050] 此外,各个ADC180的列方向上的长度短于设置有多个像素150的像素区域的列的长度。另外,各个ADC180的ADC配置面中的形状可以是大致正方形。通过具有这样的形状,能够提高配置ADC180的自由度,如图5所示,在ADC配置面中均匀地配置ADC180变得容易。

[0051] 根据本例的拍摄元件100,由于各个ADC180按列与输出布线308连接,每当垂直解码器170选择任意的行时,各个ADC180大致同时地工作。而且,由于各个ADC180均匀地配置在信号处理芯片111的ADC配置面上,所以即使各个ADC180发热,也能够使ADC配置面上的温度分布均匀化。因此,能够降低由ADC180的发热引起的多个PD104的暗电流的偏差等。此外,拍摄芯片113中的像素150的数量越多,该效果越显著。另外,拍摄元件100不限定于ADC配置面上的全部ADC180同时工作。只要ADC配置面上的两个以上ADC180同时工作,就能够降低温度分布的偏差。例如,在垂直解码器170选择了任意的行的情况下,也可以不同时读出来自该行中的全部像素150的像素信号,而以分别由两个以上的像素150构成的组为单位,读出来自该行中的像素150的像素信号。在该情况下,来自组内的两个以上的像素150的像素信号被同时读出,对应的两个以上的ADC180同时工作。

[0052] 此外,在单位组131具有n个像素×n个像素的情况下,优选地是,多个像素150在列方向上被分为n个单位组131。即,优选的是,多个像素150在列方向上具有与单位组131内的列数相同数量的单位组131。设置于沿列方向排列的单位组131中的各ADC180与对应于这些单位组131的任一条输出布线308连接。

[0053] 另外,信号处理芯片111也能够只读出一部分单位组131的像素信号。例如,在只读出单位组131-1所包含的像素150的像素信号的情况下,首先,读出单位组131-1中的第1行的像素150(在本例中为4个像素150)的像素信号。在该情况下,对应的4个ADC180-1、180-2、180-3、180-4将各个像素150的像素信号同时转换成数字信号。

[0054] 接着,读出单位组131-1中的第2行的像素150的像素信号。此时,对应的4个ADC180-1至180-4也将各个像素150的像素信号同时转换成数字信号。同样地,同时使用4个ADC180-1至180-4,依次读出单位组131-1中的第3行和第4行像素150。在读出单位组131-1中的最终行像素150后,将读出对象行返回至第1行,并重复处理。

[0055] 根据本例,由于使用配置于不同位置的多个ADC180,即使是只读出局部的单位组131所包含的像素150的像素信号的情况下,也能够使ADC180的发热引起的温度上升在面内均匀。

[0056] 另外,各个ADC180经由凸块109与对应的输出布线308连接。本例的拍摄元件100相对于各个ADC180分别具有一个凸块109。各个凸块109形成在与各个ADC180相同的单位组131的区域中。各个凸块109也可以设置在应与ADC180连接的输出布线308的正下方。例如,凸块109按每条输出布线308设置,且按在行方向上相邻的输出布线308,列方向上的凸块109的位置逐个错开预定的间隔地配置。也可以是,该预定的间隔与单位组131的列方向的

长度相等。另外,也可以是,凸块109的配置图案(pattern)按每n行重复(其中,n是单位组131所包含的行方向上的像素150的数量)。

[0057] 此外,各个ADC180在各个单位组131的区域中设置在相同的相对位置。在该情况下,也可以是,ADC180与凸块109的相对位置按每个单位组131不同。信号处理芯片111具有连接对应的ADC180和凸块109的布线。

[0058] 图6是表示拍摄芯片113中的多个像素150和凸块109的另一配置例的图。在图4所示的例子中,相对于一条输出布线308设置一个凸块109,在本例中,相对于一条输出布线308设置多个凸块109。在该情况下,相对于一条输出布线308的多个凸块109可以设置在不同的单位组131的区域中。与一条输出布线308连接的多个凸块109与公共的ADC180连接。也就是说,即使是在相对于一条输出布线308设置多个凸块109的情况下,与相同的输出布线308连接的凸块109与相同的ADC180连接。在该情况下,信号处理芯片111具有将多个凸块109与相同的ADC180连接的布线,所述多个凸块109与相同的输出布线308连接。该布线遍及多个单位组131的区域而形成。另外,也可以是,相对于输出布线308设置的多个凸块109中的一部分是不与输出布线308和ADC180连接的虚拟凸块。

[0059] 优选的是,本例的多个凸块109也在行方向和列方向上等间隔地配置。另外,如图6所示,也可以是,各列中的多个凸块109在列方向上的位置按行方向上相邻的输出布线308而逐行错开预定间隔地配置。如上所述,通过相对于各输出布线308设置多个凸块109,能够增加拍摄芯片113和信号处理芯片111之间的支承点数,并能够防止芯片的翘起。

[0060] 此外,拍摄元件100中的像素信号的读出的控制方法能够设为与所谓的列并列型传感器相同。因此,能够用设置在信号处理芯片111中的ADC180读出像素信号而不使用复杂的控制线等。另外,即使是在垂直解码器170读出某一行的情况下,拍摄元件100也能够使多个ADC180同时工作。另外,也可以是,信号处理芯片111具有对像素信号进行相关双采样并除去噪声的模拟CDS电路或者DDS电路(数字CDS电路)。

[0061] 图7是表示拍摄芯片113中的多个像素150和TSV120的配置例的图。在本例中,利用TSV120来代替凸块109,电连接拍摄芯片113和信号处理芯片111。TSV120贯通拍摄芯片113和信号处理芯片111地形成,并电连接拍摄芯片113和信号处理芯片111。输出布线308和垂直解码器170与图4所示的例子相同。

[0062] 沿着各个行设置的像素150与公共的控制布线连接,并根据来自垂直解码器170的控制信号读出像素信号。从选择的行中的各像素150读出的像素信号分别经由对应的输出布线308和TSV120并行地传输,并分别输入给设置在信号处理芯片111上的对应的ADC180。

[0063] 此外,TSV120设置在除了排列有像素的像素区域以外的周边区域。在本例中,TSV120按各列交替地设置在像素区域的上侧和下侧,但TSV120的排列不限定于本例。既可以将全部TSV120设置在像素区域的上侧和下侧的一方,另外,也可以按每两列交替地设置在像素区域的上侧和下侧。

[0064] 图8是表示配置在信号处理芯片111的ADC配置面上的多个ADC180和TSV120的图。在图7和图8中用相同的附图标记示出的TSV120被电连接。例如,各个TSV120从拍摄芯片113连续地形成到信号处理芯片111。

[0065] ADC180的配置与图5所示的例子相同。各个ADC180经由TSV120与对应的输出布线308连接。本例的拍摄元件100相对于各个ADC180分别具有一个TSV120。TSV120的配置与图7

所示的拍摄芯片113相同。此外,虽然在图8中布线交叉地形成,但利用多层布线构造使这些布线间电绝缘。如图7和图8所示,即使使用TSV120来代替凸块109,也能够使多个ADC180并行工作,从而使温度上升均匀化。

[0066] 图9是与拍摄芯片113一起地表示具有模拟CDS电路186的信号处理芯片111的概要的图。此外,在图9中,仅示出2个像素×2个像素作为拍摄芯片113中的像素,省略其他像素。另外,在信号处理芯片111中也同样地仅示出两个ADC180,并省略其他ADC180。

[0067] 信号处理芯片111相对于各个ADC180具有模拟CDS电路186。模拟CDS电路186的工作在后面叙述。另外,信号处理芯片111具有控制电路184。控制电路184包含定时控制部、运算部、存储器总线控制部、接口以及电源部等。控制电路184经由凸块109控制拍摄芯片113的各像素150的读出定时。也可以使用TSV来代替凸块109。另外,控制电路184控制模拟CDS电路186、ADC180以及存储器182的工作。控制电路184与拍摄元件100的外部收发信号,并且,向信号处理芯片111的各电路供给电源电力和工作时钟。另外,控制电路184进行对像素信号和数字信号的预定运算。

[0068] 图10是表示具有模拟CDS电路186的信号处理芯片111的工作例的时序图。控制电路184将针对像素150-N的选择信号S(N)设为H电平,并且向像素150-N供给复位脉冲R。由此,像素150-N的输出Out变成复位电平。控制电路184输出控制模拟CDS电路186的开关的信号Reset\_Hold,用该复位电平对模拟CDS电路186的电容器充电。

[0069] 接着,控制电路184对像素150-N供给传输脉冲Tx(N)。由此,像素150-N输出像素信号。然后,控制电路184输出控制模拟CDS电路186的开关的信号Signal\_Hold,用该像素信号的电平对模拟CDS电路186的另一方的电容器充电。接着,控制电路184控制模拟CDS电路186的开关,使减法电路输出两个电容器的电压之差。模拟CDS电路186的采样保持电路保持减法电路输出的差电压的电压值,并向ADC180输入。ADC180将该差电压转换成数字值。对各像素150进行这样的工作。此外,该工作与以往的列并列型传感器相同。拍摄元件100在按原样使用以往的列并列型传感器中的信号读出控制的同时,由于配置在信号处理芯片111中的多个ADC180同时工作,所以能够防止芯片内的局部发热。

[0070] 图11是与拍摄芯片113一起地表示具有DDS电路188的信号处理芯片111的概要的图。相对于图9所示的信号处理芯片111,本例的信号处理芯片111具有DDS电路188来代替模拟CDS电路186。

[0071] 图12是表示具有DDS电路188的信号处理芯片111的工作例的时序图。控制电路184将针对像素150-N的选择信号S(N)设为H电平,并且向像素150-N供给复位脉冲R。由此,像素150-N的输出Out变成复位电平。控制电路184向DDS电路188的采样保持电路输出使该复位电平保持的脉冲S/H。采样保持电路向ADC180输入该复位电平。ADC180将该复位电平转换成数字值。

[0072] 接着,控制电路184对像素150-N供给传输脉冲Tx(N)。由此,像素150-N输出像素信号。然后,控制电路184向DDS电路188的采样保持电路输出使该像素信号的电平保持的脉冲S/H。采样保持电路向ADC180输入该像素信号的电平。ADC180将该像素信号的电平转换成数字值。控制电路184算出ADC180输出的复位电平的数字值与像素信号的电平的数字值之差。对各像素150进行这样的工作。此外,该工作与以往的列并列型传感器相同。拍摄元件100在按原样使用以往的列并列型传感器中的信号读出控制的同时,由于配置在信号处理芯片

111中的多个ADC180同时工作,所以能够防止芯片内的局部发热。

[0073] 图13是表示本实施方式的拍摄装置500的构成的框图。拍摄装置500包括作为摄像光学系统的拍摄透镜520,拍摄透镜520将沿着光轴OA入射的被拍摄体光束引导至摄像元件100。拍摄透镜520也可以是能够相对于拍摄装置500装拆的更换式透镜。拍摄装置500主要包括拍摄元件100、系统控制部501、驱动部502、测光部503、工作存储器504、记录部505以及显示部506。

[0074] 拍摄透镜520由多个光学透镜组构成,并使来自场景的被拍摄体光束拍摄在其焦平面附近。此外,在图13中,以配置于光瞳附近的一片假想透镜作为代表来表示。驱动部502是按照来自系统控制部501的指示,执行拍摄元件100的定时控制、区域控制等电荷积蓄控制的控制电路。在该含义下,可以说,驱动部502承担对拍摄元件100执行电荷积蓄并使像素信号输出的拍摄元件控制部的功能。驱动部502与拍摄元件100组合而形成拍摄单元。也可以是,形成驱动部502的控制电路被芯片化,并层叠在拍摄元件100上。

[0075] 拍摄元件100向系统控制部501的图像处理部511传递像素信号。拍摄元件100与在图1至图12中说明的拍摄元件100相同。图像处理部511将工作存储器504作为工作区进行各种图像处理,并生成图像数据。例如,在生成JPEG文件格式的图像数据的情况下,在实施白平衡处理、伽马处理等后执行压缩处理。生成的图像数据记录在记录部505中,并且转换成显示信号并在预先设定的时间期间显示在显示部506上。

[0076] 测光部503在生成图像数据的一连串拍摄序列之前,检测出场景的亮度分布。测光部503例如包含100万像素左右的AE (Automatic Exposure: 自动曝光) 传感器。系统控制部501的运算部512接收测光部503的输出并算出每个场景区域的亮度。运算部512按照算出的亮度分布决定快门速度、光圈值、ISO感光度。此外,可以在拍摄元件100内设置用于上述AE传感器的像素,在该情况下,也可以不设置与该拍摄元件100独立的测光部503。根据本例的拍摄装置500,由于使用降低了由ADC180引起的局部发热的拍摄元件100,所以能够取得降低了暗电流等的偏差的图像数据。

[0077] 以上,使用实施方式说明了本发明,但本发明的技术范围不限定于上述实施方式记载的范围内。本领域技术人员可以理解,可对上述实施方式施加多种变更或改良。从权利要求书的记载可以明显看出,施加了这种变更或改良的实施方式也可包含于本发明的技术范围内。

[0078] 需要留意的是,只要是没有特别明确表示“之前”、“在先”等,并且不是把前面处理的输出使用在后面的处理,就可以以任意顺序实现在权利要求书、说明书、以及附图中示出的装置、系统、程序、以及方法的操作、顺序、步骤以及阶段等各处理的执行顺序。对于权利要求书、说明书、以及附图中的操作流程,即使为了方便期间使用了“首先,”、“接着,”等进行了说明,但并不意味着必须以该顺序实施。

[0079] 附图标记的说明

[0080] 100拍摄元件,101微型透镜,102彩色滤光片,103钝化膜,104 PD,105晶体管,106PD层,107布线,108布线层,109凸块,110 TSV,111信号处理芯片,112存储芯片,113拍摄芯片,120 TSV,131单位组,150像素,152传输晶体管,154复位晶体管,156放大晶体管,158选择晶体管,170垂直解码器,180 ADC,182存储器,184控制电路,186模拟CDS电路,188 DDS电路,300复位布线,302传输布线,304电源布线,306选择布线,308输出布线,309负载电流源,

500拍摄装置,520拍摄透镜,501系统控制部,502驱动部,503测光部,504工作存储器,505记录部,506显示部,511图像处理部,512运算部。

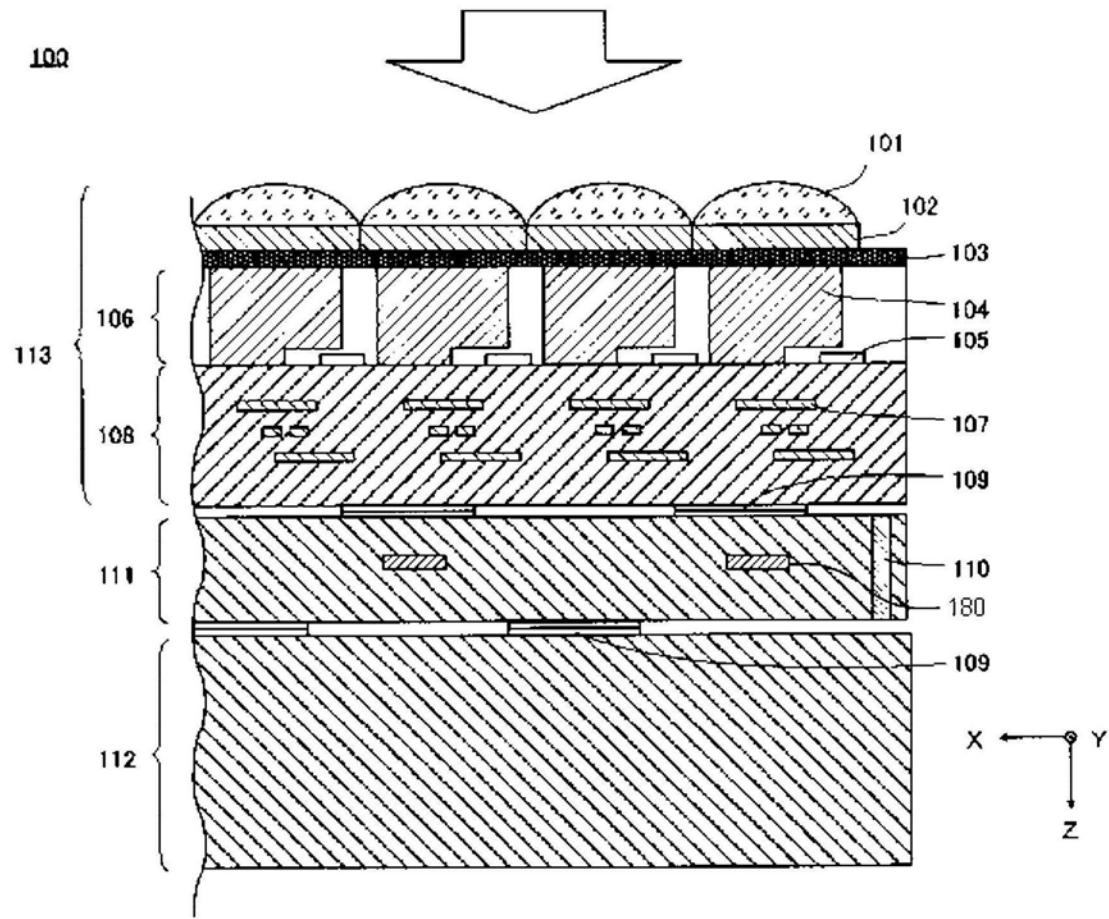


图1

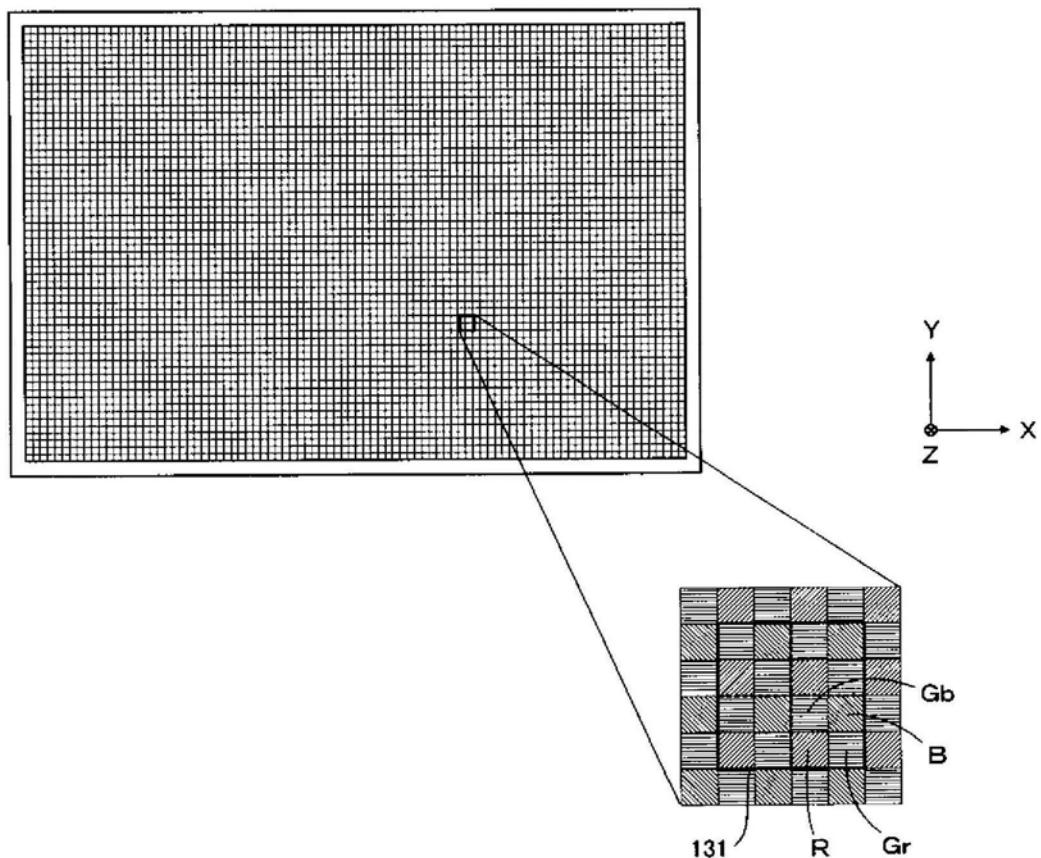
100

图2

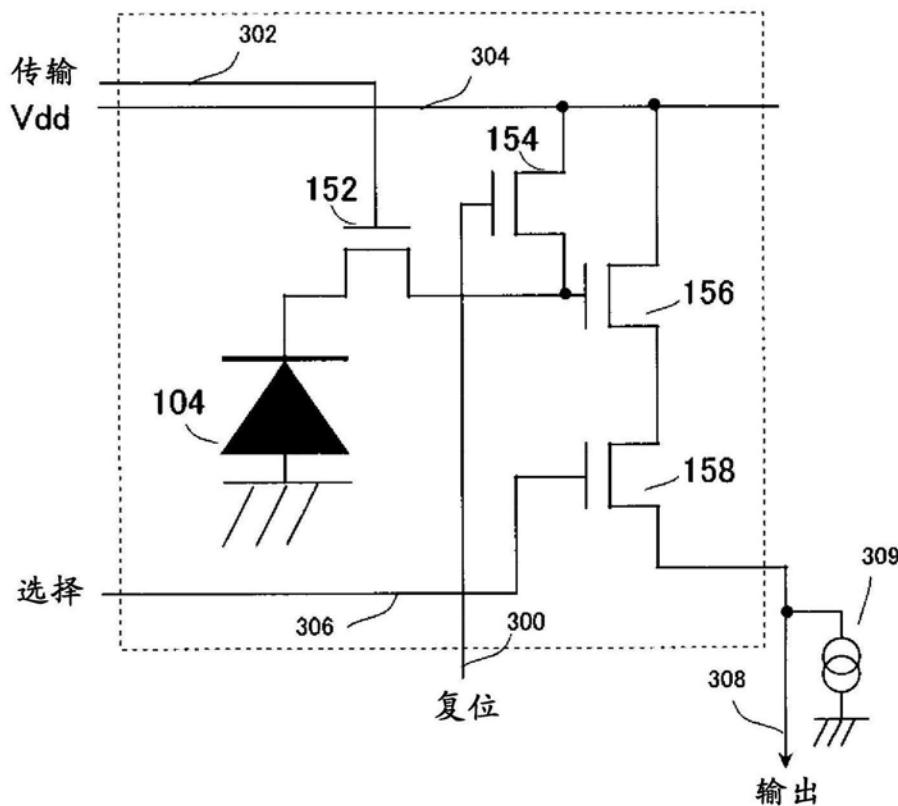
150

图3

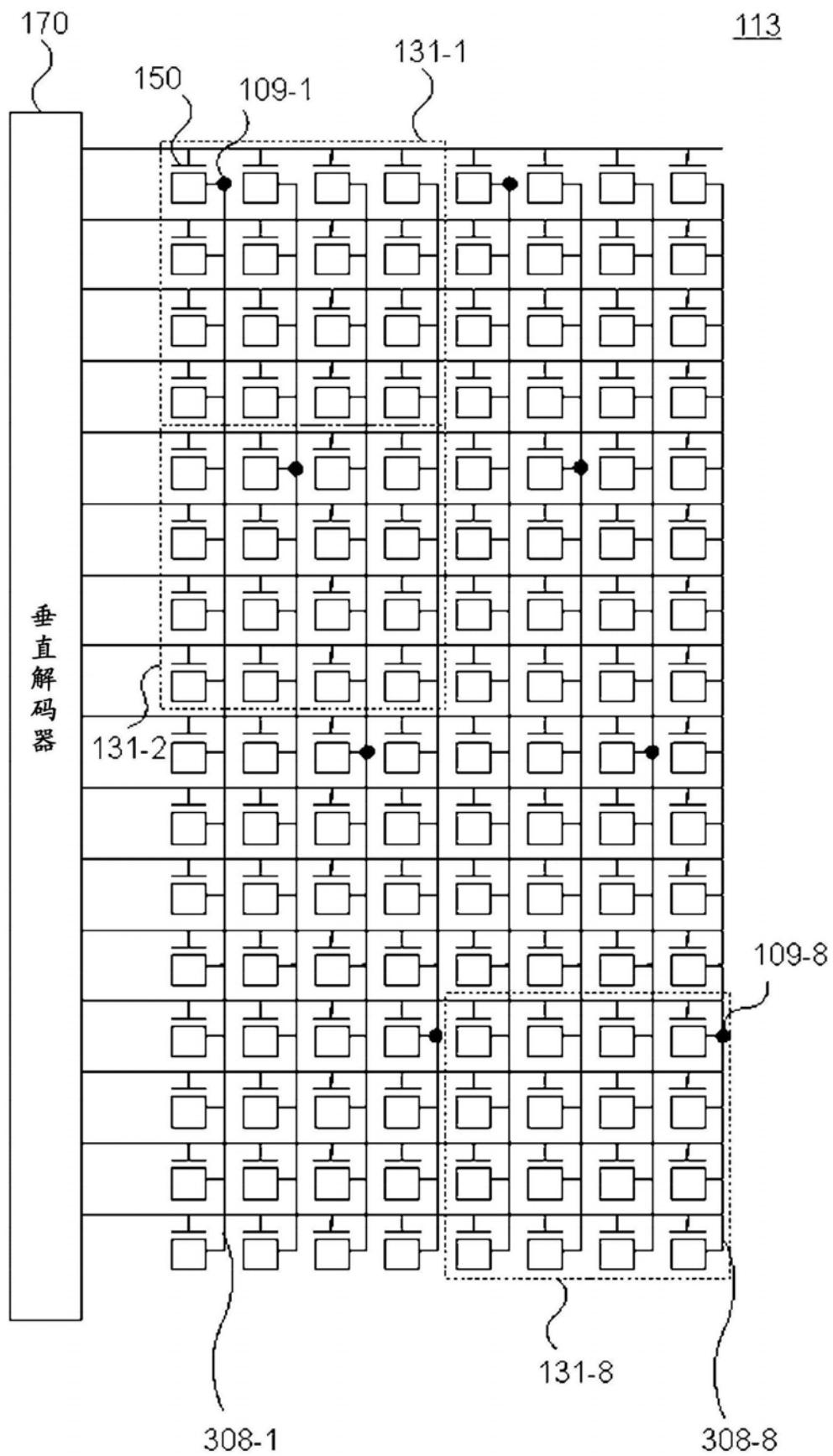


图4

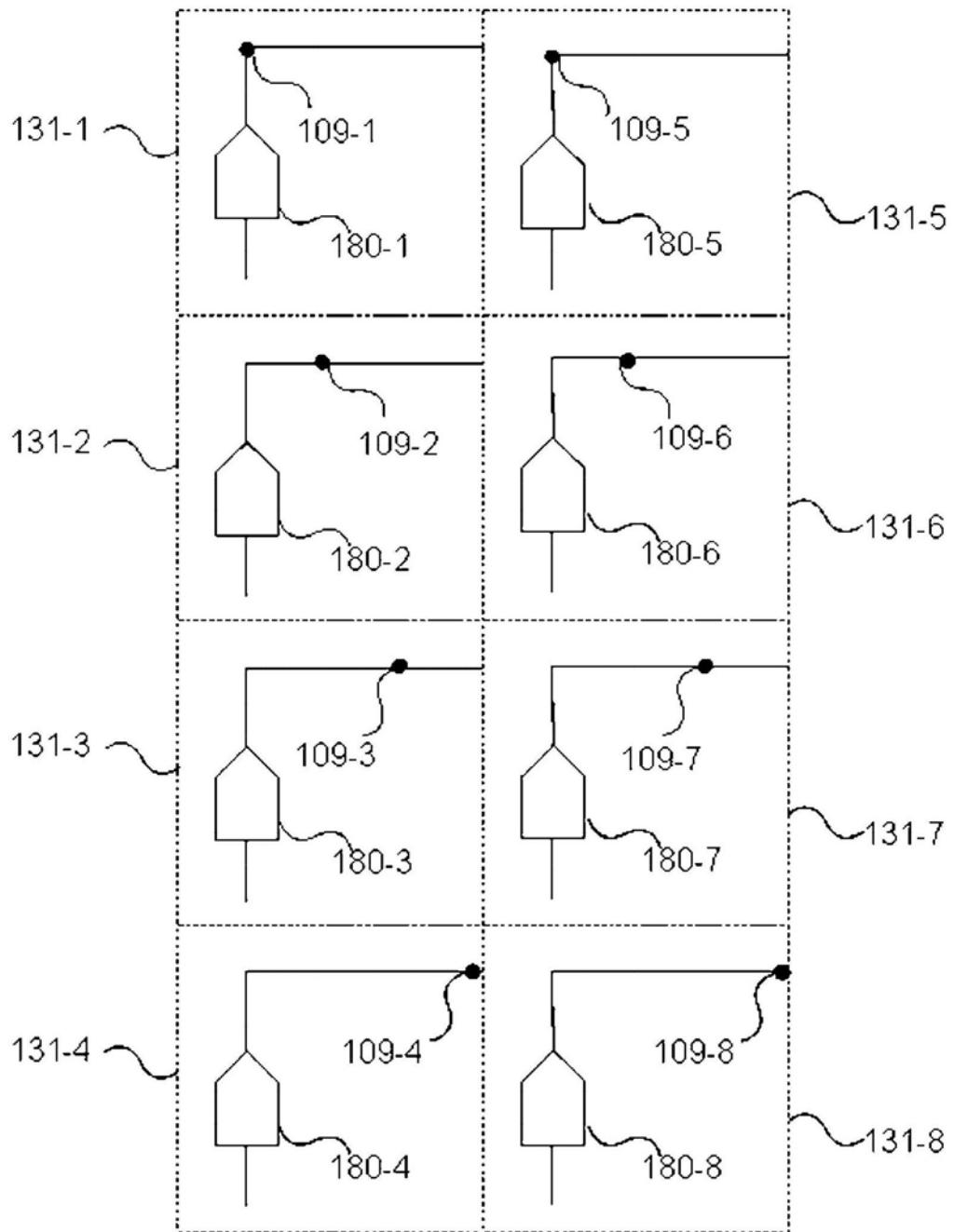


图5

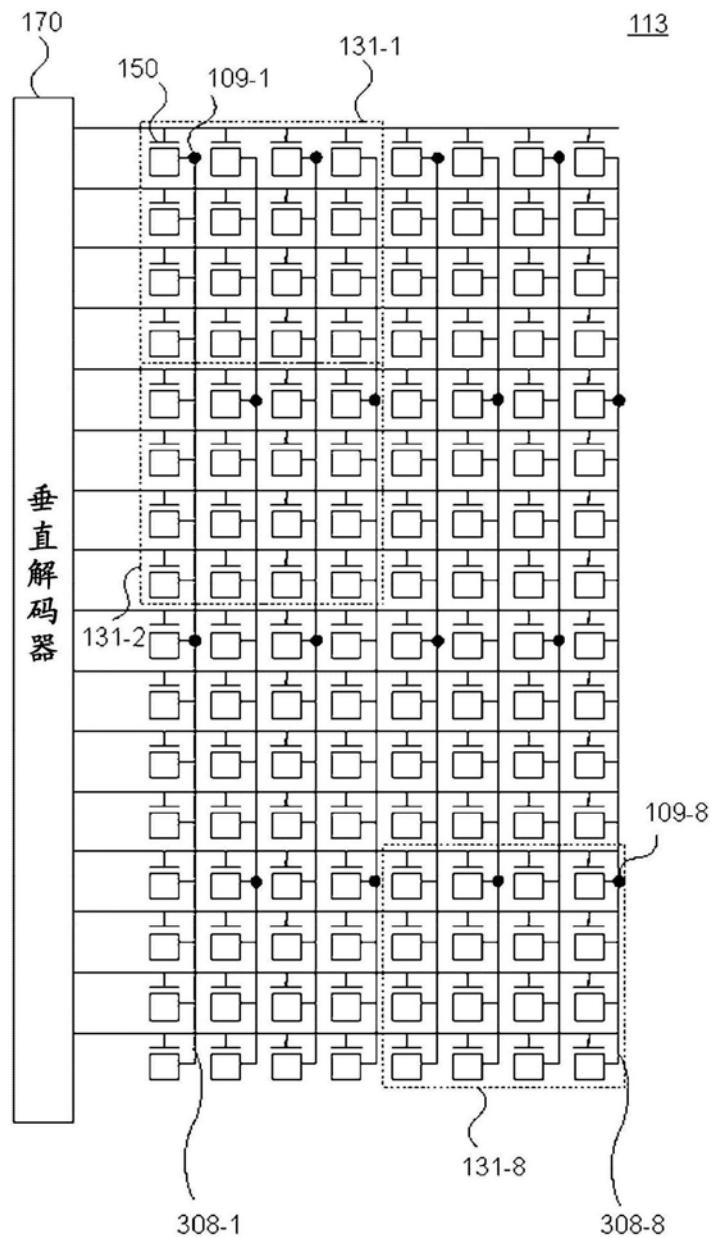


图6

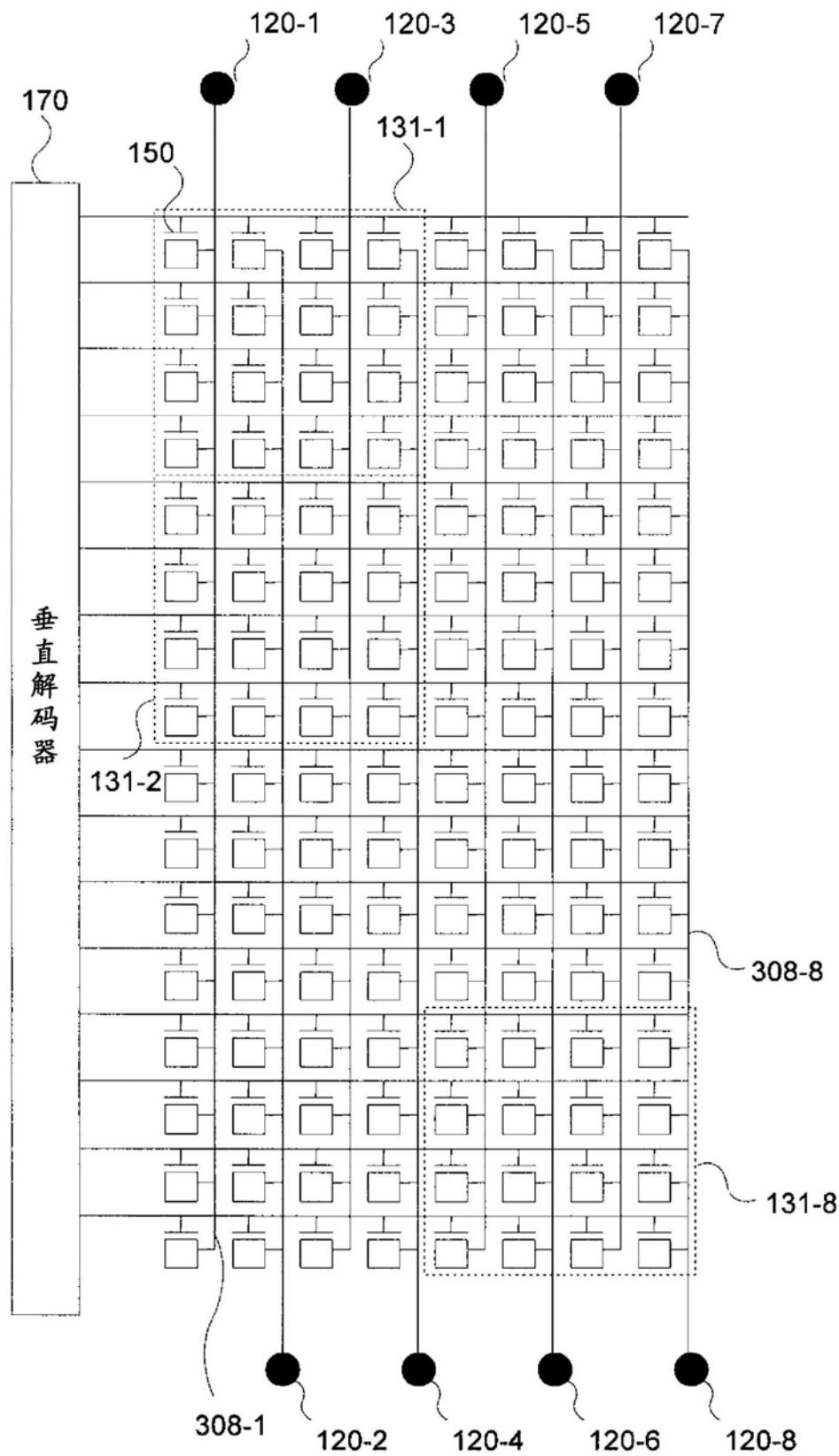
113

图7

111

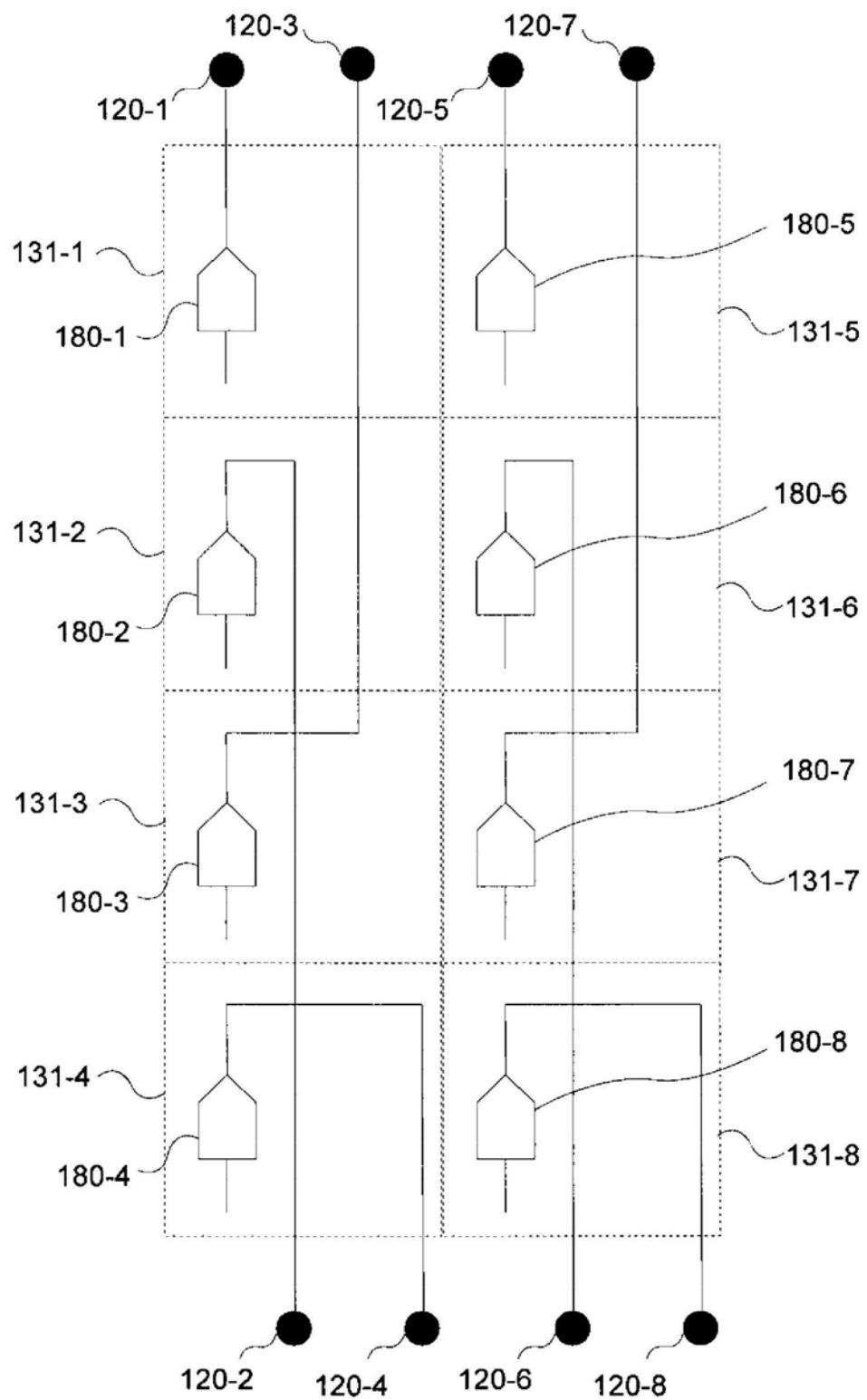


图8

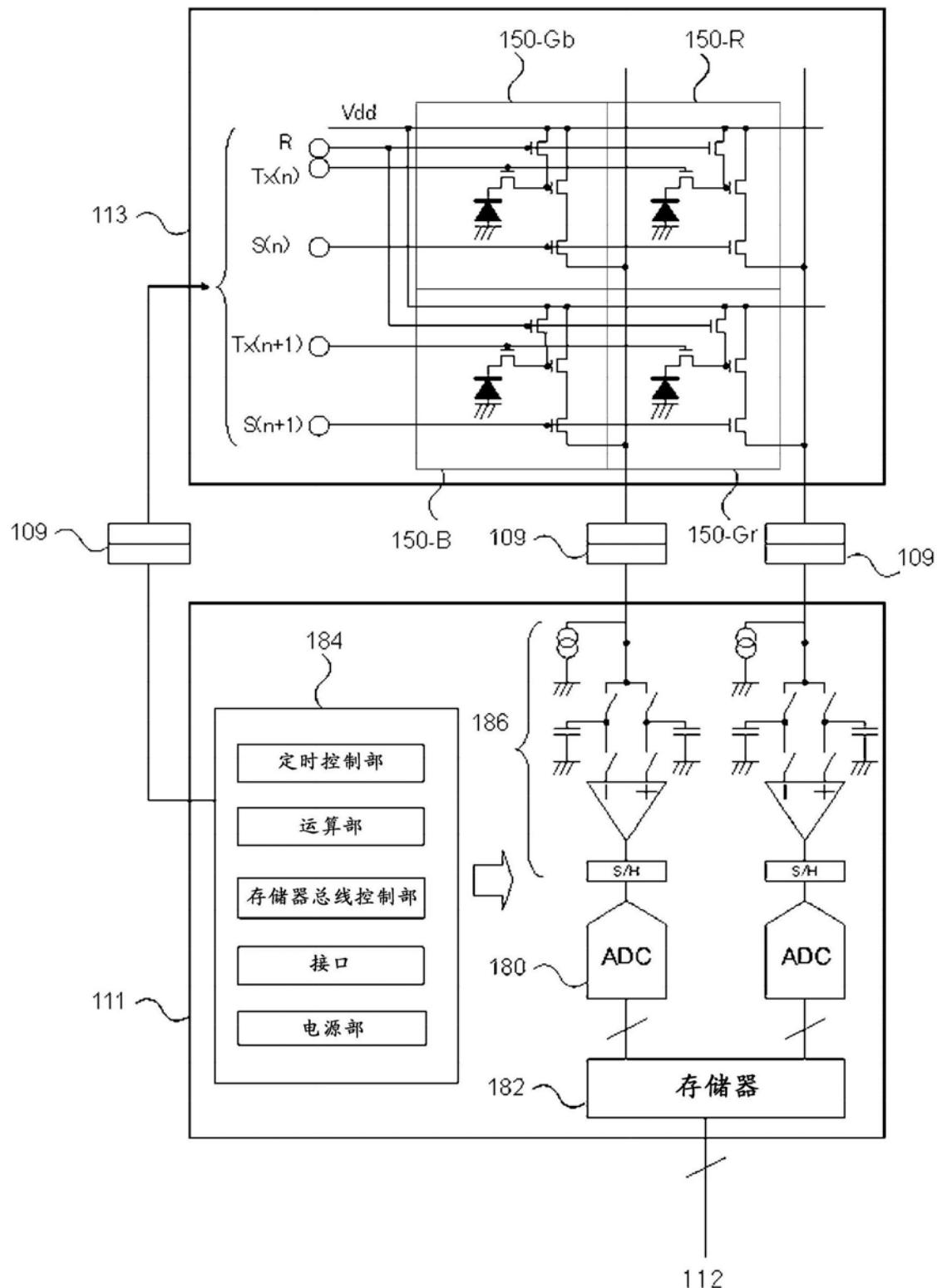


图9

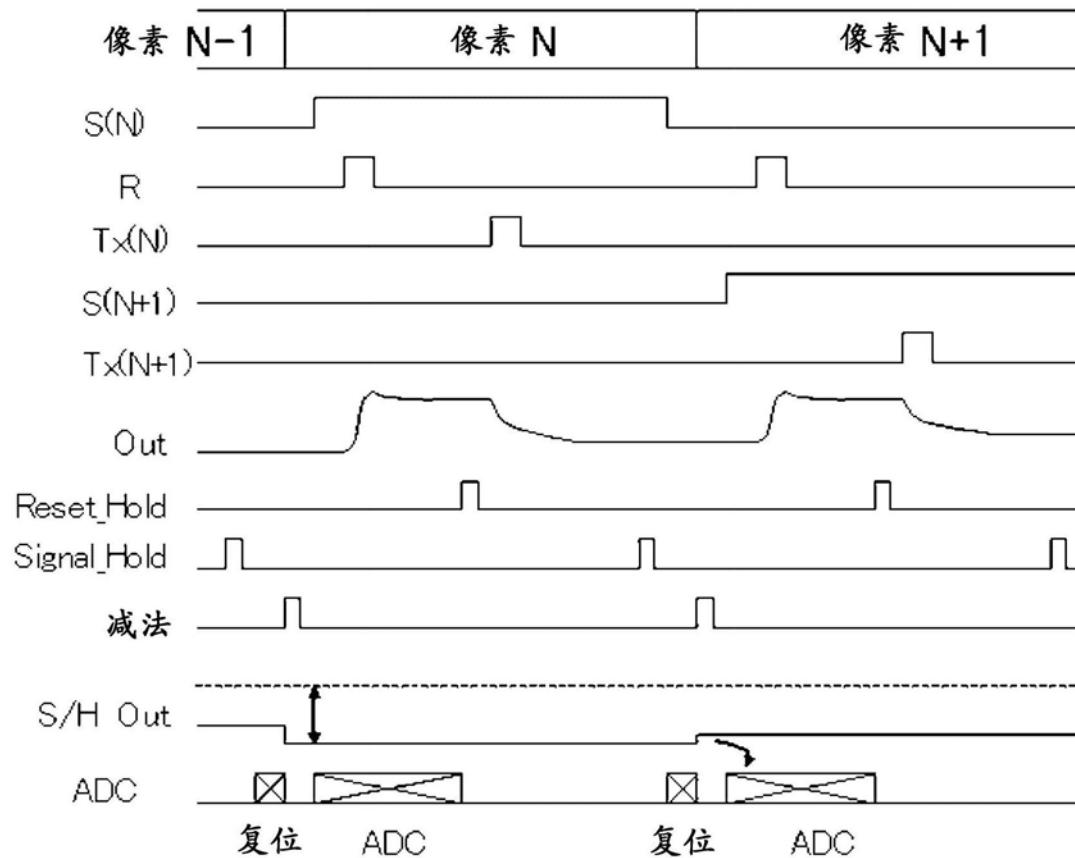


图10

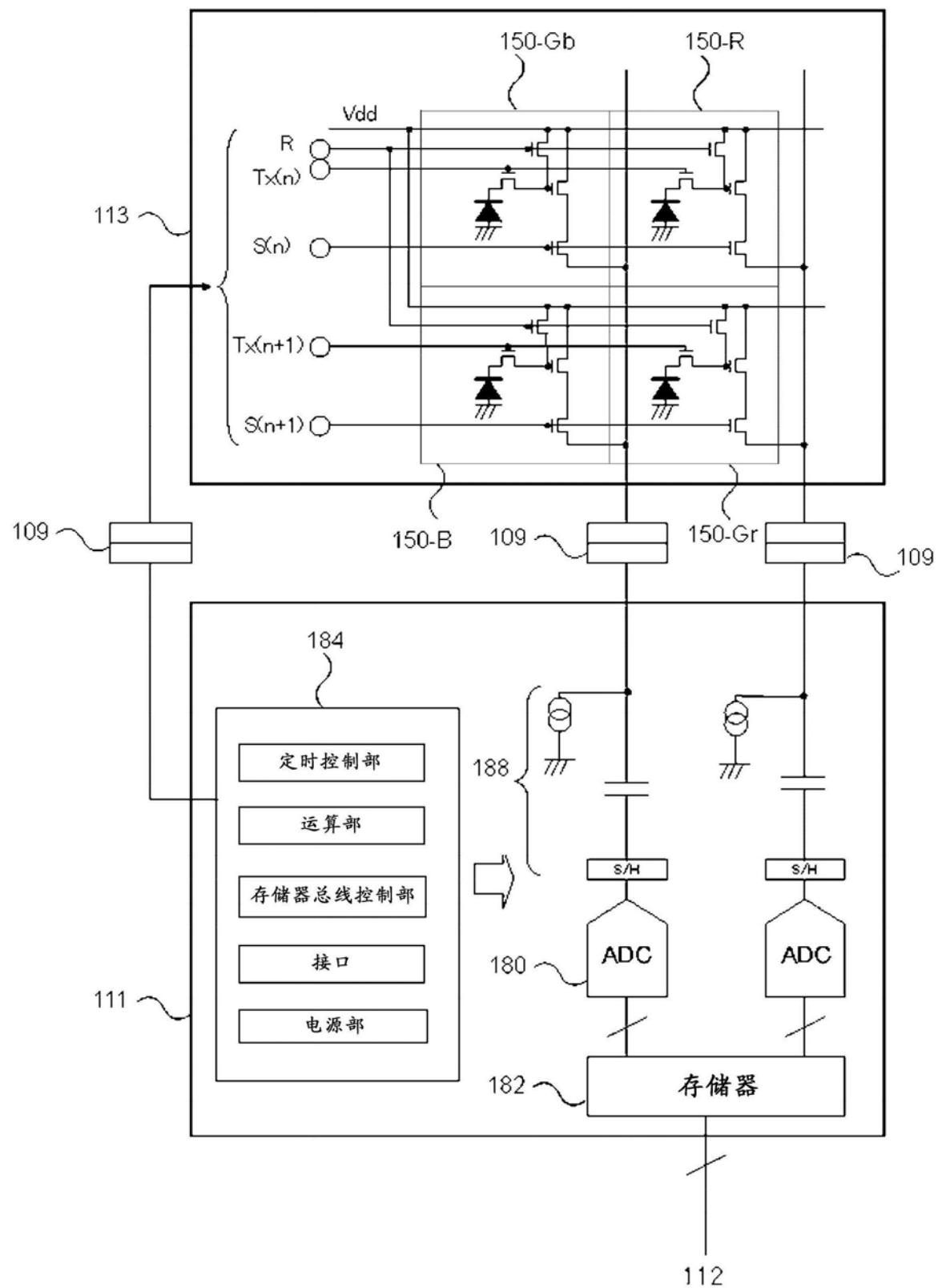


图11

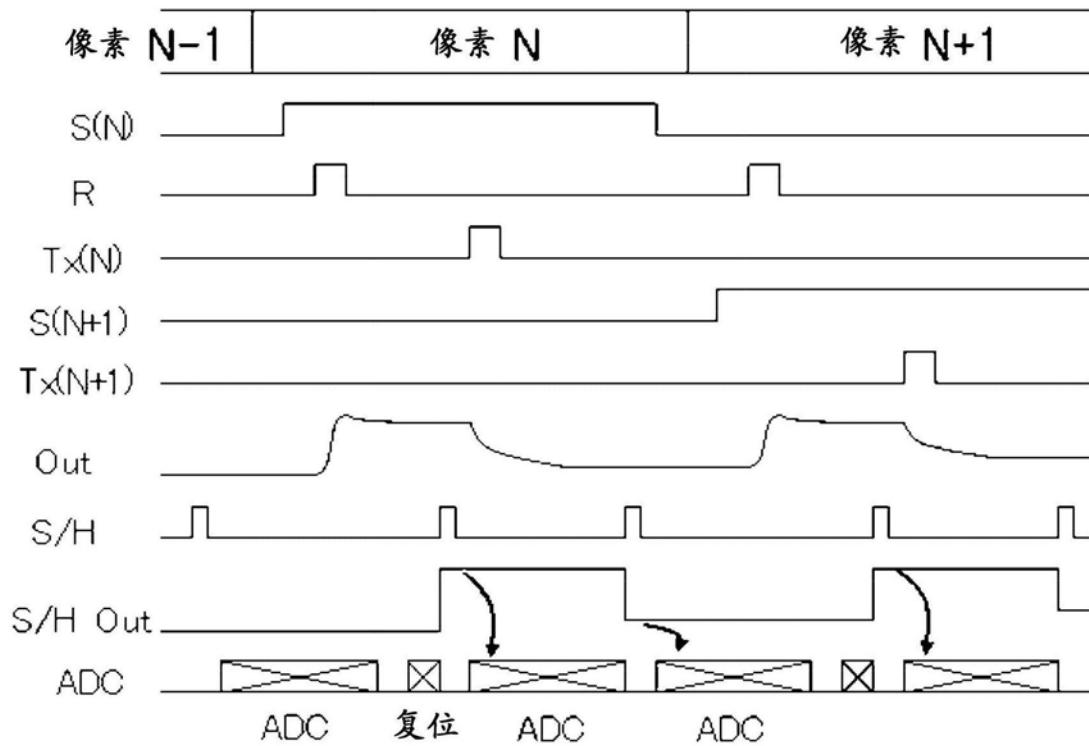


图12

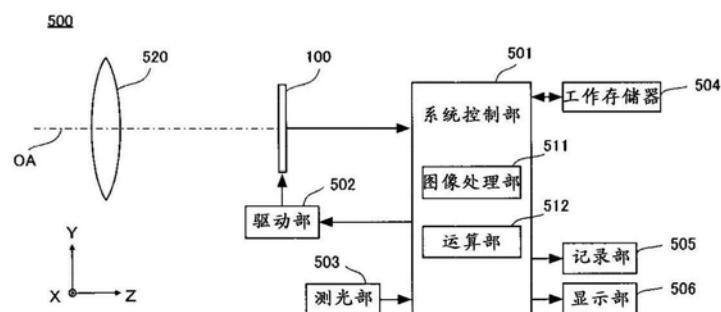


图13