

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5145665号
(P5145665)

(45) 発行日 平成25年2月20日(2013.2.20)

(24) 登録日 平成24年12月7日(2012.12.7)

(51) Int.Cl.

F I

H O 1 L 29/78 (2006.01)

H O 1 L 29/78 6 5 2 K

H O 1 L 29/739 (2006.01)

H O 1 L 29/78 6 5 2 M

H O 1 L 29/78 6 5 5 A

請求項の数 8 (全 18 頁)

(21) 出願番号 特願2006-203462 (P2006-203462)
(22) 出願日 平成18年7月26日(2006.7.26)
(65) 公開番号 特開2008-34467 (P2008-34467A)
(43) 公開日 平成20年2月14日(2008.2.14)
審査請求日 平成21年6月16日(2009.6.16)

(73) 特許権者 000005234
富士電機株式会社
神奈川県川崎市川崎区田辺新田1番1号
(74) 代理人 100104190
弁理士 酒井 昭徳
(72) 発明者 吉川 功
東京都日野市富士町1番地 富士電機アド
バンストテクノロジー株式会社内

審査官 工藤 一光

最終頁に続く

(54) 【発明の名称】 絶縁ゲート型バイポーラトランジスタ

(57) 【特許請求の範囲】

【請求項1】

第1導電型ベース領域となる半導体基板の第1の主面に形成された第2導電型コレクタ領域と、

前記第2導電型コレクタ領域に電氣的に接続されたコレクタ電極と、

前記半導体基板の第2の主面に直線状に並んで形成された複数のトレンチと、

前記半導体基板の、隣り合う前記トレンチに挟まれたトレンチ間領域において前記トレンチの長手方向に沿って前記第1導電型ベース領域と交互に配置されるように選択的に形成された第2導電型ウェル領域と、

前記第2導電型ウェル領域に選択的に形成された第1導電型エミッタ領域と、

前記第2導電型ウェル領域の、前記第1導電型エミッタ領域と前記第1導電型ベース領域に挟まれ、かつ前記トレンチの長手方向に沿ってチャネルが形成される領域の前記半導体基板の第2の主面上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜の上に形成されたゲート電極と、

前記第1導電型エミッタ領域および前記第2導電型ウェル領域に電氣的に接続されたエミッタ電極と、

を備え、

複数の前記トレンチ間領域のうち、前記第2導電型ウェル領域のない前記トレンチ間領域を有し、

前記第2導電型ウェル領域のない前記トレンチ間領域には、前記半導体基板の第2の主

10

20

面に前記第 1 導電型ベース領域のみが露出されており、

前記トレンチが絶縁膜を介して導電体で埋められており、

前記トレンチ内の前記導電体が前記エミッタ電極に電氣的に接続されていることを特徴とする絶縁ゲート型バイポーラトランジスタ。

【請求項 2】

前記トレンチが等間隔に形成されていることを特徴とする請求項 1 に記載の絶縁ゲート型バイポーラトランジスタ。

【請求項 3】

前記ゲート絶縁膜の、前記第 1 導電型ベース領域の上の部分が、前記第 2 導電型ウェル領域の上の部分よりも厚いことを特徴とする請求項 1 または 2 に記載の絶縁ゲート型バイポーラトランジスタ。

10

【請求項 4】

前記トレンチ内の前記絶縁膜がシリコン酸化膜であることを特徴とする請求項 1 ~ 3 のいずれか一つに記載の絶縁ゲート型バイポーラトランジスタ。

【請求項 5】

前記シリコン酸化膜の厚さが 150 nm 以上であることを特徴とする請求項 4 に記載の絶縁ゲート型バイポーラトランジスタ。

【請求項 6】

前記シリコン酸化膜の厚さが 200 nm 以上であることを特徴とする請求項 4 に記載の絶縁ゲート型バイポーラトランジスタ。

20

【請求項 7】

前記第 2 導電型ウェル領域のない前記トレンチ間領域に、前記半導体基板の第 2 の主面が層間絶縁膜で覆われたことによる第 2 導電型フローティング領域が設けられていることを特徴とする請求項 1 ~ 6 のいずれか一つに記載の絶縁ゲート型バイポーラトランジスタ。

。 【請求項 8】

前記第 2 導電型ウェル領域のある前記トレンチ間領域と前記第 2 導電型ウェル領域のない前記トレンチ間領域とが交互に配置されていることを特徴とする請求項 1 ~ 7 のいずれか一つに記載の絶縁ゲート型バイポーラトランジスタ。

【発明の詳細な説明】

30

【技術分野】

【0001】

この発明は、トレンチ構造を有する縦型の絶縁ゲート型バイポーラトランジスタに関する。

【背景技術】

【0002】

近年、パワーエレクトロニクス分野において、電源機器の小型化および高性能化が要求されている。その要求に応えるため、電力用半導体装置では、高耐圧化および大電流化とともに、低損失化、高破壊耐量化および高速化を図るための研究が進められている。一般に、高耐圧化、大電流化および低損失化を実現できる電力用半導体装置として、縦型の絶縁ゲート型バイポーラトランジスタ（以下、IGBTとする）が用いられている。

40

【0003】

IGBTは、MOS（金属／酸化膜／半導体）ゲートにより駆動される。IGBTとしては、平板状のMOSゲート構造を有するプレーナ型と、トレンチ溝内にMOSゲート構造を有するトレンチ型の2種類が広く知られている。プレーナ型IGBTは、半導体基板上に、半導体表面をチャネル領域とする多数のプレーナMOSセルが並ぶプレーナゲート構造を有する。トレンチ型IGBTは、半導体基板上に、トレンチ側壁をチャネル領域とする多数のトレンチMOSセルが並ぶトレンチゲート構造を有する。

【0004】

一般に、トレンチ型MOSデバイスは、チャネル抵抗の低減により低損失化を図りやす

50

い点で、プレーナ型MOSデバイスよりも有利であるとされている。その一方、トレンチ型MOSデバイスには、高速動作や低オン電圧化を実現させると、耐圧が低下するなどの問題がある。また、プレーナ型MOSデバイスは、MOSゲート製造プロセスが簡略であり、安価に製造しやすいことや、半導体表面にゲート絶縁膜を形成するので、信頼性が高いなどの点で、トレンチ型MOSデバイスよりも有利であるとされている。その一方で、プレーナ型MOSデバイスには、セル密度を上げにくいという問題がある。

【0005】

従来のトレンチゲート型IGBTとプレーナゲート型IGBTについて説明する。なお、本明細書において、 n または p を冠記した領域では、それぞれ電子または正孔が多数キャリアであることを意味する。また、 n や p に付す $+$ および $-$ は、それぞれそれが付されていない領域よりも高不純物濃度および低不純物濃度であることを意味する。

10

【0006】

図19は、従来のトレンチゲート型IGBTの構成を示す断面図である。図19に示すように、 n^- ベース領域1となるシリコン基板の第1の主面側に、 p ウェル領域2、 p フローティング領域3およびトレンチゲート4が設けられている。トレンチゲート4は、トレンチ5、トレンチ5の内周面を覆うゲート絶縁膜6、およびゲート絶縁膜6を介してトレンチ5内を埋めるゲート電極7により構成されている。トレンチ5は、基板の第1の主面から p ウェル領域2および p フローティング領域3よりも深く形成されており、その深さと同程度のピッチで設けられている。

【0007】

20

p ウェル領域2において、基板の第1の主面側には、 n^+ エミッタ領域8がトレンチゲート4に接して選択的に設けられている。基板の第1の主面上には、 p フローティング領域3、ゲート絶縁膜6およびゲート電極7を覆うように、シリケートガラス等の層間絶縁膜9が設けられている。金属膜等のエミッタ電極10は、層間絶縁膜9上に設けられており、コンタクトホールを介して n^+ エミッタ領域8と p ウェル領域2の両方に電氣的に接続している。

【0008】

基板の第2の主面側には、 p^+ コレクタ領域11と、 p^+ コレクタ領域11に電氣的に接続する金属膜等のコレクタ電極12が設けられている。なお、IGBTを、その性能を高めるためにいわゆるパンチスルータイプとして設計する場合には、 n^- ベース領域1と p^+ コレクタ領域11の間に、 n^+ バッファ層が設けられる。なお、図19に示す構成において、トレンチ側壁の、 n^- ベース領域1と n^+ エミッタ領域8の間の部分(チャネル領域)がゲート-エミッタ間容量に寄与し、トレンチ5の周囲の、チャネル領域を除く部分がゲート-コレクタ間容量に寄与する。

30

【0009】

図20は、従来のプレーナゲート型IGBTの構成を示す断面図である。図20に示すように、 n^- ベース領域1となるシリコン基板の第1の主面側に、 p ウェル領域2が選択的に設けられている。 p ウェル領域2において、基板の第1の主面側には、 n^+ エミッタ領域8が選択的に設けられている。基板の第1の主面上には、プレーナゲート16が設けられている。プレーナゲート16は、 p ウェル領域2の、 n^+ エミッタ領域8と n^- ベース領域1の間の部分を覆うゲート絶縁膜6、およびゲート絶縁膜6の上のゲート電極7により構成されている。

40

【0010】

ゲート電極7は、層間絶縁膜9により n^+ エミッタ領域8を含む半導体領域およびエミッタ電極10から絶縁されている。エミッタ電極10、 p^+ コレクタ領域11、コレクタ電極12および図示しない n^+ バッファ層については、上述したトレンチゲート型IGBTの構成と同じである。

【0011】

次に、IGBTの動作について説明する。トレンチゲート型IGBTとプレーナゲート型IGBTとで電氣的な動作に差異はないので、ここでは、トレンチゲート型IGBTに

50

について説明する。

【0012】

まず、オフ状態の動作について説明する。ゲート電極7とエミッタ電極10の間にゲートしきい値電圧よりも十分に低い電圧を印加し、その状態で、コレクタ電極12とエミッタ電極10の間に電圧を印加する。これにより、 n^- ベース領域1とpウェル領域2からなるpn接合が逆バイアス状態になるので、主に n^- ベース領域1側に空乏層が広がる。

【0013】

ゲート電位が低いため、pウェル領域2の、トレンチゲート4（プレーナゲート型IGBTでは、プレーナゲート16）に接する面には、pウェル領域2内のホールが引きつけられて蓄積する。従って、トレンチゲート（プレーナゲート型IGBTでは、プレーナゲート）チャンネルは、オフ状態となる。

10

【0014】

次に、オン状態の動作について説明する。ゲート電極7とエミッタ電極10の間にゲートしきい値電圧よりも十分に高い電圧を印加し、その状態で、コレクタ電極12とエミッタ電極10の間に電圧を印加する。ゲート電位が高いため、pウェル領域2の、トレンチゲート4（プレーナゲート型IGBTでは、プレーナゲート16）に接する面には、pウェル領域2内の電子が引きつけられる。

【0015】

そして、pウェル領域2の、トレンチゲート4（プレーナゲート型IGBTでは、プレーナゲート16）に接する領域がn反転し、トレンチゲート（プレーナゲート型IGBTでは、プレーナゲート）チャンネルが形成される。これによって、 n^+ エミッタ領域8からチャンネルを通して n^- ベース領域1に電子が供給され、正電位の p^+ コレクタ領域11へ向かって電子が流れる。

20

【0016】

電子が p^+ コレクタ領域11に流れ込むと、 p^+ コレクタ領域11から図示しない n^+ バッファ層にホールが注入される。このホールは、 n^- ベース領域1内で伝導率変調を起こす。また、 n^- ベース領域1内のホールのライフタイムが十分長いと、ホールがトレンチゲートチャンネルの近傍まで到達し、電位の低いpウェル領域2に吸い込まれる。

【0017】

しかし、上述した従来のトレンチゲート型IGBTでは、オフ状態において、以下に示す問題がある。オフ状態では、コレクタ電極12とエミッタ電極10の間には、空乏層内部から発生するわずかな漏れ電流が流れるだけである。従って、コレクタ電極12とエミッタ電極10のインピーダンスが高くなる。コレクタ電圧が上昇すると、それに伴ってIGBT内部の電界が強くなるが、トレンチゲート4の底部の電位は、ほぼゲート電極7と同じ電位である。

30

【0018】

それに対して、pウェル領域2の下側に位置する n^- ベース領域1の、トレンチゲート4の底部と同じ深さ位置における電位は、その位置からpウェル領域2までの間のドナーイオンによって、pウェル領域2の電位（エミッタ電位）よりも上昇する。特に、トレンチゲート4の底部の角部において電界が強くなりやすい。このとき、IGBTの内部の電界が臨界電界を超えてインパクト発生が強く起こると、コレクタ電極12とエミッタ電極10の間に急激に漏れ電流が増加し、それによってIGBTが降伏してしまう。

40

【0019】

これを回避して高耐圧を得るには、臨界電界に達するまでに空乏層の中に存在する電圧降下を大きくする必要がある。そのための構成として、 n^- ベース領域1を厚くすることによって、 n^- ベース領域1の不純物濃度を低くする構成や、トレンチゲート4の底部角部に丸みを持たせたり、トレンチゲート4の間隔を狭めることによって、トレンチゲート4の底部角部の電界を緩和する構成が報告されている（例えば、非特許文献1参照。）。

【0020】

また、従来のトレンチゲート型IGBTでは、オン状態において、以下に示す問題があ

50

る。オン状態では、 n^- ベース領域 1 内の電子とホールとの密度が高くなるので、コレクタ電極 12 とエミッタ電極 10 のインピーダンスは、低くなる。しかし、 p ウェル領域 2 に多くのホールが吸い込まれるため、トレンチゲートチャネルから n^- ベース領域 1 への電子の注入が多少制限されてしまう。そのため、低いオン電圧が得られない。

【0021】

トレンチゲートチャネル側からより多くの電子を供給するには、 p ウェル領域 2 に流れ込むホールの量を減らす必要がある。そのための構成として、トレンチゲート 4 のピッチを狭めたり、トレンチゲート 4 を深く形成する構成が報告されている（例えば、非特許文献 2 参照。）。また、通常のトレンチ IGBT 部分の間に、 p ウェル領域 2 のエミッタコンタクトや n^+ エミッタ領域 8 のないトレンチゲート 4 の部分を挿入する構成が提案され

10

【0022】

また、従来のプレーナゲート型 IGBT では、 p ウェル領域 2 が横方向にも拡散しているため、オン状態において、以下に示す問題がある。上述したトレンチゲート型 IGBT の、 p ウェル領域 2 のエミッタコンタクトや n^+ エミッタ領域 8 のないトレンチゲート 4 の部分を挿入する構成と比べて、 p ウェル領域 2 により多くのホールが吸い込まれるため、プレーナゲートチャネルから n^- ベース領域 1 への電子の注入が多少制限されてしまう。そのため、低いオン電圧が得られない。

【0023】

20

プレーナゲートチャネル側からより多くの電子を供給するには、 p ウェル領域 2 に流れ込むホールの量を減らす必要がある。そのための構成として、 p ウェル領域 2 の間隔を広げる構成が提案されている。また、 p ウェル領域 2 の下に不純物濃度の高い n 型層を設ける構成が提案されている（例えば、特許文献 2 参照。）。また、 p ウェル領域 2 の中央部分にトレンチ 5 を設け、誘電体膜を介してエミッタ電極 10 に接続された構成とすることによって、耐圧を高め、間接的に n 型基板の濃度を高めることが提案されている（例えば、特許文献 3 参照。）。

【0024】

【特許文献 1】特開平 7 - 50405 号公報

【特許文献 2】特開平 9 - 326486 号公報

30

【特許文献 3】特開 2001 - 85688 号公報

【非特許文献 1】ケンイチ・マツシタ (Ken'ichi Matsushita)、外 2 名、「ブロッキング・ボルテージ・デザイン・コンシダレーション・フォア・ディープ・トレンチ・MOS・ゲート・ハイ・パワー・デバイスズ (Blocking Voltage Design Consideration for Deep Trench MOS Gate High Power Devices)」、プロシーディングズ・オブ・1995・インターナショナル・シンポジウム・オン・パワー・セミコンダクタ・デバイスズ & ICs (Proceedings of 1995 International Symposium on Power Semiconductor Devices & ICs)、p. 256 - 260

【非特許文献 2】ミツヒコ・キタガワ (Mitsuhiko Kitagawa)、外 6 名、「4500V・IEGTs・ハビング・スイッチング・キャラクターリスティクス・シューパーリア・トゥ・GTO (4500V IEGTs having Switching Characteristics Superior to GTO)」、プロシーディングズ・オブ・1995・インターナショナル・シンポジウム・オン・パワー・セミコンダクタ・デバイスズ & ICs (Proceedings of 1995 International Symposium on Power Semiconductor Devices & ICs)、p. 486 - 491

40

【発明の開示】

【発明が解決しようとする課題】

【0025】

しかしながら、トレンチゲート型 IGBT において、トレンチゲートの間隔を狭める構成では、単位面積当りのトレンチゲートの面積が増加するため、ゲート容量が増加するという問題や、IGBT の製造上の加工限界の点で製造が困難になるという問題が生じる。

50

また、トレンチゲートのピッチを狭める構成、トレンチゲートを深く形成する構成、およびpウェル領域のエミッタコンタクトやエミッタ領域のないトレンチゲートの部分を挿入する構成では、ゲート容量が増加するという問題が生じる。また、トレンチゲートを深く形成する構成、およびpウェル領域の下に高濃度n型層を設ける構成では、降伏電圧が低下するという問題が生じる。

【0026】

また、プレーナゲート型IGBTにおいて、pウェル領域の間隔を広げる構成では、ゲート容量が増加するという問題が生じる。また、pウェル領域の間隔を広げる構成、およびpウェル領域の下に高濃度n型層を設ける構成では、pウェル領域の曲率部分の電界が強くなり、降伏電圧が低下するという問題が生じる。また、pウェル領域の中央部分にトレンチを設ける構成では、pウェル領域に吸い込まれるホールの量に変化がないため、プレーナゲートチャネル側からの電子の供給量を多くすることはできない。

10

【0027】

この発明は、上述した従来技術による問題点を解消するため、オン電圧が低く、かつ高い降伏電圧を有するIGBTを提供することを目的とする。また、この発明は、オン電圧が低く、かつゲート容量が小さいIGBTを提供することを目的とする。

【課題を解決するための手段】

【0028】

上述した課題を解決し、目的を達成するため、この発明にかかるIGBTは、第1導電型ベース領域となる半導体基板の第1の主面に形成された第2導電型コレクタ領域と、前記第2導電型コレクタ領域に電氣的に接続されたコレクタ電極と、前記半導体基板の第2の主面に直線状に並んで形成された複数のトレンチと、前記半導体基板の、隣り合う前記トレンチに挟まれたトレンチ間領域において前記トレンチの長手方向に沿って前記第1導電型ベース領域と交互に配置されるように選択的に形成された第2導電型ウェル領域と、前記第2導電型ウェル領域に選択的に形成された第1導電型エミッタ領域と、前記第2導電型ウェル領域の、前記第1導電型エミッタ領域と前記第1導電型ベース領域に挟まれ、かつ前記トレンチの長手方向に沿ってチャネルが形成される領域の前記半導体基板の第2の主面上に形成されたゲート絶縁膜と、前記ゲート絶縁膜の上に形成されたゲート電極と、前記第1導電型エミッタ領域および前記第2導電型ウェル領域に電氣的に接続されたエミッタ電極と、を備え、複数の前記トレンチ間領域のうち、前記第2導電型ウェル領域のない前記トレンチ間領域を有し、前記第2導電型ウェル領域のない前記トレンチ間領域には、前記半導体基板の第2の主面に前記第1導電型ベース領域のみが露出されており、前記トレンチが絶縁膜を介して導電体で埋められており、前記トレンチ内の前記導電体が前記エミッタ電極に電氣的に接続されていることを特徴とする。

20

30

【0029】

また、この発明にかかるIGBTは、上述した発明において、前記トレンチが等間隔に形成されていることを特徴とする。また、この発明にかかるIGBTは、上述した発明において、前記ゲート絶縁膜の、前記第1導電型ベース領域の上の部分が、前記第2導電型ウェル領域の上の部分よりも厚いことを特徴とする。

【0032】

40

また、この発明にかかるIGBTは、上述した発明において、前記トレンチ内の前記絶縁膜がシリコン酸化膜であることを特徴とする。また、この発明にかかるIGBTは、上述した発明において、前記シリコン酸化膜の厚さが150nm以上であることを特徴とする。

【0033】

また、この発明にかかるIGBTは、上述した発明において、前記シリコン酸化膜の厚さが200nm以上であることを特徴とする。

【0036】

また、この発明にかかるIGBTは、上述した発明において、前記第2導電型ウェル領域のない前記トレンチ間領域に、前記半導体基板の第2の主面が層間絶縁膜で覆われたこ

50

とによる第2導電型フローティング領域が設けられていることを特徴とする。また、この発明にかかるIGBTは、上述した発明において、前記第2導電型ウェル領域のある前記トレンチ間領域と前記第2導電型ウェル領域のない前記トレンチ間領域とが交互に配置されていることを特徴とする。

【0037】

この発明によれば、トレンチ構造とゲート構造を分離して設けることによって、従来のトレンチゲート型IGBTと同様に、オン電圧の低減を図ることができる。また、トレンチの長手方向にMOSチャネルを形成することによって、トレンチ間隔を自由に設定することができる。例えば、トレンチ間隔を狭くすることによって、高い耐圧を得ることができる。さらに、トレンチ内にゲート電極を形成しないので、ゲート容量の増加や降伏電圧の低下という従来の問題を容易に回避することができる。つまり、トレンチ内の絶縁膜の厚さを自由に設定することができる。例えば、トレンチ内を絶縁膜のみで埋めることができる。また、ゲート容量を増やすことなく、トレンチ間隔を狭くすることができる。また、トレンチ形成後にトレンチ側壁のトリートメントを行わずに済む。

10

【0038】

さらに、ゲートが従来のプレーナ構造と同様であるので、高い信頼性が得られる。また、従来のプレーナゲート型IGBTよりもゲート容量が小さくなる。さらに、降伏電圧がトレンチ底部で決まるので、降伏電圧を高くすることができる。つまり、従来のプレーナゲート型IGBTにおいて問題であった、pウェル領域の曲率部で降伏電圧が低下するという問題を克服することができる。従って、オン電圧を低減するための施策を、制約なく適用することができるので、ゲート容量の小さいIGBTが安価に得られる。

20

【発明の効果】

【0039】

本発明にかかるIGBTによれば、オン電圧が低く、かつ高い降伏電圧を有するIGBTが得られるという効果を奏する。また、オン電圧が低く、かつゲート容量が小さいIGBTが得られるという効果を奏する。

【発明を実施するための最良の形態】

【0040】

以下に添付図面を参照して、この発明にかかるIGBTの好適な実施の形態を詳細に説明する。なお、以下の実施の形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。

30

【0041】

実施の形態1.

図1は、この発明の実施の形態1にかかるIGBTの構成を示す部分断面斜視図である。図2は、図1に示すIGBTのトレンチ長手方向に平行で、かつトレンチ間領域を通る断面の構成を示す断面図である。図3は、図1に示すIGBTのトレンチ短手方向に平行で、かつpウェル領域を通り、n⁺エミッタ領域を通らない断面の構成を示す断面図である。ここで、トレンチ間領域とは、隣り合うトレンチに挟まれた半導体領域のことである。

【0042】

40

図1～図3に示すように、n⁻ベース領域21となるシリコン基板の第1の主面側に、pウェル領域22が選択的に形成されている。また、基板の第1の主面側には、複数のトレンチ25が互いに平行に形成されている。各トレンチ25は、直線状の平面形状をなし、かつpウェル領域22よりも深くてn⁻ベース領域21に達する。トレンチ間領域において、トレンチ25の長手方向には、n⁻ベース領域21とpウェル領域22が基板の第1の主面に交互に出現する(図1、図2参照)。

【0043】

n⁻ベース領域21とpウェル領域22は、隣り合うトレンチ間領域で同じように基板の第1の主面に出現する。つまり、図1の左手前側から右手奥方へトレンチ25の長手方向に沿って見て行く場合、あるトレンチ間領域においてpウェル領域22が基板の第1の

50

主面に出現している場合、それと背中合せになるように、その隣のトレンチ間領域でも基板の第1の主面にpウェル領域22が出現し、あるトレンチ間領域でn⁻ベース領域21が出現している場合には、その隣でもn⁻ベース領域21が出現する(図1、図3参照)。従って、pウェル領域22を通るトレンチ25の短手方向の断面においては、pウェル領域22がトレンチ25により複数の領域に分割された構成となる(図3参照)。

【0044】

pウェル領域22において、基板の第1の主面側には、n⁺エミッタ領域28が選択的に設けられている。ゲート絶縁膜26は、トレンチ間領域において、pウェル領域22の、n⁺エミッタ領域28とn⁻ベース領域21の間、およびn⁻ベース領域21の表面に接して設けられている。ゲート電極27は、ゲート絶縁膜26の上に設けられている。つまり、ゲート構造は、基板の第1の主面上にゲート絶縁膜26を介してゲート電極27が設けられた構造、すなわちプレーナゲート構造となっている。

10

【0045】

オン状態のときには、チャンネルは、pウェル領域22の、n⁺エミッタ領域28とn⁻ベース領域21の間の表面に沿って、トレンチ25の長手方向に形成される。図1および図2に、チャンネルが形成される部分(チャンネル領域)を一点鎖線で示し、符号41を付す。ゲート絶縁膜26およびゲート電極27は、それぞれ、トレンチ25に沿って隣のセルまで伸び、隣のセルのゲート絶縁膜26およびゲート電極27に接続されている。

【0046】

ゲート電極27は、層間絶縁膜29により被覆されている。エミッタ電極30(図1では、省略)は、層間絶縁膜29の上に設けられている。エミッタ電極30は、コンタクトホールを介して、pウェル領域22とn⁺エミッタ領域28に接触し、電氣的に接続されている。エミッタ電極30を含んで、基板の第1の主面側の露出面は、図示省略した保護膜により被覆される。

20

【0047】

トレンチ25は、絶縁膜42を介して導電体43により埋められている。導電体43は、絶縁膜42によりn⁻ベース領域21から絶縁されている。このような構造の半導体装置では、通常、最大電界強度がトレンチ底部に現れる。また、導電体43は、図には現われていない領域において、エミッタ電極30に電氣的に接続されている。基板の第2の主面側には、p⁺コレクタ領域31と、p⁺コレクタ領域31に電氣的に接続するコレクタ電極32が設けられている。

30

【0048】

IGBTがパンチスルータイプである場合には、n⁻ベース領域21とp⁺コレクタ領域31の間に、フィールドストップ層としてn⁺層が設けられる。実施の形態1の構成において、n⁻ベース領域21とn⁺エミッタ領域28の間のチャンネル領域41がゲート-エミッタ間容量に寄与し、n⁻ベース領域21の、隣り合うpウェル領域22の間の部分がゲート-コレクタ間容量に寄与する。なお、図1においては、ゲート絶縁膜26、ゲート電極27および層間絶縁膜29の一部と、エミッタ電極30が省略されている。

【0049】

実施の形態1のIGBTの耐圧クラスは、特に限定されないが、実施の形態1では、例えば600Vクラスとする。その場合の一例を挙げる。半導体基板は、抵抗率30Ωcmのn型シリコン基板である。トレンチ25は、5μm間隔でストライプ状に形成されており、その深さは5μmである。トレンチ25内の絶縁膜42および導電体43は、それぞれシリコン酸化膜および高ドーパリシリコンである。また、p⁺コレクタ領域31および図示省略したフィールドストップ層の厚さは、それぞれ、0.3μmおよび3μmである。また、半導体基板の厚さは、65μmである。

40

【0050】

次に、実施の形態1のIGBTについて、トレンチ25内の絶縁膜42の厚さと耐圧の関係を調べた結果について説明する。半導体基板の電氣的特性、各部の寸法および各部の材料等は、上述した通りである。また、トレンチ底部の曲率は、0.6μmである。図4

50

は、耐圧クラスが600VクラスのIGBTのトレンチ内絶縁膜の厚さと耐圧の関係を示す特性図である。図4において、○および●のプロットは、それぞれ、pウェル領域22からのトレンチ25の突出量が4.0μmおよび2.0μmであるときのものである。

【0051】

また、図5は、耐圧クラスが1200VクラスのIGBTのトレンチ内絶縁膜の厚さと耐圧の関係を示す特性図である。1200VクラスのIGBTでは、n型半導体基板の抵抗率が65Ωcmであり、その厚さが135μmである。それ以外は、600Vクラスと同じである。図5において、■のプロットは、pウェル領域22からのトレンチ25の突出量が2.0μmであるときのものである。図4および図5のいずれにおいても、絶縁膜42は、シリコン酸化膜である。

10

【0052】

本実施の形態では、IGBTの耐圧決定要因がトレンチ底部にあればよい。また、トレンチ25の内部に絶縁膜42を介して埋め込まれる導電体43がゲート電極ではないので、絶縁膜42の厚さは、しきい値等とは無関係である。従って、その絶縁膜42の厚さを、耐圧のみの関数として自由に設計することができる。

【0053】

ここでは、IGBTの耐圧が幾ら以上であればよいのか、という数値的な決定要因はないが、一般的には、IGBTの耐圧が高いほどn⁻ベース領域21の厚さを薄くすることができる。n⁻ベース領域21が薄ければ、IGBTの発生損失を小さくできるので、望ましい。仮に最高耐圧の95%の耐圧を実現できる構造とするためには、図4および図5より、トレンチ25の内部の絶縁膜42の厚さを150nm以上、好ましくは200nm以上、より好ましくは300nm以上にすればよいことがわかる。

20

【0054】

次に、実施の形態1のIGBTについて、デバイスシミュレーションによってアバランシェ降伏時のインパクトイオン化率を調べた結果について説明する。図6～図9は、耐圧クラスが600VクラスのIGBTのデバイスシミュレーション結果を示す特性図であり、図6、図7、図8および図9は、それぞれ、トレンチ内絶縁膜の厚さ(T_{Gox})が50nm、200nm、300nmおよび400nmであるときのものである。図6～図9より、トレンチ25内の絶縁膜42の厚さが厚くても薄くても、インパクトイオン化率がトレンチ底部で高くなっていることがわかる。

30

【0055】

次に、実施の形態1のIGBTについて、トレンチ底部の曲率を変えてトレンチ25内の絶縁膜42の厚さと耐圧の関係を調べた結果について説明する。図10は、耐圧クラスが600VクラスのIGBTのトレンチ内絶縁膜の厚さと耐圧の関係を示す特性図である。図10において、○、□および△のプロットは、それぞれ、トレンチ底部の曲率が0.4μm、0.6μmおよび1.0μmであるときのものである。

【0056】

図10より、トレンチ底部の曲率が0.4μm～1.0μmの範囲にある場合には、トレンチ25の内部の絶縁膜42の厚さを150nm以上、好ましくは200nm以上にすれば、最高耐圧の95%の耐圧を実現できることがわかる。また、トレンチ底部の曲率が1.0μm、0.6μmおよび0.4μmと小さくなるに従って、最高耐圧の95%の耐圧を実現できる絶縁膜42の厚さが薄くなっていることがわかる。従って、トレンチ底部の曲率が1.0μm以下である範囲においては、トレンチ25内の絶縁膜42の厚さが150nm以上、好ましくは200nm以上であれば、最高耐圧の95%の耐圧が得られると推定できる。

40

【0057】

実施の形態2.

図11は、この発明の実施の形態2にかかるIGBTの構成を示す部分断面斜視図である。図11に示すように、実施の形態2のIGBTは、図11の左手前側から右手奥方へトレンチ25の長手方向に沿って見て行く場合に、隣り合うトレンチ間領域でpウェル領

50

域 2 2 の出現位置がずれるようにしたものである。従って、トレンチ 2 5 の短手方向の断面において、複数のトレンチ間領域に n^+ ベース領域 2 1 と p ウェル領域 2 2 が交互に出現する。その他の構成は、実施の形態 1 と同じである。上述した実施の形態 1 では、最も電界強度の高い領域は、トレンチ底部であって、トレンチ 2 5 の長手方向の p ウェル領域 2 2 から最も遠い部分であることは自明である。従って、実施の形態 2 のようにトレンチ短手方向に p ウェル領域 2 2 の配置をずらすことによって、実施の形態 1 よりも高い耐圧が得られる。なお、図 1 1 においては、ゲート絶縁膜 2 6 およびゲート電極 2 7 の一部と、層間絶縁膜およびエミッタ電極が省略されている。

【 0 0 5 8 】

実施の形態 3 .

10

図 1 2 は、この発明の実施の形態 3 にかかる I G B T の構成を示す断面図であり、図 2 に示す断面に相当する。図 1 2 に示すように、実施の形態 3 の I G B T は、ゲート絶縁膜 2 6 の、 n^+ ベース領域 2 1 の上の部分を、他の部分よりも厚くしたものである。その他の構成は、実施の形態 1 と同じである。このような構成にすることによって、ゲート絶縁膜 2 6 の熱い部分のゲート容量が小さくなる。従って、実施の形態 1 と比較して、ゲート容量、特にスイッチング時間に強く影響を及ぼす帰還容量を小さくすることができるので、高速スイッチング型 I G B T として有効である。

【 0 0 5 9 】

実施の形態 4 .

20

図 1 3 は、この発明の実施の形態 4 にかかる I G B T の構成を示す部分断面斜視図である。図 1 3 に示すように、実施の形態 4 の I G B T は、一部のトレンチ間領域に p ウェル領域 2 2 を形成しないようにしたものである。特に限定しないが、 p ウェル領域 2 2 が形成されたトレンチ間領域と、 p ウェル領域 2 2 が形成されていないトレンチ間領域は、交互に配置される。その他の構成は、実施の形態 1 と同じである。このような構成にすることによって、エミッタ電極にコンタクトする p ウェル領域 2 2 の面積が実施の形態 1 よりも小さくなり、 p ウェル領域 2 2 に流れ込むホール量を減らすことができる。それによって、チャネル側からの電子の供給を多くして、注入効率を上昇させている。また、ゲート面積が小さくなるので、実施の形態 1 よりもゲート容量を小さくすることができる。なお、図 1 3 においては、ゲート絶縁膜 2 6、ゲート電極 2 7 および層間絶縁膜 2 9 の一部と、エミッタ電極が省略されている。また、 p ウェル領域 2 2 が形成されていないトレン

30

【 0 0 6 0 】

実施の形態 5 .

図 1 4 は、この発明の実施の形態 5 にかかる I G B T の構成を示す部分断面斜視図である。図 1 4 に示すように、実施の形態 5 の I G B T は、実施の形態 4 の I G B T において、 p ウェル領域 2 2 が形成されていないトレンチ間領域に p フローティング領域 4 4 を設けたものである。 p フローティング領域 4 4 は、いかなる電極にも電氣的に接続されていない。つまり、 p フローティング領域 4 4 は、電位的に浮くことになる。その他の構成は、実施の形態 1 と同じである。なお、図 1 4 においては、ゲート絶縁膜 2 6、ゲート電極 2 7 および層間絶縁膜 2 9 の一部と、エミッタ電極が省略されている。

40

【 0 0 6 1 】

実施の形態 6 .

図 1 5 は、この発明の実施の形態 6 にかかる I G B T の構成を示す部分断面斜視図である。図 1 5 に示すように、実施の形態 6 の I G B T は、実施の形態 4 の I G B T において、 p ウェル領域 2 2 が形成されていないトレンチ間領域に p ウェル領域 4 5 を形成し、この p ウェル領域 4 5 を、大きな抵抗成分 4 6 を有する領域を介してエミッタ電極 3 0 に接続したものである。その他の構成は、実施の形態 1 と同じである。なお、図 1 5 においては、ゲート絶縁膜 2 6、ゲート電極 2 7、層間絶縁膜 2 9 およびエミッタ電極 3 0 の一部が省略されている。

【 0 0 6 2 】

50

次に、実施の形態４～６の各ＩＧＢＴについて、トレンチ２５内の絶縁膜４２の厚さと耐圧の関係を調べた結果について説明する。半導体基板の電気的特性、各部の寸法および各部の材料等は、実施の形態１において説明した通りである。いずれも、耐圧クラスは、６００Ｖクラスである。図１６は、実施の形態４～６の各ＩＧＢＴのトレンチ内絶縁膜の厚さと耐圧の関係を示す特性図である。図１６において、○、および□のプロットは、それぞれ、実施の形態４、実施の形態５および実施の形態６のものである。図１６より、実施の形態４と実施の形態５は、ほぼ同じであり、また、実施の形態４、実施の形態５および実施の形態６の順に最高耐圧に近く、有利であることがわかる。

【００６３】

実施の形態７．

10

図１７は、この発明の実施の形態７にかかるＩＧＢＴの構成を示す部分断面斜視図である。図１７に示すように、実施の形態７のＩＧＢＴは、トレンチ２５内が絶縁膜４７により埋められているものである。この絶縁膜４７は、例えばシリコン酸化膜である。その他の構成は、実施の形態１と同じである。なお、図１７においては、ゲート絶縁膜２６、ゲート電極２７および層間絶縁膜２９の一部と、エミッタ電極が省略されている。

【００６４】

実施の形態８．

図１８は、この発明の実施の形態８にかかるＩＧＢＴの構成を示す部分断面斜視図である。図１８に示すように、実施の形態８のＩＧＢＴは、トレンチ間領域において、ｐウェル領域２２とｎ⁺ベース領域２１の間に、ｐウェル領域２２を囲むようにｎ型の比較的低濃度の領域４８を設けたものである。その他の構成は、実施の形態１と同じである。このような構成にすることによって、ｐウェル領域２２のトレンチ長手方向の拡散量を小さくし、エミッタ電極にコンタクトするｐウェル領域２２の面積を実施の形態１よりも小さくすることができるので、ｐウェル領域２２に流れ込むホールの量を減らすことができる。それによって、チャネル側からの電子の供給を多くして、注入効率を上昇させることができる。なお、図１８においては、ゲート絶縁膜２６、ゲート電極２７および層間絶縁膜２９の一部と、エミッタ電極が省略されている。

20

【００６５】

以上説明したように、実施の形態１～８によれば、トレンチ構造とゲート構造が分離して設けられているので、従来のトレンチゲート型ＩＧＢＴと同様に、オン電圧の低減を図ることができる。また、チャネル領域４１がトレンチ２５の長手方向にできるので、トレンチ２５の間隔を自由に設定することができる。例えば、トレンチ間隔を狭くすることによって、高い耐圧を得ることができる。さらに、トレンチ２５内にゲート電極が形成されないので、ゲート容量の増加や降伏電圧の低下という従来の問題を容易に回避することができる。また、ゲート容量を増やすことなく、トレンチ間隔を狭くすることができる。また、トレンチ形成後にトレンチ側壁のトリートメントを行わずに済む。

30

【００６６】

さらに、ゲートが従来のプレーナ構造と同様であるので、高い信頼性が得られる。また、従来のプレーナゲート型ＩＧＢＴよりもゲート容量が小さくなる。さらに、降伏電圧がトレンチ底部で決まるので、ｐウェル領域２２の曲率部で降伏電圧が低下するという問題を克服して、降伏電圧を高くすることができる。従って、オン電圧を低減するための施策を、制約なく適用することができるので、ゲート容量の小さいＩＧＢＴが安価に得られる。

40

【００６７】

以上において本発明は、上述した実施の形態に限らず、種々変更可能である。例えば、実施の形態中に記載した電気的特性値や寸法などは一例であり、本発明はそれらの値に限定されるものではない。また、各実施の形態では第１導電型をｎ型とし、第２導電型をｐ型としたが、本発明は第１導電型をｐ型とし、第２導電型をｎ型としても同様に成り立つ。

【産業上の利用可能性】

50

【 0 0 6 8 】

以上のように、本発明にかかる I G B T は、電力用半導体装置に有用であり、特に、電源機器などに用いられる電力用半導体装置に適している。

【図面の簡単な説明】

【 0 0 6 9 】

【図 1】この発明の実施の形態 1 にかかる I G B T の構成を示す部分断面斜視図である。

【図 2】図 1 に示す I G B T のトレンチ長手方向に平行で、かつトレンチ間領域を通る断面の構成を示す断面図である。

【図 3】図 1 に示す I G B T のトレンチ短手方向に平行で、かつ p ウェル領域を通り、n⁺エミッタ領域を通らない断面の構成を示す断面図である。

10

【図 4】この発明の実施の形態 1 にかかる 6 0 0 V 級 I G B T のトレンチ内絶縁膜の厚さと耐圧の関係を示す特性図である。

【図 5】この発明の実施の形態 1 にかかる 1 2 0 0 V 級 I G B T のトレンチ内絶縁膜の厚さと耐圧の関係を示す特性図である。

【図 6】この発明の実施の形態 1 にかかる I G B T のアバランシェ降伏時のインパクトイオン化率を示すデバイスシミュレーション結果を示す特性図である。

【図 7】この発明の実施の形態 1 にかかる I G B T のアバランシェ降伏時のインパクトイオン化率を示すデバイスシミュレーション結果を示す特性図である。

【図 8】この発明の実施の形態 1 にかかる I G B T のアバランシェ降伏時のインパクトイオン化率を示すデバイスシミュレーション結果を示す特性図である。

20

【図 9】この発明の実施の形態 1 にかかる I G B T のアバランシェ降伏時のインパクトイオン化率を示すデバイスシミュレーション結果を示す特性図である。

【図 1 0】この発明の実施の形態 1 にかかる 6 0 0 V 級 I G B T のトレンチ底部の曲率とトレンチ内絶縁膜の厚さと耐圧の関係を示す特性図である。

【図 1 1】この発明の実施の形態 2 にかかる I G B T の構成を示す部分断面斜視図である。

【図 1 2】この発明の実施の形態 3 にかかる I G B T の構成を示す断面図である。

【図 1 3】この発明の実施の形態 4 にかかる I G B T の構成を示す部分断面斜視図である。

【図 1 4】この発明の実施の形態 5 にかかる I G B T の構成を示す部分断面斜視図である。

30

【図 1 5】この発明の実施の形態 6 にかかる I G B T の構成を示す部分断面斜視図である。

【図 1 6】この発明の実施の形態 4 ~ 6 にかかる 6 0 0 V 級 I G B T のトレンチ内絶縁膜の厚さと耐圧の関係を示す特性図である。

【図 1 7】この発明の実施の形態 7 にかかる I G B T の構成を示す部分断面斜視図である。

【図 1 8】この発明の実施の形態 8 にかかる I G B T の構成を示す部分断面斜視図である。

【図 1 9】従来のトレンチゲート型 I G B T の構成を示す断面図である。

40

【図 2 0】従来のプレーナゲート型 I G B T の構成を示す断面図である。

【符号の説明】

【 0 0 7 0 】

2 1 n⁻ベース領域

2 2 p ウェル領域

2 5 トレンチ

2 6 ゲート絶縁膜

2 7 ゲート電極

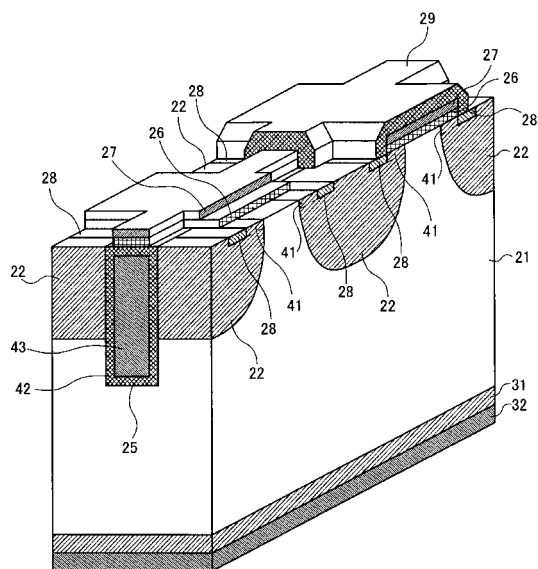
2 8 n⁺エミッタ領域

3 0 エミッタ電極

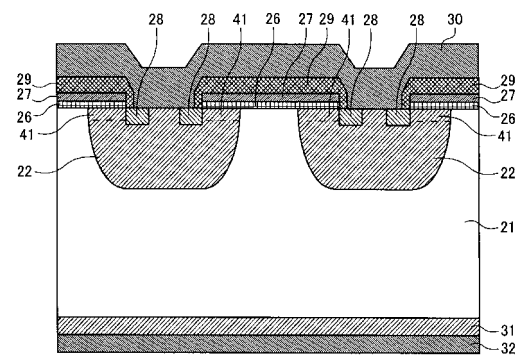
50

- 3 1 p^+ コレクタ領域
- 3 2 コレクタ電極
- 4 2 , 4 7 絶縁膜
- 4 3 導電体
- 4 4 p フローティング領域

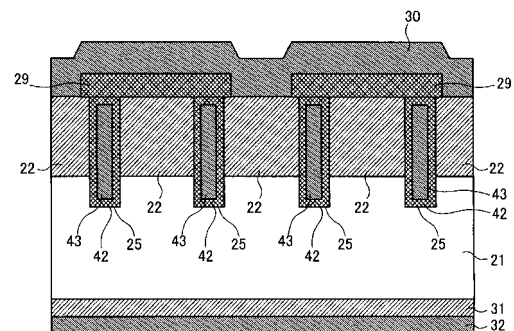
【図 1】



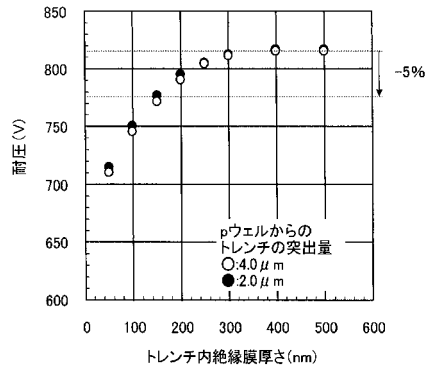
【図 2】



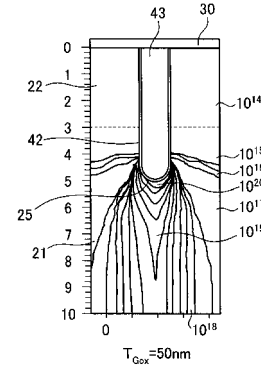
【図 3】



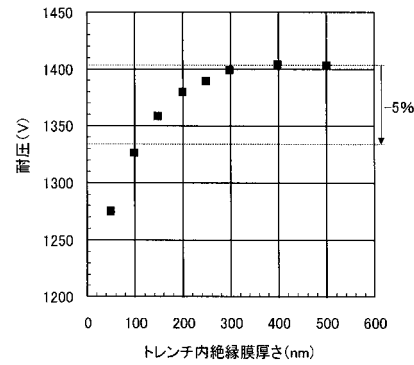
【図 4】



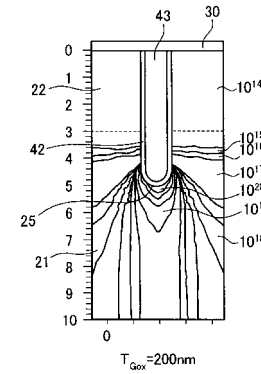
【図 6】



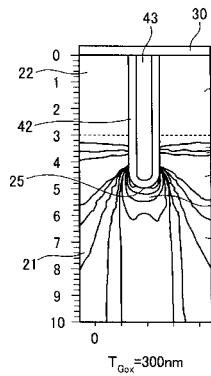
【図 5】



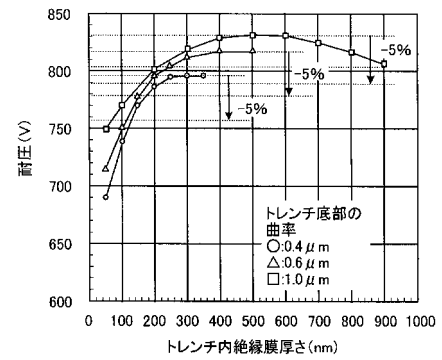
【図 7】



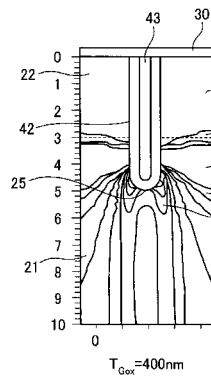
【図 8】



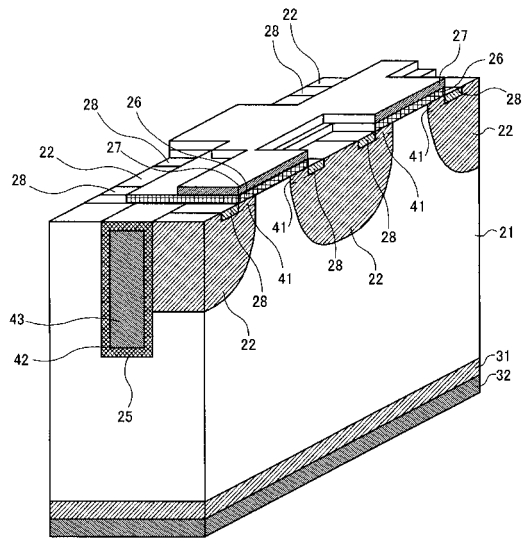
【図 10】



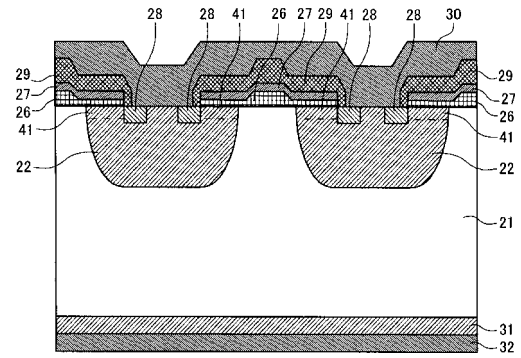
【図 9】



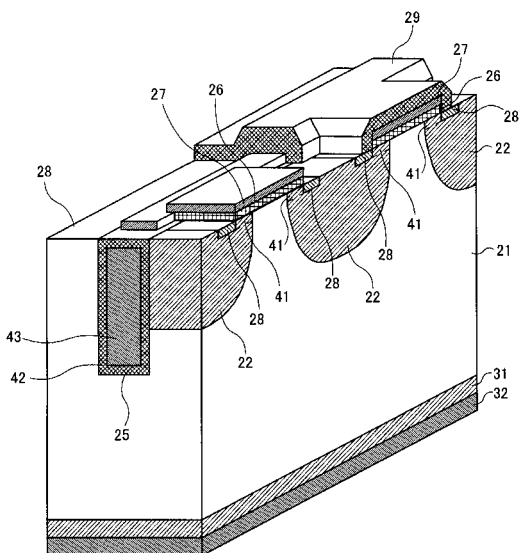
【図 1 1】



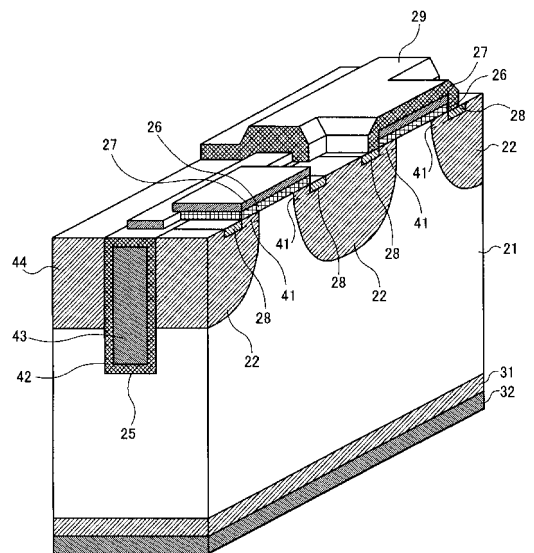
【図 1 2】



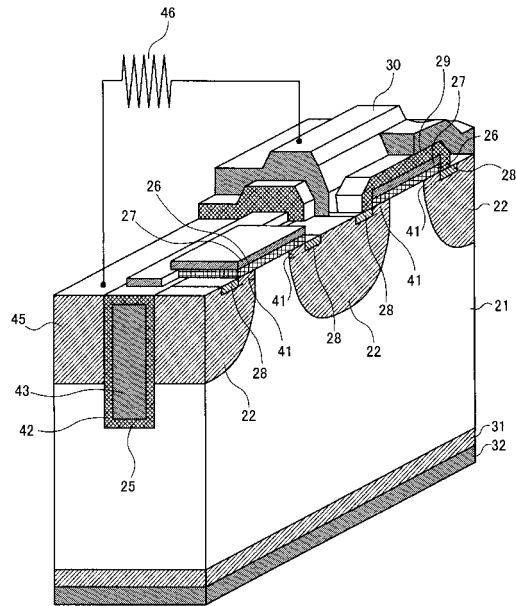
【図 1 3】



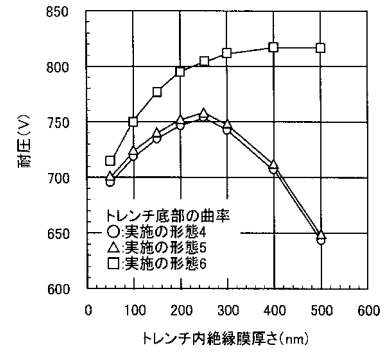
【図 1 4】



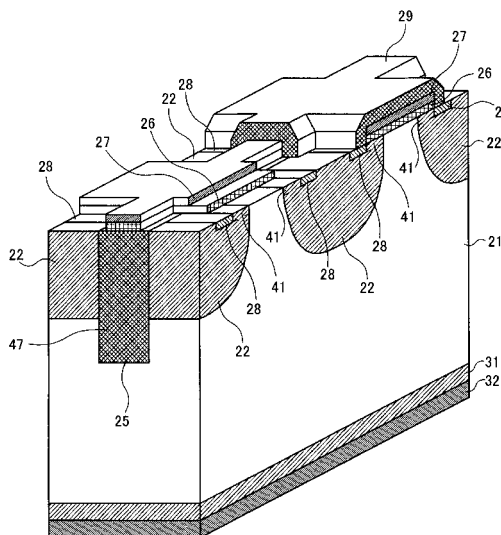
【図 15】



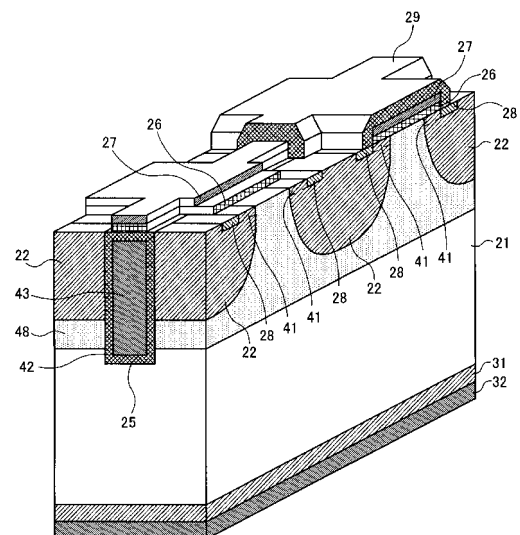
【図 16】



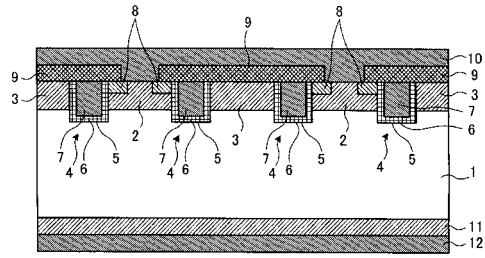
【図 17】



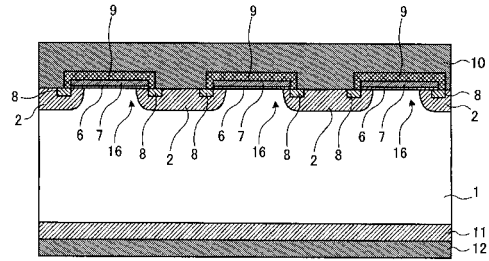
【図 18】



【図 19】



【図 20】



フロントページの続き

- (56)参考文献 特開平 09 - 331062 (JP, A)
特開 2003 - 298053 (JP, A)
特開平 09 - 331063 (JP, A)
特開 2006 - 32676 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
H01L29/739
H01L29/78 - 29/792