【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第２区分
【発行日】令和4年3月11日(2022.3.11)

【公開番号】特開2020-145284(P2020-145284A)
【公開日】令和2年9月10日(2020.9.10)
【年通号数】公開・登録公報2020-037
【出願番号】特願2019-39904(P2019-39904)
【国際特許分類】
Ｈ０１Ｌ 27/00(2006.01)
Ｈ０１Ｌ 21/8234(2006.01)
Ｈ０１Ｌ 25/065(2006.01)
Ｈ０１Ｌ 21/02(2006.01)
Ｈ０１Ｌ 27/146(2006.01)
Ｈ０１Ｌ 21/3205(2006.01)
Ｈ０１Ｌ 21/768(2006.01)
【ＦＩ】
Ｈ０１Ｌ 27/00 ３０１Ｂ
Ｈ０１Ｌ 27/088 Ｅ
Ｈ０１Ｌ 27/088 Ｄ
Ｈ０１Ｌ 27/00 ３０１Ｃ
Ｈ０１Ｌ 25/08 Ｙ
Ｈ０１Ｌ 21/02 Ｂ
Ｈ０１Ｌ 27/146 Ｆ
Ｈ０１Ｌ 21/88 Ｔ
Ｈ０１Ｌ 21/90 Ｂ

【手続補正書】
【提出日】令和4年3月3日(2022.3.3)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
第１半導体層および前記第１半導体層の上の第１絶縁体膜を含む第１半導電体部品と、
第２半導体層および前記第２半導体層の上の第２絶縁体膜を含む第２半導電体部品と、
を備える半導体装置であって、
前記第１半導体層と前記第２半導体層は、第１方向において前記第１絶縁体膜および前記第２絶縁体膜が前記第１半導体層と前記第２半導体層との間に位置するように積層されており、
前記第１半導電体部品と前記第２半導電体部品は、前記第１絶縁体膜に設けられた凹部の中に配置された第１導電体部と、前記第２絶縁体膜に設けられた凹部の中に配置された第２導電体部と、によって互いに接合されており、
前記第１導電体部は、前記第１方向に垂直な面内において前記第１絶縁体膜に囲まれた第１パッドと、前記第１方向において前記第１パッドと前記第１半導体層との間に位置するように前記第１パッドに結合する第１ビアと、により構成されており、前記第１ビアは、前記第１方向において前記第１ビアと前記第１半導体層との間に位置し、前記第１ビアに近接する第１導電体層へ接続されており、

前記第２導電体部は、前記第１方向に垂直な面内において前記第２絶縁体膜に囲まれた第２パッドと、前記第１方向に垂直な第２方向において前記第２パッドと前記第２半導体層との間に位置するように前記第２パッドに結合する第２ビアと、により構成されており、
前記第２ビアは、前記第１方向において前記第２ビアと前記第２半導体層との間に位置し、前記第２ビアに近接する第２導電体層へ接続されており、
前記第１方向における前記第１ビアの寸法をＬａ、
前記第１方向における前記第２ビアの寸法をＬｂ、
前記第１方向における前記第１パッドの寸法をＴａ、
前記第１方向における前記第２パッドの寸法をＴｂ、
前記第１方向に垂直な第２方向における前記第１ビアの寸法をＷａ、
前記第２方向における前記第２ビアの寸法をＷｂ、
前記第２方向における前記第１パッドの寸法をＰａ、
前記第２方向における前記第２パッドの寸法をＰｂ、
として、
下記の関係（Ａ）、（Ｂ）、（Ｃ）、（Ｄ）、（Ｅ）の少なくともいずれかと、
下記の関係（α）、（β）の少なくともいずれかと、を満たし、
かつ下記の関係（Ｋ）を満たすことを特徴とする半導体装置。
（Ａ）Ｌａ＜Ｌｂ
（Ｂ）Ｗａ＞Ｗｂ
（Ｃ）Ｌａ／Ｌｂ＜Ｔａ／Ｔｂ
（Ｄ）Ｐａ／Ｐｂ＜Ｗａ／Ｗｂ
（Ｅ）Ｌａ／Ｗａ＜Ｌｂ／Ｗｂ
（α）前記第１導電体層の主成分はアルミニウムである。
（β）前記第２導電体層の主成分は銅である。
（Ｋ）｜Ｔａ－Ｔｂ｜＜｜Ｌａ－Ｌｂ｜
【請求項２】
第１半導体層および前記第１半導体層の上の第１絶縁体膜を含む第１半導電体部品と、
第２半導体層および前記第２半導体層の上の第２絶縁体膜を含む第２半導電体部品と、
を備える半導体装置であって、
前記第１半導体層と前記第２半導体層は、第１方向において前記第１絶縁体膜および前記第２絶縁体膜が前記第１半導体層と前記第２半導体層との間に位置するように積層されており、
前記第１半導電体部品と前記第２半導電体部品は、前記第１絶縁体膜に設けられた凹部の中に配置された第１導電体部と、前記第２絶縁体膜に設けられた凹部の中に配置された第２導電体部と、によって互いに接合されており、
前記第１導電体部は、前記第１方向に垂直な面内において前記第１絶縁体膜に囲まれた第１パッドと、前記第１方向において前記第１パッドと前記第１半導体層との間に位置するように前記第１パッドに結合する第１ビアと、により構成されており、前記第１ビアは、前記第１方向において前記第１ビアと前記第１半導体層との間に位置する第１導電体層へ接続されており、前記第１ビアと前記第１導電体層との間の距離が前記第１ビアと前記第２導電体部との間の距離よりも小さく、
前記第２導電体部は、前記第１方向に垂直な面内において前記第２絶縁体膜に囲まれた第２パッドと、前記第１方向に垂直な第２方向において前記第２パッドと前記第２半導体層との間に位置するように前記第２パッドに結合する第２ビアと、により構成されており、
前記第２ビアは、前記第２方向において前記第２ビアと前記第２半導体層との間に位置する第２導電体層へ接続されており、前記第２ビアと前記第２導電体層との間の距離が前記第２ビアと前記第１導電体部との間の距離よりも小さく、
前記第１方向における前記第１ビアの寸法をＬａ、
前記第１方向における前記第２ビアの寸法をＬｂ、
前記第１方向における前記第１パッドの寸法をＴａ、

前記第１方向における前記第２パッドの寸法をＴｂ、
前記第１方向に垂直な第２方向における前記第１ビアの寸法をＷａ、
前記第２方向における前記第２ビアの寸法をＷｂ、
前記第２方向における前記第１パッドの寸法をＰａ、
前記第２方向における前記第２パッドの寸法をＰｂ、
として、
下記の関係（Ａ）、（Ｂ）、（Ｃ）、（Ｄ）、（Ｅ）の少なくともいずれかと、
下記の関係（α）、（β）の少なくともいずれかと、を満たし、
かつ下記の関係（Ｋ）を満たすことを特徴とする半導体装置。
（Ａ）Ｌａ＜Ｌｂ
（Ｂ）Ｗａ＞Ｗｂ
（Ｃ）Ｌａ／Ｌｂ＜Ｔａ／Ｔｂ
（Ｄ）Ｐａ／Ｐｂ＜Ｗａ／Ｗｂ
（Ｅ）Ｌａ／Ｗａ＜Ｌｂ／Ｗｂ
（α）前記第１導電体層の主成分はアルミニウムである。
（β）前記第２導電体層の主成分は銅である。
（Ｋ）｜Ｔａ－Ｔｂ｜＜｜Ｌａ－Ｌｂ｜
【請求項３】
下記の関係（Ｇ）を満たす、請求項１または２に記載の半導体装置。
（Ｇ）Ｔａ＞Ｔｂ
【請求項４】
第１半導体層および前記第１半導体層の上の第１絶縁体膜を含む第１半導電体部品と、
第２半導体層および前記第２半導体層の上の第２絶縁体膜を含む第２半導電体部品と、
を備える半導体装置であって、
前記第１半導体層と前記第２半導体層は、第１方向において前記第１絶縁体膜および前記第２絶縁体膜が前記第１半導体層と前記第２半導体層との間に位置するように積層されており、
前記第１半導電体部品と前記第２半導電体部品は、前記第１絶縁体膜に設けられた凹部の中に配置された第１導電体部と、前記第２絶縁体膜に設けられた凹部の中に配置された第２導電体部と、によって互いに接合されており、
前記第１導電体部は、前記第１方向に垂直な面内において前記第１絶縁体膜に囲まれた第１パッドと、前記第１方向において前記第１パッドと前記第１半導体層との間に位置するように前記第１パッドに結合する第１ビアと、により構成されており、前記第１ビアは、前記第１方向において前記第１ビアと前記第１半導体層との間に位置する第１導電体層へ接続されており、前記第１ビアと前記第１導電体層との間の距離が前記第１ビアと前記第２導電体部との間の距離よりも小さく、
前記第２導電体部は、前記第１方向に垂直な面内において前記第２絶縁体膜に囲まれた第２パッドと、前記第１方向において前記第２パッドと前記第２半導体層との間に位置するように前記第２パッドに結合する第２ビアと、により構成されており、前記第２ビアは、前記第１方向において前記第２ビアと前記第２半導体層との間に位置する第２導電体層へ接続されており、前記第２ビアと前記第２導電体層との間の距離が前記第２ビアと前記第１導電体部との間の距離よりも小さく、
前記第１方向における前記第１ビアの寸法をＬａ、
前記第１方向における前記第２ビアの寸法をＬｂ、
前記第１方向における前記第１パッドの寸法をＴａ、
前記第１方向における前記第２パッドの寸法をＴｂ、
として、
下記の関係（Ａ）、（Ｃ）、（Ｇ）、（Ｈ）、（Ｉ）、（Ｊ）の少なくともいずれかと、
下記の関係（α）、（β）の少なくともいずれかと、を満たすことを特徴とする半導体装置。

（Ａ）Ｌａ＜Ｌｂ
（Ｃ）Ｌａ／Ｌｂ＜Ｔａ／Ｔｂ
（Ｇ）Ｔａ＞Ｔｂ
（Ｈ）Ｌａ＊Ｔａ＞Ｌｂ＊Ｔｂ
（Ｉ）Ｌａ－Ｌｂ＜Ｔａ－Ｔｂ
（Ｊ）Ｌａ＋Ｔａ＜Ｌｂ＋Ｔｂ
（α）前記第１導電体層の主成分はアルミニウムである。
（β）前記第２導電体層の主成分は銅である。
【請求項５】
前記第１方向に垂直な第２方向における前記第１ビアの寸法をＷａ、
前記第２方向における前記第２ビアの寸法をＷｂとして、
下記の関係（Ｆ）を満たす、請求項４に記載の半導体装置。
（Ｆ）Ｌａ／Ｗａ＞Ｌｂ／Ｗｂ
【請求項６】
下記の関係（Ｋ）を満たす、請求項４または５に記載の半導体装置。
（Ｋ）｜Ｔａ－Ｔｂ｜＜｜Ｌａ－Ｌｂ｜
【請求項７】
ＬａおよびＬｂは０．７～０．９μｍであり、
ＴａおよびＴｂは０．４～０．６μｍである、請求項１乃至６のいずれか１項に記載の半導体装置。
【請求項８】
複数の前記第１導電体部を有し、前記複数の第１導電体部の各々は、
前記第１パッドを構成し銅を主成分とする第１銅領域と、
前記第１ビアを構成し銅を主成分とする第２銅領域と、
前記第１銅領域と前記第１絶縁体膜との間に位置する第１バリアメタル部と、
前記第２銅領域と前記第１絶縁体膜との間に位置する第２バリアメタル部と、
を含み、
前記第１銅領域が前記第２銅領域に連続しており、
前記第１バリアメタル部が前記第２バリアメタル部に連続している、請求項１乃至７のいずれか１項に記載の半導体装置。
【請求項９】
前記第１半導電体部品と前記第２半導電体部品は、前記第１絶縁体膜と前記第２絶縁体膜とによって互いに接合されている、請求項１乃至８のいずれか１項に記載の半導体装置。
【請求項１０】
前記第１絶縁体膜は、
第１酸化シリコン層と、
前記第１方向において前記第１酸化シリコン層と前記第１半導体層との間に配された第２酸化シリコン層と、
前記第１方向において前記第１酸化シリコン層と前記第２酸化シリコン層との間に配された窒化シリコン層と、
を含み、
前記第１酸化シリコン層が前記第１方向に垂直な面内においてに前記第１パッドを囲み、
前記第２酸化シリコン層が前記第１方向に垂直な面内において前記第１ビアを囲む、請求項１乃至９のいずれか１項に記載の半導体装置。
【請求項１１】
前記窒化シリコン層は、
前記第１方向に垂直な面内において前記第１パッドを囲む第１部分と、前記第１方向において前記第２酸化シリコン層と前記第１パッドとの間に位置する第２部分と、を含む、請求項１０に記載の半導体装置。
【請求項１２】

前記第１酸化シリコン層の厚さをＦａ、前記第２酸化シリコン層のうちの前記第１パッドに重なる部分の厚さをＦｄとして、Ｆａ＜Ｆｄを満たす、請求項１０または１１に記載の半導体装置。
【請求項１３】
前記第１部分の厚さをＦｂ、前記第２部分の厚さをＦｃとして、Ｆｃ＜Ｆｂを満たす、請求項１１に記載の半導体装置。
【請求項１４】
前記第１酸化シリコン層の厚さをＦａ、前記第１部分の厚さをＦｂ、前記第２部分の厚さをＦｃとして、前記第２酸化シリコン層のうちの前記第１パッドに重なる部分の厚さをＦｄとして、Ｆａ＜ＦｂおよびＦｃ＜Ｆｄを満たす、請求項１１または１３に記載の半導体装置。
【請求項１５】
第１半導体層および前記第１半導体層の上の第１絶縁体膜を含む第１半導電体部品と、
第２半導体層および前記第２半導体層の上の第２絶縁体膜を含む第２半導電体部品と、
を備える半導体装置であって、
前記第１半導体層と前記第２半導体層は、第１方向において前記第１絶縁体膜および前記第２絶縁体膜が前記第１半導体層と前記第２半導体層との間に位置するように積層されており、
前記第１半導電体部品と前記第２半導電体部品は、前記第１絶縁体膜に設けられた凹部の中に配置された第１導電体部と、前記第２絶縁体膜に設けられた凹部の中に配置された第２導電体部と、によって互いに接合されており、
前記第１導電体部は、前記第１方向に垂直な面内において前記第１絶縁体膜に囲まれた第１パッドと、前記第１方向において前記第１パッドと前記第１半導体層との間に位置するように前記第１パッドに結合する第１ビアと、により構成されており、前記第１ビアは、前記第１方向において前記第１ビアと前記第１半導体層との間に位置し、前記第１ビアに近接する第１導電体層へ接続されており、
前記第２導電体部は、前記第１方向に垂直な面内において前記第２絶縁体膜に囲まれた第２パッドと、前記第１方向に垂直な第２方向において前記第２パッドと前記第２半導体層との間に位置するように前記第２パッドに結合する第２ビアと、により構成されており、
前記第２ビアは、前記第１方向において前記第２ビアと前記第２半導体層との間に位置し、前記第２ビアに近接する第２導電体層へ接続されており、
前記第１方向における前記第１ビアの寸法をＬａ、
前記第１方向における前記第２ビアの寸法をＬｂ、
前記第１方向における前記第１パッドの寸法をＴａ、
前記第１方向における前記第２パッドの寸法をＴｂ、
前記第１方向に垂直な第２方向における前記第１ビアの寸法をＷａ、
前記第２方向における前記第２ビアの寸法をＷｂ、
前記第２方向における前記第１パッドの寸法をＰａ、
前記第２方向における前記第２パッドの寸法をＰｂ、
前記第１ビアを囲み、前記第１パッドと重なる部分の前記第１絶縁体膜の厚さをＦｄ、
前記第２ビアを囲み、前記第２パッドと重なる部分の前記第２絶縁体膜の厚さをＦｈとして、
下記の関係（Ａ）、（Ｂ）、（Ｃ）、（Ｄ）、（Ｅ）の少なくともいずれかと、
下記の関係（α）、（β）の少なくともいずれかと、を満たし、
かつ下記の関係（Ｌ）を満たすことを特徴とする半導体装置。
（Ａ）Ｌａ＜Ｌｂ
（Ｂ）Ｗａ＞Ｗｂ
（Ｃ）Ｌａ／Ｌｂ＜Ｔａ／Ｔｂ
（Ｄ）Ｐａ／Ｐｂ＜Ｗａ／Ｗｂ
（Ｅ）Ｌａ／Ｗａ＜Ｌｂ／Ｗｂ

（α）前記第１導電体層の主成分はアルミニウムである。
（β）前記第２導電体層の主成分は銅である。
（Ｌ）Ｆｈ＞Ｆｄ
【請求項１６】
前記第１絶縁体膜は、
第１酸化シリコン層と、
前記第１方向において前記第１酸化シリコン層と前記第１半導体層との間に配された第２酸化シリコン層と、
前記第１方向において前記第１酸化シリコン層と前記第２酸化シリコン層との間に配された窒化シリコン層と、
を含み、
前記第１酸化シリコン層が前記第１方向に垂直な面内においてに前記第１パッドを囲み、
前記第２酸化シリコン層が前記第１方向に垂直な面内において前記第１ビアを囲み、
前記第１酸化シリコン層の厚さをＦａとして、Ｆａ＜Ｆｄを満たす、請求項１５に記載の半導体装置。
【請求項１７】
前記窒化シリコン層は、
前記第１方向に垂直な面内において前記第１パッドを囲む第１部分と、前記第１方向において前記第２酸化シリコン層と前記第１パッドとの間に位置する第２部分と、を含み、
前記第１部分の厚さをＦｂ、前記第２部分の厚さをＦｃとして、Ｆｃ＜Ｆｂを満たす、請求項１６に記載の半導体装置。
【請求項１８】
Ｆａ＜ＦｂおよびＦｃ＜Ｆｄを満たす、請求項１７に記載の半導体装置。
【請求項１９】
ＬａおよびＬｂは０．７～０．９μｍであり、
ＴａおよびＴｂは０．４～０．６μｍである、請求項１５乃至１８のいずれか１項に記載の半導体装置。
【請求項２０】
複数の第１導電体部を有し、前記複数の第１導電体部の各々は、
前記第１パッドを構成し銅を主成分とする第１銅領域と、
前記第１ビアを構成し銅を主成分とする第２銅領域と、
前記第１銅領域と前記第１絶縁体膜との間に位置する第１バリアメタル部と、
前記第２銅領域と前記第１絶縁体膜との間に位置する第２バリアメタル部と、
を含み、
前記第１銅領域が前記第２銅領域に連続しており、
前記第１バリアメタル部が前記第２バリアメタル部に連続している、請求項１５乃至１９のいずれか１項に記載の半導体装置。
【請求項２１】
前記第１半導電体部品と前記第２半導電体部品は、前記第１絶縁体膜と前記第２絶縁体膜とによって互いに接合されている、請求項１５乃至２０のいずれか１項に記載の半導体装置。
【請求項２２】
前記第１導電体部は、前記第１方向において前記第１パッドと前記第１半導体層との間に位置するように前記第１パッドに結合する、前記第１ビアとは別のビアを含み、前記第２導電体部は、前記第１方向において前記第２パッドと前記第２半導体層との間に位置するように前記第２パッドに結合する、前記第２ビアとは別のビアを含む、請求項１乃至２１のいずれか１項に記載の半導体装置。
【請求項２３】
前記第１半導体層と前記第１導電体部との間の距離が、前記第２半導体層と前記第２導電体部との間の距離よりも大きいこと、および／または、前記第１半導体層と前記第１導電

体部との間の配線層数が、前記第２半導体層と前記第２導電体部との間の配線層数よりも大きい、請求項１乃至２２のいずれか１項に記載の半導体装置。
【請求項２４】
前記第１導電体部はコバルトシリサイド層またはニッケルシリサイド層を介して前記第１半導体層へ電気的に接続されており、前記第２導電体部はコバルトシリサイド層またはニッケルシリサイド層を介さずに前記第２半導体層へ電気的に接続されている、請求項１乃至２３のいずれか１項に記載の半導体装置。
【請求項２５】
前記第１半導電体部品はデジタル回路を有しており、前記第２半導電体部品はアナログ回路を有している、請求項１乃至２４のいずれか１項に記載の半導体装置。
【請求項２６】
前記第１半導体層または前記第２半導体層にはフォトダイオードが設けられている、請求項１乃至２５のいずれか１項に記載の半導体装置。
【請求項２７】
前記関係（Ａ）、（Ｃ）、（α）および（β）を満たす、請求項１乃至２６のいずれか１項に記載の半導体装置。
【請求項２８】
請求項１乃至２７のいずれか１項に記載の半導体装置と、
前記半導体装置に対応する光学装置、
前記半導体装置を制御する制御装置、
前記半導体装置から出力された信号を処理する処理装置、
前記半導体装置から得られた情報を表示する表示装置、
前記半導体装置から得られた情報を記憶する記憶装置、
前記半導体装置から得られた情報に基づいて動作する機械装置、
の６つのうちの少なくともいずれかと、を備える機器。