



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201434047 A

(43)公開日：中華民國 103 (2014) 年 09 月 01 日

(21)申請案號：103119146

(22)申請日：中華民國 96 (2007) 年 03 月 20 日

(51)Int. Cl.：

G11C16/04 (2006.01)

G11C16/14 (2006.01)

G11C16/34 (2006.01)

(30)優先權：2006/03/29 美國

60/786,897

2006/09/11 美國

60/843,593

2007/03/08 美國

11/715,838

(71)申請人：睦塞科技公司 (加拿大) MOSAID TECHNOLOGIES INCORPORATED (CA)
加拿大

(72)發明人：金京奇 KIM, JIN-KI (CA)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：28 項 圖式數：51 共 99 頁

(54)名稱

具分頁抹除之非揮發性半導體記憶體

NON-VOLATILE SEMICONDUCTOR MEMORY WITH PAGE ERASE

(57)摘要

本發明揭示於一非揮發性記憶體中，可將少於一完整區塊者當作一或多個分頁來抹除。透過傳送電晶體施加一選擇電壓至複數條選定字線中的每一條且透過傳送電晶體施加一非選擇電壓至一選定區塊中的複數條非選定字線中的每一條。一基板電壓被施加至該選定區塊的基板。一共同選擇電壓可被施加至每一條選定字線，且該共同非選擇電壓可被施加至每一條非選定字線。選擇電壓與非選擇電壓可被施加至一選定區塊中的任何字線。一分頁抹除驗證作業可被套用至一具有複數個已抹除分頁與複數個未抹除分頁的區塊。

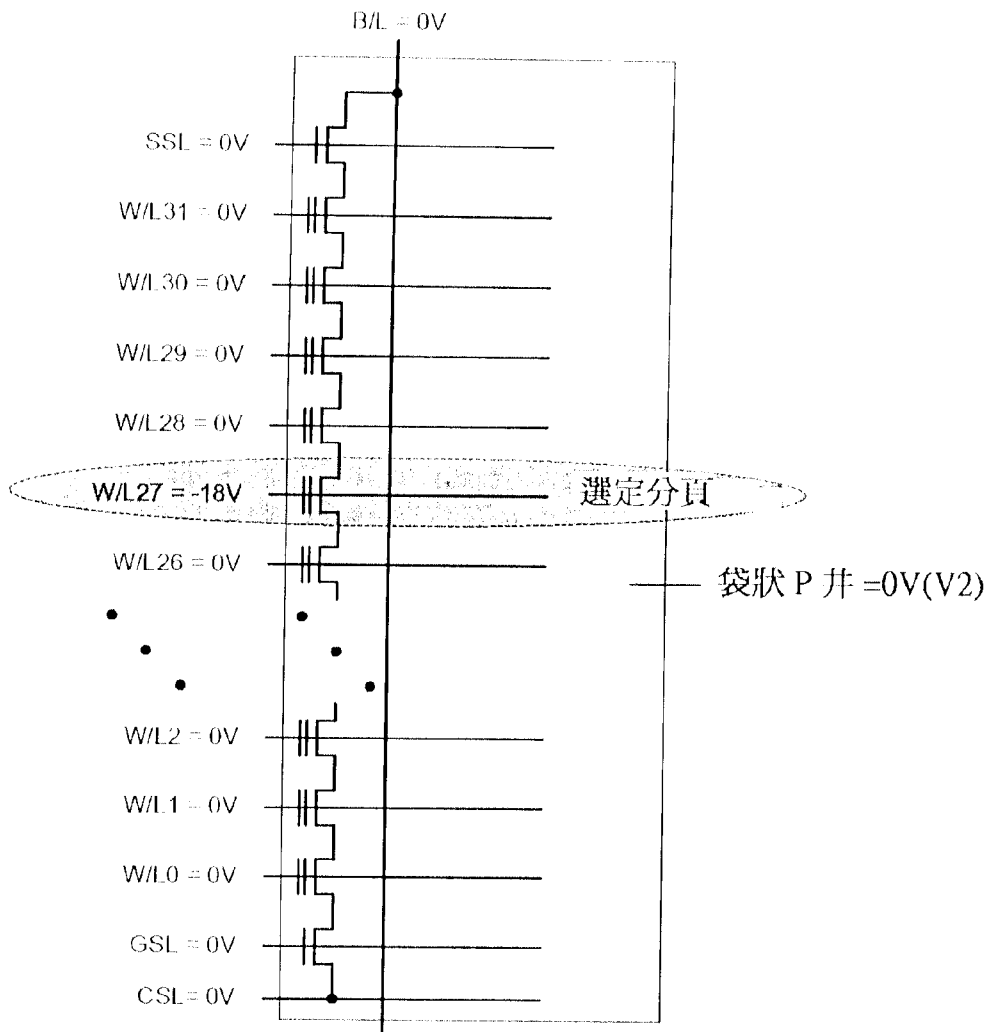


圖 19



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201434047 A

(43)公開日：中華民國 103 (2014) 年 09 月 01 日

(21)申請案號：103119146

(22)申請日：中華民國 96 (2007) 年 03 月 20 日

(51)Int. Cl. : **G11C16/04 (2006.01)**

G11C16/14 (2006.01)

G11C16/34 (2006.01)

(30)優先權：2006/03/29 美國

60/786,897

2006/09/11 美國

60/843,593

2007/03/08 美國

11/715,838

(71)申請人：睦塞科技公司 (加拿大) MOSAID TECHNOLOGIES INCORPORATED (CA)
加拿大

(72)發明人：金京奇 KIM, JIN-KI (CA)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：28 項 圖式數：51 共 99 頁

(54)名稱

具分頁抹除之非揮發性半導體記憶體

NON-VOLATILE SEMICONDUCTOR MEMORY WITH PAGE ERASE

(57)摘要

本發明揭示於一非揮發性記憶體中，可將少於一完整區塊者當作一或多個分頁來抹除。透過傳送電晶體施加一選擇電壓至複數條選定字線中的每一條且透過傳送電晶體施加一非選擇電壓至一選定區塊中的複數條非選定字線中的每一條。一基板電壓被施加至該選定區塊的基板。一共同選擇電壓可被施加至每一條選定字線，且該共同非選擇電壓可被施加至每一條非選定字線。選擇電壓與非選擇電壓可被施加至一選定區塊中的任何字線。一分頁抹除驗證作業可被套用至一具有複數個已抹除分頁與複數個未抹除分頁的區塊。

發明摘要

※ 申請案號：103119146 (由96109567分割)

※ 申請日：96.3.20

※IPC 分類：G11C 16/04 (2006.01)

G11C 16/14 (2006.01)

G11C 16/34 (2006.01)

【發明名稱】

具分頁抹除之非揮發性半導體記憶體

NON-VOLATILE SEMICONDUCTOR MEMORY WITH PAGE
ERASE

【中文】

本發明揭示於一非揮發性記憶體中，可將少於一完整區塊者當作一或多個分頁來抹除。透過傳送電晶體施加一選擇電壓至複數條選定字線中的每一條且透過傳送電晶體施加一非選擇電壓至一選定區塊中的複數條非選定字線中的每一條。一基板電壓被施加至該選定區塊的基板。一共同選擇電壓可被施加至每一條選定字線，且該共同非選擇電壓可被施加至每一條非選定字線。選擇電壓與非選擇電壓可被施加至一選定區塊中的任何字線。一分頁抹除驗證作業可被套用至一具有複數個已抹除分頁與複數個未抹除分頁的區塊。

【英文】

(無)

【代表圖】

【本案指定代表圖】：第（19）圖。

【本代表圖之符號簡單說明】：

（無）

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

（無）

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

具分頁抹除之非揮發性半導體記憶體

NON-VOLATILE SEMICONDUCTOR MEMORY WITH PAGE
ERASE

【技術領域】

本發明係關於一種非揮發性記憶體及於該非揮發性記憶體陣列中驗證一或多個分頁之抹除結果之方法。

【先前技術】

行動電子裝置(例如數位相機、可攜式數位助理、可攜式音訊/視訊播放機、以及行動終端)越來越需要用到大量儲存記憶體，較佳的係，具有大容量與高速功能的非揮發性記憶體。舉例來說，目前可購得的音訊播放機可能具有256個百萬位元組至40個十億位元組間的記憶體來儲存音訊/視訊資料。較佳的係使用非揮發性記憶體(例如快閃記憶體以及硬碟機)，因為沒有電力時仍可保留資料。

目前，高密度硬碟機能夠儲存40至500個十億位元組的資料，不過體積卻非常龐大。然而，快閃記憶體(亦稱為固態驅動器)卻比較普及，因為相對於硬碟機，快閃記憶體具有高密度、非揮發性、以及小尺寸的特性。快閃記憶體技術係基於EPROM以及EEPROM技術。選用"快閃"一詞係因為可同時抹除大量的記憶體單元，不同於EEPROM僅能個別地抹除每一個位元組。熟習本技術的人士便會瞭解，快閃記憶體可被配置成NOR、NAND、或是其它快閃記憶體，NAND快閃記憶體中每個給定區域的密度較高，因為其具有更精簡的記憶體陣列結構。為達進一步討論的目的，快閃記憶體應該被理解為任何類型的快

閃記憶體。

NAND快閃記憶體的單元陣列結構係由 n 個可抹除區塊所組成。每一個區塊會被分成 m 個可程式化分頁，用以解釋一由 n 個可抹除區塊所組成之示範性NAND快閃記憶體的單元陣列結構。於此範例中， $n=2048$ 。每一個區塊會被分成如圖1至3中所示的 m 個可程式化分頁，其中， $m=64$ 。

如圖3中所示，每一分頁係由 $(j+k)$ 個位元組($x8b$)所組成。於此範例中， $j=2048$ 且 $k=64$ 。該等分頁會被進一步分成一 j 位元組的資料儲存區(資料欄位)以及一分離的 k 位元組區(備用欄位)。該 k 位元組區通常具有錯誤管理功能。

- 1分頁= $(j+k)$ 個位元組
- 1區塊= m 個分頁= $(j+k)$ 個位元組 $\times m$
- 總記憶體陣列尺寸= n 個區塊= $(j+k)$ 個位元組 $\times m \times n$

於習知的NAND快閃裝置中，執行讀取與程式化作業係以分頁為主，而執行抹除作業則係以區塊為主。所有作業均係由命令來驅動(請參考三星的2Gb NAND Flash Specification: ds_k9f2gxxu0m_rev10，本文以引用的方式將其完整併入)。

內部記憶體陣列存取係以分頁為主。當透過共同的I/O接針(I/O0至I/O7)將READ命令寫入該裝置且後面跟著位址之後，便會開始進行讀取作業。經選定分頁內的2,112個位元組的資料會被感測並且在圖4中所示之不到 t_R (從快閃陣列至分頁暫存器的資料傳輸時間)的時間中被傳輸至該分頁暫存器。一旦該等2,112個位元組的資料從該單元陣列的該經選定分頁處被感測且傳輸至該資料暫存器之後，該資料暫存器中的資料便可以(例如)每個循環8位元或16位元從該裝置中被依序讀取。

該習知記憶體陣列程式化係以分頁為主。為進行程式化作業，會

透過共同的I/O接針(I/O0至I/O7)將PROGRAM命令送至該裝置而且後面會跟著位址與2,112個位元組的輸入資料。該等2,112個位元組的資料會於輸入資料載入循環期間被傳輸至資料暫存器，最後會在圖5中所示之不到tPROG(分頁程式化時間)的時間中被程式化至該單元陣列的該選定分頁之中。

該記憶體陣列抹除係以區塊為主。對區塊抹除作業來說，會透過共同的I/O接針(I/O0至I/O7)將BLOCK ERASE命令送至該裝置而且後面會跟著區塊位址。該等128K個位元組資料會在圖6中所示之不到tBERS(區塊抹除時間)的時間中被抹除。詳細的裝置作業請參考NAND快閃記憶體規格(三星的2Gb NAND: ds_k9f2gxxu0m_rev10)。

一NAND單元串通常係由一串選擇電晶體71、i個記憶體單元、以及一接地選擇電晶體73所組成，如圖7所示，它們會被串聯在一起。每串中的記憶體單元數(i個)可隨著製程技術而改變，舉例來說，每串8個單元或每串16個單元或每串32個單元。在目前90 nm與70 nm技術中常見的係每串32個記憶體單元。下文中，係以"32"作為圖7中所示的i。

記憶體單元閘極對應的係字線0至31(W/L 0至W/L 31)。串選擇電晶體的閘極會被連接至一串選擇線(SSL)，而串選擇電晶體的汲極則會被連接至位元線(B/L)。接地選擇電晶體的閘極會被連接至一接地選擇線(GSL)，而接地選擇電晶體的源極則會被連接至共同源極線(CSL)。每條字線均對應於一分頁，而每條串則對應於一區塊。

圖8與9所繪的係一區塊的實體結構，每條NAND單元串具有32個單元。如圖8中所示，於一區塊中有(j+k)*8條NAND串。因此，該單位區塊總共有(j+k)*8*32個單元。每條字線會被定義為單位分頁。圖9顯示出n個區塊。

一般來說，係藉由福勒-諾爾德海姆(F-N)穿隧作用或熱電子射出

作用來程式化與抹除快閃記憶體單元。於NAND快閃記憶體中，抹除與程式化兩者均係由F-N穿隧作用來掌控。下面的抹除與程式化作業均係基於NAND快閃記憶體。

於一抹除作業期間，該單元的頂多晶層(也就是，頂閘極)會被偏壓至 V_{ss} (接地)，而該單元的基板則會被偏壓至抹除電壓 V_{ers} (舉例來說，約20 V，源極與汲極則會因為P基板至n+源極/汲極的接面正向偏壓的關係而自動被偏壓至 V_{ers})。藉此抹除偏壓條件，該浮動多晶層(也就是，浮動閘極)中的陷落電子(電荷)便會透過圖10A中所示的隧道氧化物而被射至該基板。如圖10B中所示，該已抹除單元的單元 V_{th} 係負值。換言之，該已抹除單元會係一導通電晶體(通常利用0 V的閘極偏壓 V_g 便會啟動)。

相反地，於一程式化作業期間，該單元的頂多晶層(也就是，頂閘極)會被偏壓至程式化電壓 V_{pgm} (舉例來說，約18 V)，而該單元的基板、源極、以及汲極則會被偏壓至 V_{ss} (接地)。藉此程式化偏壓條件，該基板中的電子(電荷)便會透過圖11A中所示的隧道氧化物而被射至該浮動多晶層(也就是，浮動閘極)。如圖11B中所示，該已程式化單元的單元 V_{th} 係正值。換言之，該已程式化單元會係一非導通電晶體(通常利用0 V的閘極偏壓 V_g 便會關閉)。

所以，藉由雙向(也就是，對稱的)F-N穿隧機制便會抹除與程式化NAND快閃記憶體。

其中一種已知的抹除技術顯示在圖12與13之中。圖12所示的係在抹除作業期間的偏壓條件。p井基板會被偏壓至抹除電壓 V_{ers} ，而該選定區塊中的位元線與共同源極線(CSL)則會透過該等SSL與GSL電晶體的S/D二極體而被鉗止在 $V_{ers}-0.6$ V處。同時，該選定區塊中的所有字線均會被偏壓至0 V，而該串選擇線(SSL)與該接地選擇線(GSL)則會被偏壓至抹除電壓 V_{ers} 。所以，該選定區塊中的所有單元均會藉由

上面所述的F-N穿隧作用被抹除。

因為以區塊為主的抹除作業的關係，必須防止具有相同p井基板的非選定區塊中的記憶體單元遭到抹除(也就是，抹除禁制)。圖13所示的係一非選定區塊抹除禁制技術：

- 該選定區塊中的所有字線均會被偏壓至0 V。
- 非選定區塊中的所有字線均會被偏壓至Vers，用以補償源自該基板的Vers所造成的電場。

表1所示的係該等選定區塊與非選定區塊利用先前技術1在抹除作業期間的偏壓條件。

表1. 抹除期間的偏壓條件-先前技術1

	選定區塊	非選定區塊
位元線(B/L)	鉗止在VERS-0.6 v處	鉗止在VERS-0.6 v處
串選擇線(SSL)	VERS	VERS
字線(W/L 0~W/L 31)	0 V	VERS
接地選擇線(GSL)	VERS	VERS
共同源極線(CSL)	鉗止在VERS-0.6 v處	鉗止在VERS-0.6 v處
基板(袋狀P井)	VERS	VERS

利用此抹除禁制技術，會花費非常長的總抹除時間來將非選定區塊中所有的字線充電至抹除電壓Vers。同時，由於對非選定區塊中所有字線進行充電與放電的關係，所以，電力消耗非常地高。再者，當記憶體密度提高時，抹除時間會變得更長，且抹除作業期間的電力消耗會更高。

為解決上面方式中的問題，已經有人提出自動升壓抹除禁制技術(美國專利案第5,473,563號)，且該項技術普遍地用在NAND快閃記憶體之中。

對選定區塊來說，抹除偏壓條件實質上和上面相同，不過，SSL

與GSL則係浮動的，而不會被偏壓至Vers，如圖14中所示。

為防止非選定區塊中的記憶體單元遭到抹除，非選定區塊中的所有字線在抹除作業期間均係浮動的，如圖15中所示。所以，當施加抹除電壓Vers至基板處時，非選定區塊中浮動的字線便會藉由基板與非選定區塊中之字線間的電容性耦合而被升壓至接近抹除電壓Vers處。(當該單元陣列的基板變成Vers時，浮動的字線便會被升壓至約Vers的90%處；不過，浮動的字線上的升壓電壓位準則係藉由該基板與該等字線間的耦合比來決定。)非選定區塊中之字線上的升壓電壓會降低該基板與該等字線間的電場；因此，便可防止非選定區塊中的記憶體單元遭到抹除。

- 該選定區塊中的所有字線均會被偏壓至0 V。
- 非選定區塊中的所有字線均係浮動的。

表2所示的係利用此方式進行抹除期間的偏壓條件。並不需要對非選定區塊中的字線施加抹除電壓Vers，這對降低抹除期間的電力消耗並且縮短抹除時間，因為非選定區塊中全部的字線均不必被偏壓至Vers。

表2. 抹除期間的偏壓條件-先前技術2

	選定區塊	非選定區塊
位元線(B/L)	鉗止在VERS-0.6 v處	鉗止在VERS-0.6 v處
串選擇線(SSL)	升壓至約VERS的90%處	升壓至約VERS的90%處
字線(W/L 0~W/L 31)	0 V	升壓至約VERS的90%處
接地選擇線(GSL)	升壓至約VERS的90%處	升壓至約VERS的90%處
共同源極線(CSL)	鉗止在VERS-0.6 v處	鉗止在VERS-0.6 v處
基板(袋狀P井)	VERS	VERS

因為單元的基板會被偏壓至抹除電壓Vers而選定區塊中單元的源極/汲極/基板會被電連接，所以，該抹除作業必須以區塊為主的方式

來進行。換言之，最小可抹除陣列尺寸為區塊。

上述的快閃記憶體會有下面三項限制。第一，僅有在抹除一目標記憶體陣列之後位元才能夠被程式化。第二，每一個單元均僅能承受有限數量的抹除，之後其便無法可靠地儲存資料。換言之，單元的抹除與程式化循環數量會有限制(也就是，耐久性，通常為10,000至100,000個循環)。第三，最小可抹除陣列尺寸遠大於最小可程式化陣列尺寸。由於該些限制的關係，必須要有精密的資料結構與演算法才能有效地使用快閃記憶體。(舉例來說，參見美國專利案第5,937,425號、第6,732,221號、以及第6,594,183號。)

在美國專利案第5,995,417號以及美國專利申請案第2006/0050594號中已經提出以分頁為主的方式來抹除記憶體單元。

【發明內容】

本文利用特殊應用NAND快閃記憶體來提供非揮發性記憶體中新型的以分頁為主的抹除方式的技術性細節。本文雖然利用NAND快閃記憶體來說明以分頁為主的抹除方式，不過，熟習本技術的人士便可將該方式更普遍地應用至其它快閃記憶體裝置。

一非揮發性記憶體陣列(例如NAND快閃記憶體)具有位於一基板上的複數串記憶體單元；橫跨該等串至複數頁記憶體單元的複數條字線；以及一傳送電晶體，用以施加一電壓至每一條字線。於抹除一分頁的方法中，一選定區塊的每一個傳送電晶體均會(例如)透過一區塊解碼器被啟用。一字線解碼器可讓一選擇電壓施加至該選擇區塊中複數條選擇字線中的每一條處的傳送電晶體，以及讓一非選擇電壓施加至該選擇區塊中複數條非選擇字線中的每一條處的傳送電晶體。一基板電壓會被施加至該選定區塊的基板。該基板電壓與每一條選定字線之所得電壓之間的電壓差造成該選定字線中的該頁記憶體單元遭到抹除，而該基板電壓與每一條非選定字線之所得電壓之間的電壓差則小

於會抹除該非選定字線中該頁記憶體單元的電壓差。

於特定的具體實施例中，一共同選擇電壓會被施加至每一條選定字線，而一共同非選擇電壓則會被施加至每一條非選定字線。選擇電壓與非選擇電壓可被施加至一選定區塊中的任何字線。

藉由施加選擇電壓與非選擇電壓至一選定區塊中的任何字線，選定字線便可藉由至少一非選定字線而被分離，而非選定字線則可藉由至少一選定字線而被分離。利用鄰接非選定線路的選定線路，當依賴一字線之升壓時，便可降低造成該升壓的電容性耦合。因此，較佳的係從該非選擇電壓處施加一較高的初始電壓。為確保鄰接兩個選定記憶體單元的非選定記憶體單元不會被抹除，較佳的係，該非選擇電壓會比較接近該所施加之基板電壓而較不接近該選擇電壓。

於一具體實施例中，每一條選定字線的所得電壓實質上和該選擇電壓相同，而每一條非選定字線的所得電壓則係一從該非選擇電壓朝該基板電壓拉升的浮動電壓。被施加至該選定區塊中每一個傳送電晶體的一共同閘極信號具有一值 V_2 ，該非選擇電壓大於 V_2 ，而該等非選定字線則會被預充電至 $V_2 - V_{tn}$ 。 V_2 實質上小於該所施加之基板電壓，不過，較佳的係，其為該所施加之基板電壓的至少 50%。因此，一選定區塊中的非選擇電壓會大於通常被施加至一非選定區塊中之傳送電晶體的電壓。

於其它具體實施例中，每一條選定字線的所得電壓實質上和該選擇電壓相同，而每一條非選定字線的所得電壓實質上則和該非選擇電壓相同。舉例來說，該選擇電壓可能約為 0 V，而該非選擇電壓則可能約等於該所施加之基板電壓。

於一抹除驗證作業中，一選擇驗證電壓可被施加至該選定區塊中複數個已抹除分頁中的每一條字線，而一非選擇驗證電壓則可被施加至該選定區塊中複數個未抹除分頁中的每一條字線。接著便會感測該

選定區塊中各串的狀態。每一串均會被連接至一末端電壓，明確地說，會被連接至一源極電壓。該末端電壓的位準可取決於選定字線的數量而選自複數個電壓位準中其中一者。

【圖式簡單說明】

圖1 NAND快閃記憶體單元陣列結構。

圖2 NAND快閃記憶體區塊結構。

圖3 NAND快閃記憶體分頁結構。

圖4 NAND快閃記憶體中以分頁為主的讀取作業。

圖5 NAND快閃記憶體中以分頁為主的程式化作業。

圖6 NAND快閃記憶體中以分頁為主的抹除作業。

圖7具有32個單元的NAND單元串。

圖8 NAND快閃記憶體中的區塊與分頁定義。

圖9 NAND快閃記憶體中的多個區塊。

圖10A利用福勒-諾爾德海姆(F-N)穿隧作用的抹除作業。

圖10B利用福勒-諾爾德海姆(F-N)穿隧作用的抹除作業。

圖11A利用福勒-諾爾德海姆(F-N)穿隧作用的程式化作業。

圖11B利用福勒-諾爾德海姆(F-N)穿隧作用的程式化作業。

圖12抹除期間選定區塊的偏壓條件-先前技術1。

圖13區塊抹除與靜態抹除禁制技術-先前技術1。

圖14抹除期間選定區塊的偏壓條件-先前技術2。

圖15區塊抹除與自動升壓抹除禁制技術-先前技術2。

圖16用於修正一分頁或該分頁之一部分的區塊複製過程。

圖17抹除期間選定區塊的偏壓條件-分頁抹除。方案1

圖18分頁抹除與抹除禁制-分頁抹除方案1。

圖19分頁抹除偏壓條件-分頁抹除方案2A。

圖20分頁抹除與抹除禁制-分頁抹除方案2A。

圖21分頁抹除偏壓條件-分頁抹除方案2B。

圖22分頁抹除與抹除禁制-分頁抹除方案2B。

圖23多重分頁抹除-分頁抹除方案1。

圖24多重分頁抹除-分頁抹除方案2A。

圖25多重分頁抹除-分頁抹除方案2B。

圖26區塊抹除-分頁抹除方案2A。

圖27區塊抹除-分頁抹除方案2B。

圖28無源極偏壓的分頁抹除驗證。

圖29有源極偏壓的分頁抹除驗證。

圖30區塊抹除驗證。

圖31分頁抹除流程-單一抹除及抹除驗證循環。

圖32分頁抹除流程-多重抹除及抹除驗證循環。

圖33 NAND快閃記憶體核心的簡化方塊圖。

圖34分頁抹除方案1的區塊解碼器電路圖。

圖35分頁抹除方案2A與2B的區塊解碼器電路示意圖。

圖36分頁緩衝器與行選擇器-範例。

圖37分頁抹除/多重分頁抹除時序-分頁抹除方案1。

圖38分頁抹除/多重分頁抹除時序-分頁抹除方案2A。

圖39分頁抹除/多重分頁抹除時序-分頁抹除方案2B。

圖40區塊抹除時序-分頁抹除方案2A。

圖41區塊抹除時序-分頁抹除方案2B。

圖42有源極偏壓的分頁抹除方案1的分頁抹除驗證時序。

圖43分頁抹除方案1的區塊抹除驗證時序。

圖44分頁抹除方案2A與2B的分頁抹除驗證時序。

圖45分頁抹除方案2A與2B的區塊抹除驗證時序。

圖46抹除期間選定區塊的偏壓條件-分頁抹除方案3。

圖47抹除期間選定區塊的偏壓條件-分頁抹除方案3。

圖48分頁抹除與抹除禁制-分頁抹除方案3。

圖49多重分頁抹除與抹除禁制-分頁抹除方案3。

圖50分頁抹除方案3期間的寄生電容。

圖51分頁抹除/多重分頁抹除時序-分頁抹除方案3。

【實施方式】

下文將說明本發明的示範具體實施例。

本文以引用的方式完整併入本文所提及的所有專利、公開申請案、以及引證案的教示內容。

於快閃記憶體中，尤其是NAND快閃裝置，執行讀取與程式化作業係以分頁為主，而執行抹除作業則係以區塊為主。一般來說，分頁尺寸為512個位元組、2048個位元組、或是4096個位元組，而區塊尺寸則為16個分頁、32個分頁、或是64個分頁。所以，最小可抹除區塊尺寸為分頁尺寸的至少16倍大。再者，此最小可抹除區塊尺寸(也就是，單位抹除區塊)會隨著晶片尺寸增加而變大。

程式化/讀取以及抹除之間的陣列尺寸不匹配會在快閃記憶體檔案系統產生裝置可靠度(也就是，裝置壽命)以及系統效能減損兩項重大問題。

和硬碟(HDD)不同的係，快閃記憶體裝置中的記憶體單元必須在被輸入資料程式化之前先被抹除。一旦該系統中的CPU或快閃控制器發佈程式化命令之後，便應該立刻執行資料寫入作業。因此，程式化前抹除(erase-before-program)會減低整體的系統效能。為克服此項問題，快閃控制器通常會事先準備空的已抹除區塊(也就是，抹除單位再規劃(Erase-unit Reclamation))。此再規劃可在背景中(當CPU閒置時)或當自由空間量降至一預定臨界值以下時依需求來進行。

當該快閃控制器要求對該分頁的一小部分進行資料寫入或資料修

正時，通常含有要被修正的分頁的區塊便會被覆寫至透過該抹除單位再規劃所宣告之自由(空)區塊中其中一者。於此情況中，含有原始區塊中原始資料的合法分頁便應該如圖16中所示般地被複製到所選定的自由區塊處。該經修正的分頁會被讀取、修正、以及複製到該新區塊處，接著，在一具有剩餘分頁中之原始資料的一分頁中具有經修正資料的該新區塊便會藉由該快閃控制器中的虛擬映射系統被再映射至合法的區塊位址。(該虛擬映射系統係一介於會被該快閃控制器存取的邏輯位址以及該快閃記憶體中的實體位址之間的位址轉譯系統。)現在該原始區塊已經遭到廢棄，且該抹除單位再規劃過程會將其宣告成一自由區塊。(請參考Eran Gal、Sivan Toledo於2005年6月在ACM Computing Surveys、第37冊、第2輯、第138至163頁中所發表的"Algorithms and Data Structures for Flash Memories"，本文以引用的方式將快閃記憶體的演算法與資料結構完整併入。)為最小化因上述區塊複製作業所導致之效能減損，一般來說，NAND快閃裝置會支援分頁複製功能，而不需要在快閃裝置與快閃控制器之間進行外部交易。然而，程式化/讀取以及抹除作業之間的陣列尺寸不匹配卻會導致龐大的系統負擔以及複雜性。

快閃記憶體單元係藉由福勒-諾爾德海姆穿隧作用或熱電子射出作用來程式化與抹除。於一程式化或抹除作業期間，電荷會透過一浮動閘極周圍的介電質被傳輸至或傳輸自該浮動閘極。此頻繁的電荷傳輸造成電子陷落在該浮動閘極與該介電質之中，這會減損各單元的程式化與抹除特徵。由於此電子陷落的關係，隨著抹除-程式化循環次數的增加，後面的單元便會要求越來越高的程式化電壓與抹除電壓；因此，一單元上的抹除-程式化循環次數便會受到限制。通常，抹除-程式化循環的最大次數(也就是，單元耐久性特徵)係介於10,000次與100,000次之間。

抹除-程式化循環的有限次數(耐久性)會限制一快閃裝置的壽命。壽命越長會越有利，而這會取決於該快閃裝置的存取圖案。反覆且頻繁地覆寫至單一單元或少數的單元會很快地開始發生失效，並且很快地結束該裝置的有用壽命。

再者，於具有多重快閃裝置的快閃記憶體系統中，倘若非常不均地使用该快閃記憶體系統中之裝置的話，當其中一裝置壽命結束時，其它的裝置則還會剩餘可觀的壽命。當該其中一裝置壽命結束時，便可能必須要更換整個記憶體系統，而這便會大幅地縮短該快閃記憶體系統的壽命。

倘若可將覆寫作業平均地分散至該裝置的所有單元的話，每個單元所經歷的抹除將會接近於其能夠耐受的最大的抹除次數，而開始發生失效的時間便會盡可能地往後延遲，從而會最大化該裝置的壽命。為藉由平均地使用該裝置中所有的單元來延長裝置壽命，在快閃記憶體系統中已經提出且施行過眾多的平均讀寫(wear-leveling)技術與演算法。

因為前面段落中所述之讀取/程式化以及抹除之間陣列尺寸不匹配所導致的區塊複製作業會產生不必要的覆寫，因為該區塊之分頁中未受影響的資料仍應該被覆寫(被複製)到具有經修正資料的新區塊處。因此，倘若最小可抹除陣列尺寸係一分頁(也就是，以分頁為主的抹除)而非一區塊(也就是，以區塊為主的抹除)的話，因為僅有要被覆寫的分頁需要被抹除，便能夠大幅地延長該裝置壽命。此外，區塊複製作業的次數將會因該以分頁為主的抹除而大幅地縮減。

雖然該裝置中的NAND單元串會共同該單元基板，不過，該NAND快閃記憶體中的每一條NAND單元串均可獨立地受控。於典型的NAND快閃裝置中，一區塊中的所有字線於抹除作業期間均會被偏壓至相同的電壓條件處。這便係NAND快閃裝置中最小可抹除陣列尺

寸係一區塊的原因。

為以一分頁為主的方式來抹除快閃記憶體單元，對應於該NAND單元串中一分頁的每一條字線均必須分開且獨立地受控。

分頁抹除技術1

表3與圖17所示的係根據分頁抹除方案1在分頁抹除期間(舉例來說，抹除字線27)的偏壓條件。利用分頁抹除方案1，非選定字線會被偏壓至會防止該(等)非選定分頁遭到抹除的一電壓處(舉例來說，Vers)，而該(等)選定字線則會被偏壓至用於抹除該(等)選定分頁的另一電壓處(舉例來說，0 V)。

如圖17中所示，於該選定區塊中

- 該選定區塊中的(複數條)選定字線會被偏壓至0 V以進行抹除，以及
- 該(等)選定區塊中的(複數條)非選定字線會被偏壓至Vers以進行抹除禁制。

為防止非選定區塊中的記憶體單元遭到抹除，非選定區塊中的所有字線於抹除作業期間均係浮動的，和先前技術2相同，而表3中所示之偏壓條件則會被施加至如圖18中所示的選定區塊。所以，當施加抹除電壓Vers至基板處時，非選定區塊中浮動的字線便會藉由基板與非選定區塊中之字線間的電容性耦合而被升壓至接近抹除電壓Vers處。(當該記憶體單元陣列的基板變成Vers時，該等字線便會被升壓至約Vers的90%處；不過，浮動的字線上的升壓電壓位準則係藉由該基板與該等字線間的耦合比來決定。)非選定區塊中之字線上的升壓電壓會降低該基板與該等字線間的電場；因此，便可防止非選定區塊中的記憶體單元遭到抹除。

- 非選定區塊中的所有字線均係浮動的。

表3. 分頁抹除期間的偏壓條件-分頁抹除方案1

	選定區塊	非選定區塊
位元線(B/L)	鉗止在VERS-0.6 v處	鉗止在VERS-0.6 v處
串選擇線(SSL)	升壓至約VERS的90%處	升壓至約VERS的90%處
選定字線	0 V	升壓至約VERS的90%處
非選定字線	VERS	升壓至約VERS的90%處
接地選擇線(GSL)	升壓至約VERS的90%處	升壓至約VERS的90%處
共同源極線(CSL)	鉗止在VERS-0.6 v處	鉗止在VERS-0.6 v處
基板(袋狀P井)	VERS	VERS

分頁抹除方案2A與2B

分頁抹除方案2A與2B的偏壓條件如下：

- 單元閘極(字線)會被偏壓至負電壓-V1(第一位準電壓)處。
- 單元基板會被偏壓至第二位準電壓處。
- 單元閘極與基板之間的電場應該符合需求，以便透過該單元的隧道氧化物來引發F-N穿隧作用。
- 該單元的浮動多晶層(也就是，浮動閘極)中的陷落電子(電荷)會透過該隧道氧化物被射出。
- 當單元閘極電壓為0 V時第二位準電壓的最大值不應該對非選定的相鄰分頁造成單元抹除干擾(舉例來說，偏移臨界電壓或軟抹除)。
- -V1與第二位準電壓可依照製程技術與單元特徵而改變。

圖19所示的係於抹除作業期間對該選定區塊中的選定分頁(本範例中的字線27)套用分頁抹除方案2A的電壓偏壓條件。該選定字線27(分頁)會被偏壓至負電壓-18 V(-V1)，而非選定字線則會被偏壓至0 V。該單元陣列的基板會被偏壓至0 V(V2=0 V)。同樣地，該等電壓亦可依照製程技術與單元特徵而改變，下文將配合圖21與22以及表5來作解釋。利用該新的抹除條件，該選定分頁中的所有單元均會被抹除，而非選定分頁中的所有單元則因為該單元閘極與該基板之間沒有

任何有效電場強度的關係而不會被抹除。

表4與圖20所示的係該選定區塊與該等非選定區塊的偏壓條件。非選定區塊的所有字線於抹除期間均係浮動的；所以，所有字線的電位均會維持在0 V處，因為該基板會被偏壓至0 V而非選定區塊的所有字線在被浮動以進行抹除之前均會被放電至0 V。

表4. 抹除期間的偏壓條件-分頁抹除方案2A

	選定區塊	非選定區塊
位元線(B/L)	0 V	0 V
串選擇線(SSL)	0 V	浮動在0 V處
選定字線	-18 V (-V1)	浮動在0 V處
非選定字線	0 V	浮動在0 V處
接地選擇線(GSL)	0 V	浮動在0 V處
共同源極線(CSL)	0 V	0 V
基板(P井或袋狀P井)	0 V	0 V

圖21所示的係於抹除作業期間對該選定區塊中的一選定分頁(本範例中的字線27)套用分頁抹除方案2B的電壓偏壓條件。該選定字線27(分頁)會被偏壓至負電壓-13 V(-V1)，而非選定字線則會被偏壓至0 V。該記憶體單元陣列的基板會被偏壓至5 V。該閘極與單元的基板之間的總電場和第一範例的電場相同。該基板的電壓經斷定應該不會對相同NAND記憶體單元串中非選定字線(分頁)上的單元造成抹除干擾(也就是，軟抹除)。

表5與圖22所示的係該選定區塊與該等非選定區塊的偏壓條件。非選定區塊的所有字線於抹除作業期間均係浮動；當施加電壓至該基板時，非選定區塊的所有字線均會因為該基板與非選定區塊中字線之間的電容性耦合作用而升壓至接近該基板電壓處。(該升壓電壓約為基板電壓的90%；不過，浮動字線上的升壓電壓位準係藉由該基板與該等字線之間的耦合比來決定。)非選定區塊中之字線上的升壓電壓

會降低該基板與該等字線間的電場；因此，便可防止非選定區塊中的記憶體單元遭到抹除。

表5. 抹除期間的偏壓條件-分頁抹除方案2B

	選定區塊	非選定區塊
位元線(B/L)	鉗止在基板-0.6 v處	鉗止在基板-0.6 v處
串選擇線(SSL)	升壓至約基板的90%處	升壓至約基板的90%處
選定字線	-13 V (-V1)	升壓至約基板的90%處
非選定字線	0 V	升壓至約基板的90%處
接地選擇線(GSL)	升壓至約基板的90%處	升壓至約基板的90%處
共同源極線(CSL)	鉗止在基板-0.6 v處	鉗止在基板-0.6 v處
基板(袋狀P井)	5 V基板	5 V基板

多重分頁抹除與區塊抹除

利用該新的分頁抹除概念，便可抹除該選定區塊中的多重分頁(字線)。實際上，藉由選擇性控制該等字線電壓，一選定區塊中的任何一或多個分頁均可被抹除。再者，亦可抹除該選定區塊中的所有分頁，基本上這便係區塊抹除。

圖23所示的係利用分頁抹除方案1的偏壓條件來同時抹除該選定區塊中的三個分頁(字線1、27、29)。

圖24所示的係利用分頁抹除方案2A的偏壓條件來同時抹除該選定區塊中的三個分頁(字線1、27、29)。

圖25所示的係利用分頁抹除方案2B的偏壓條件來同時抹除該選定區塊中的三個分頁(字線1、27、29)。

圖26所示的係利用分頁抹除方案2A的偏壓條件來同時抹除該選定區塊中的所有分頁，其係區塊抹除。

圖27所示的係利用分頁抹除方案2B的偏壓條件來同時抹除該選定區塊中的所有分頁，其係區塊抹除。

抹除驗證

於抹除該選定區塊中的單一分頁或多重分頁或所有分頁之後，便必須實施抹除驗證，以確保經抹除的單元具有要被讀取之正確的臨界電壓邊限。此抹除驗證係藉由下面所述的分頁緩衝器來實施。圖28、圖29、圖30、以及表6所示的係在分頁抹除驗證與區塊抹除驗證期間的電壓偏壓條件。對多重分頁驗證來說，每一選定分頁可於抹除之後便接續(依序)進行驗證；不過於一較佳的方式中，則係全部一起進行驗證。表6中的電壓數(也就是， V_{read} 、 V_{ersvf} 、 V_{cslevf} 、以及 V_{bersvf})可依照製程技術以及單元特徵而改變。

圖28所示的係沒有源極偏壓的單一分頁抹除驗證，圖29所示的係具有來自CSL之源極偏壓的單一分頁抹除驗證。圖30所示的係區塊抹除驗證。

表6. 抹除驗證期間的偏壓條件

	有源極偏壓的分頁抹除驗證	無源極偏壓的分頁抹除驗證	區塊抹除驗證
位元線(B/L)	經預充電與感測之後	經預充電與感測之後	經預充電與感測之後
串選擇線(SSL)	V_{READ} (4至5 V)	V_{READ} (4至5 V)	V_{READ} (4至5 V)
選定字線	0 V 或 V_{ERSvf}	V_{ERSVF} (~至1.5 V)	0 V或 V_{BERSVF}
非選定字線	V_{READ} (4至5 V)	V_{READ} (4至5 V)	N/A
接地選擇線(GSL)	V_{READ} (4至5 V)	V_{READ} (4至5 V)	V_{READ} (4至5 V)
共同源極線(CSL)	V_{CSLE} (~至1.5 V)	0 V	0 V
基板(袋狀P井)	0 V	0 V	0 V

表6的最末行所示的係區塊抹除驗證，其中，所有的字線均會被選到。該些條件可對照於一習知的區塊抹除驗證。0伏特(或者，對一容忍性較小的驗證來說則係一負電壓，例如-1.5 V)會被施加至每一條字線。參考圖10B中可以看見，一經正確抹除的記憶體單元藉由被施加至該字線的0伏特便會導通。不過，倘若該記憶體單元尚未被完全

抹除的話，該記憶體單元的導通性便會較小，甚至完全不會導通。於該區塊抹除驗證中，無法完全導通的該等記憶體單元中任何一者均會在該位元線上造成一較高的電壓，其可被感測為一完全抹除失效。

於具有單一選定分頁的抹除驗證情況中(其中，僅有該分頁已經抹除)，該串中其它記憶體單元中每一者則可能係處於導通狀態或非導通狀態之中。為顧及此，將一高電壓(舉例來說，4至5 V)施加至每一非選定單元的字線。從圖11B中可以看出，即使該單元已經被程式化至非導通狀態，該電壓仍高於該臨界電壓。因此，即使該單元已經被程式化至非導通狀態，其仍會導通，且所有非選定記憶體單元均會導通。將該選定字線設定為零伏特實現僅驗證該選定字線。

因為該串中所有非選定單元的高導通性，所以於一驗證作業期間在該位元線上的電壓預期會低於典型值。為補償非選定記憶體單元的增大導通性，可施加一負電壓(例如表6第二行中的-1.5伏特)至該等選定字線，或是可施加一高於零伏特的電壓(例如表6行1中的0.4伏特)至該共同源極線。因此，為進行驗證，該選定記憶體單元的導通性必須更大以進行驗證，以便補償該等非選定單元更高的導通性。

通常較佳的係產生正偏壓，而非負電壓，因此一般來說，較佳的係，利用正共同源極偏壓來進行分頁抹除驗證。舉例來說，對單一分頁來說，該共同源極線的合宜電壓會降至0.3 V至0.5 V的範圍中。對少於一完整區塊的多重分頁抹除驗證來說，較低的電壓非常合宜。舉例來說，以0 V共同源極電壓用於一完整區塊抹除驗證，而以0.5 V用於第一分頁驗證，則對在該第一分頁後面要被驗證的每一個額外分頁來說，便可合宜地將該源極電壓以0.5/32的增額自0.5 V下降。如此精細地控制該源極電壓應非必要。不過，舉例來說，0.5 V的源極電壓可用於驗證0至8選定字線，0.4 V可用於驗證9至16選擇字線，0.3 V用於17至24字線，而0 V用於25至32字線。

分頁抹除流程

不同於程式化作業，一般來說，抹除作業並不需要多重抹除與抹除驗證循環，此乃因在單一抹除與抹除驗證循環之後的單元的臨界電壓會緊密地分佈至該目標值。然而，多重抹除與抹除驗證循環亦可用以確保已抹除單元的目標臨界電壓。

圖31所示的係利用單一抹除與抹除驗證循環的分頁抹除流程，而圖32所示的則係利用多重抹除與抹除驗證循環的分頁抹除流程。多重抹除與抹除驗證循環方法中的抹除與抹除驗證循環的最大數量係預定的，而且會依照製程技術與單元特徵而改變。在快閃記憶體裝置中發佈一分頁抹除命令之後便會自動實施此分頁抹除演算法(流程)。

於圖31中，在311處，會抹除一或多個選定分頁(其高達且包含一完整區塊)。於312處，一或多個分頁會被驗證是否已經被抹除。從313處，倘若該記憶體通過該驗證的話，該狀態暫存器便會在314處被更新為通過；倘若未通過的話，則會在315處被更新為失敗。

或者，如圖32中所示，ERS_loop數值會於320處被設定為一。於313處未通過的情況中，該ERS_loop數值會在321處與一最大值進行比較。倘若尚未抵達該最大值的話，該數值便會於322處遞增，並且會反覆進行該等抹除與驗證程序。一旦已經抵達最大迴圈數時，便會於315處在該暫存器中顯示失敗。

或者，於一多重分頁抹除之後，可個別地驗證每一個選定分頁。藉由對該等個別分頁進行循序驗證，便可於任一分頁失敗之後反覆地進行該多重分頁抹除，或者可僅再次抹除失敗的分頁。

電路施行方式的範例

圖33所繪的係一NAND快閃記憶體核心的簡化方塊圖。NAND單元陣列331如同習知的NAND快閃記憶體包括n個區塊332。分頁緩衝器電路333會在讀取、程式化驗證、以及抹除驗證期間進行感測與鎖

存單元資料。另外，該分頁緩衝器電路會暫時保留輸入資料，並且依照程式化作業期間的輸入資料來決定位元線的電壓。該NAND單元陣列中的所有 $(j+k)*8$ 條位元線均會被連接至該分頁緩衝器電路。對應於每一個NAND單元區塊的區塊解碼器334會提供信號SSL(串選擇線)、字線0(WL 0)至31(WL 31)以及GSL (接地選擇線)。區塊解碼器係受驅於源自列預解碼器335之經列預解碼的位址信號 $X_p/X_q/X_r/X_t$ 、以及串選擇信號SS、接地選擇信號GS、以及源自共同字線解碼器336的共同串解碼信號S0至S31。一基板電壓會從一電荷泵337處施加至該PP井。

於本具體實施例中並未說明輸入與輸出電路、控制電路、列與行預解碼器電路、內部高電壓產生器，因為在眾多公開論文與專利中均已完善說明過。請參考Kang-Deog Suh等人於1995年4月在 IEEE J Solid-State Circuits，第30冊，第11輯，第1149至1156頁中所發表的"A 3.3 V 32 Mb NAND Flash Memory with Incremental Step Pulse Programming Scheme"；Jin-Ki Kim等人於1997年4月在 IEEE J Solid-State Circuits，第32冊，第5輯，第670至680頁中所發表的"A 120-mm 64-Mb NAND Flash Memory Achieving 180 ns/Byte Effective Program Speed"；Ken Takeuchi等人於2006年2月在ISSCC Dig. Tech. Paper第144至145頁中所發表的"A 56nm CMOS 99 mm² 8Gb Multi-level NAND Flash Memory with 10MB/s Program Throughput"；以及June Lee等人於2003年11月在IEEE J Solid-State Circuits，第38冊，第11輯，第1934至1942頁中所發表的"A 90-nm CMOS 1.8-V 2-Gb NAND Flash Memory for Mass Storage Applications"，本文以引用的方式將它們完整併入。

和圖9的習知快閃裝置中相同，該NAND單元陣列係由n個區塊所組成，且每一個區塊均會被分成 $32(m)$ 個可抹除與可程式化分頁(也就

是，字線)。於該NAND單元陣列之中有 $(j+k)*8$ 條位元線。應該注意的係，區塊數 n 、分頁數 m 、以及數值 $(j+k)*8$ 均可改變。

圖34所示的係區塊解碼器的電路示意圖，其為本發明的其中一種可能範例，尤其是用於分頁抹除方案1。應該注意的係，該區塊解碼器的電路施行方式有眾多變化例。該區塊解碼器的總數為 n 。

串選擇線SSL、字線WL 0至WL 31、以及接地選擇線GSL均係受驅於透過傳送電晶體TSS、TS0至TS31、以及TGS的共同信號SS、S0至S31、以及GS，該等傳送電晶體係共同受控於該區塊解碼器的輸出信號BD_out。

局部電荷泵341係一高電壓切換電路，用以提供程式化電壓Vpgm、傳導電壓Vpass、讀取電壓Vread7、以及抹除電壓Vers。其係由增強型NMOS電晶體(ENH)、空乏型NMOS電晶體(DEP)、原生型NMOS電晶體(NAT)、以及一2輸入NAND閘極G1所組成。當該區塊解碼器鎖存輸出BDLCH_out為Vdd，HVenb為0 V，且該OSC振盪時，該區塊解碼器的輸出信號BD_out便會升高至Vhv(應該注意的係，該局部電荷泵係一熟知的電路技術)。

當送至區塊解碼重置電晶體的RST_BD為高位準(實際上為短脈衝)時，BDLCH_out便會被重置為0 V；而當被輸入至該區塊解碼啟用電晶體的LCHBD為高位準(實際上為短脈衝)且有合法的經列預解碼的位址信號Xp、Xq、Xr、以及Xt送至NAND閘極G2時，BDLCH_out便會被鎖存。BDLCH_out會被反向器I1與I2鎖存。

圖35所示的係用於分頁抹除方案2A與2B的區塊解碼器的一電路示意圖。應該注意的係，該區塊解碼器的電路施行方式有眾多變化例。該等區塊解碼器的總數為 n 。

串選擇線SSL、字線WL 0至WL 31、以及接地選擇線GSL均係受驅於透過傳送電晶體TSS、TS0至TS31、以及TGS的共同信號SS、S0

至S31、以及GS，該等傳送電晶體係共同受控於該區塊解碼器的輸出信號BD_out。傳送電晶體TSS、TS0至TS31、以及TGS的基板會受控於負高電壓Vnhv。

高電壓位準偏移器351係一高電壓切換電路，用以提供正高電壓Vhv與負高電壓Vnhv。該位準偏移器電路包含交叉耦合的p通道電晶體Q1與Q2以及n通道下拉裝置Q3與Q4。當Q3與I3的輸入為高位準時，BD_out會透過Q1被拉高至Vhv；而當為低位準時，BD_out會透過Q4被拉低至Vnhv。

當RST_BD為高位準(實際上為短脈衝)時，BD_out便會被重置為0 V；而當LCHBD為高位準(實際上為短脈衝)且有合法的經列預解碼的位址信號Xp、Xq、Xr、以及Xt送至閘極G2時，BD_out便會被鎖存。

表7所示的係各種操作模式的Vhv與Vnhv條件的範例。所有電壓數均可改變。

表7. Vhv與Vnhv條件-分頁抹除2A與2B

	Vhv	Vnhv
讀取	~7 V (VREAD7)	0 V
程式化	~18 V	0 V
程式化驗證	~7 V (VREAD7)	0 V
抹除	Vdd	~-18 V或-13 V
抹除驗證	~7 V (VREAD7)	~-1.5 V或0 V

該分頁緩衝器與行選擇器電路與圖36中所示之習知NAND快閃記憶體中的分頁緩衝器與行選擇器電路相同。同樣地，圖36中所示之分頁緩衝器與行選擇器電路僅係本發明的其中一種可能範例。

一分頁緩衝器對應於一位元線。不過，當陣列密度提高時，則可由多條位元線來分享該分頁緩衝器(請參考June Lee等人於2003年11月在 IEEE J Solid-State Circuits，第38冊，第11輯，第1934至1942頁中

所發表的"A 90-nm CMOS 1.8-V 2-Gb NAND Flash Memory for Mass Storage Applications"，本文以引用的方式將其完整併入)。

圖36的分頁緩衝器與行選擇器電路係用在讀取作業、程式化驗證作業、以及抹除驗證作業中。於抹除驗證作業中，該鎖存器會由LCHDA來重置，用以將節點B鎖存在高位準處。位元線BL會被預充電至Vcc。倘若所有選定記憶體單元均被正確抹除的話，該記憶體單元串便會於該抹除驗證作業期間導通，從而將該位元線與節點PBSO拉至低位準。位元線隔絕電晶體會保持非導通。因為PBSO小於約.5 V，所以，該鎖存器下方的感測電晶體將不會啟動，而節點B則會維持高位準。B節點上的高電壓造成通過/失敗p通道感測電晶體保持非導通。因此，該感測電晶體並不會對初始接地的線路PASSb進行充電。倘若所有的串均被正確抹除的話，線路PASSb會維持低位準並且會從該線路中感測到一"通過"信號。

另一方面，倘若有任何串並未被完全抹除的話，當LCHDB遭到判定時，節點PBSO上的電壓將會維持足夠的高位準，用以啟動該等感測電晶體。因此，節點B便會被拉低。該選定區塊中任何分頁緩衝器上的節點B為低位準的話，一通過/失敗感測電晶體便會啟動並且將PASSb提升至高位準。該高位準會被感測用以表示一"失敗"信號。

於作業中：

- W/L0至W/L31係NAND單元串內的32條字線。SSL係串選擇線，而GSL係接地選擇線。CSL係共同源極線，而DL/DLb係差動資料線。
- CSL會於讀取作業期間被偏壓至0 V，而CSL會於程式化作業期間被偏壓至Vdd。
- YAh與YBi分別係行選擇信號的第一位準以及行選擇信號的第二位準。

- 當DCB為高位準時，位元線(BL)會被放電至0 V。
- PBSO係該分頁緩衝器的感測節點。
- PREBLb係一啟用信號，用於預充電位元線。
- LCHDA與LCHDB係當PBSO節點於感測位元線之後具有足夠電壓差時的資料鎖存控制信號。此外，LCHDA與LCHDB還會控制該分頁緩衝器中之經感測資料的極性(也就是，節點A與節點B)。該分頁緩衝器上之節點A與B於讀取與程式化驗證期間會與該節點A與B於抹除驗證以及感測該PBSO時用於複製之讀取期間反向。
- 該分頁緩衝器中的鎖存器會由LCHDA或LCHDB利用該位元線預充電電晶體以高位準(Vdd)的PBSO節點來重置。
- ISOPBb係一送往BL隔絕電晶體的控制信號，用以隔絕該分頁緩衝器與該位元線。
- PASSb係一共同感測節點，用以偵測程式化是否已經完成。當輸入資料藉由內部程式化演算法使用程式化與程式化驗證而被成功地寫入單元之後，所有分頁緩衝器中的節點B均會係Vdd。因此，PASSb將會係0 V並且會透過一感測放大器而被感測。同樣地，倘若該選定區塊中的所有串均被成功抹除的話，則所有分頁緩衝器中的節點B於抹除驗證期間均會係Vdd。於一讀取循環期間並不會用到PASSb，而且該PASSb上的感測放大器會被禁能。

抹除作業

圖37所示的係利用分頁抹除方案1來進行分頁抹除或多重分頁抹除的核心時序。

基本上，該抹除作業係由圖37中所示之三個子週期所組成：抹除建立(從t1至t2)、抹除(t2至t3)以及抹除復原(從t3至t4)。

抹除建立(t1至t2)：

- 該區塊解碼器會因RST_BD脈衝而重置，且該區塊解碼器中該

鎖存器的BDLCH_out會變成0 V。

- 當經列預解碼的信號Xp/Xq/Xr/Xt為合法時，該區塊解碼器的鎖存器啟用信號LCHBD便會被脈衝輸出。

- 當經列預解碼的信號Xp/Xq/Xr/Xt達到匹配時，該鎖存器的BDLCH_out便會被設定為Vdd(Vhv於抹除作業期間設定為Vers)。

- 當HVenb為0 V且該OSC振盪時，該區塊解碼器的輸出信號BD_out便會藉由該局部電荷泵提升至(Vers+Vth)。

- 該等非選定區塊的BD_out會被設定為0 V。因此，非選定區塊中的所有字線SSL、GSL、CSL均係浮動的。

抹除(t2至t3)：

- 於此週期期間，該單元基板(袋狀p井)會被偏壓至Vers。

- 當非選定字線透過傳送電晶體TS0至TS31被共同信號S0至S31驅動至Vers時，單一分頁抹除的選定字線或是多重分頁抹除的複數條選定字線便會被偏壓至0 V。

- 該串選擇線SSL、接地選擇線GSL、以及共同源極CSL均係浮動的。當該單元基板變成Vers時，該選定區塊中的SSL與GSL便會藉由該基板與SSL/GSL之間的電容性耦合而被升壓至接近Vers的90%。由於從該基板(PP井)至該源極(n+)的接面正向偏壓的關係，該CLS會變成Vers。

- 於此週期期間，該(等)選定分頁上的所有單元均會被抹除。該選定區塊中非選定字線中的記憶體單元會因0電場(也就是，字線=Vers且單元基板=Vers)而不會被抹除。

- 非選定區塊中所有傳送電晶體TS0至TS31會因非選定區塊解碼器的輸出BD_out而被關閉。所以，非選定區塊中所有字線係浮動的且會因該單元基板與字線之間的電容性去耦合而升壓至接近90%處。

抹除復原(t3至t4)：

- 於此週期期間，該單元基板、非選定字線、SSL、GSL、以及CSL上的所有高電壓會被放電至初始狀態(0 V)。

圖38所示的係利用分頁抹除方案2A來進行分頁抹除或多重分頁抹除的核心時序。

抹除建立(t1至t2)：

- 該區塊解碼器會因RST_BD脈衝而重置，且該區塊解碼器的BD_out會變成0 V。
- 當經列預解碼的信號Xp/Xq/Xr/Xt為合法時，該區塊解碼器的鎖存器啟用信號LCHBD便會被脈衝輸出。
- 當經列預解碼的信號Xp/Xq/Xr/Xt達到匹配時，該區塊解碼器的BD_out便會被設定為Vdd(Vhv於抹除作業期間設定為Vers)。
- 非選定區塊的BD_out會被設定為Vnhv。

抹除(t2至t3)：

- 傳送電晶體TS、TS0至TS31、以及TG之基板會藉由Vnhv而被偏壓至-V1 (-18 V)，用以傳導負電壓-V1 (-18 V)。
- 於此週期期間，當非選定字線透過傳送電晶體TS0至TS31被共同信號S0至S31偏壓至0 V時，單一分頁抹除的選定字線或是多重分頁抹除的複數條選定字線便會被驅動至-V1 (-18 V)。
- 該串選擇線SSL與接地選擇線GSL會被偏壓至0 V。
- 非選定區塊中傳送電晶體TS0至TS31的閘極會於抹除建立週期期間被偏壓至Vnhv，而該Vnhv會於此週期期間變成-V1 (-18)。所以，傳送電晶體TS0至TS31會被關閉且非選定區塊的所有字線均係浮動的。
- 於此週期期間，該(等)選定分頁上的所有單元均會被抹除。

抹除復原(t3至t4)：

- 於此週期期間，該選定字線以及傳送電晶體之基板上的負電壓

會返回初始狀態(0 V)。

圖39所示的係利用分頁抹除方案2B來進行分頁抹除或多重分頁抹除的核心時序，其中，-V1為-13 V且V2為5 V。

抹除建立(t1至t2)：

- 該區塊解碼器會因RST_BD脈衝而重置，且該區塊解碼器的BD_out會變成0 V。
- 當經列預解碼的信號Xp/Xq/Xr/Xt為合法時，該區塊解碼器的鎖存器啟用信號LCHBD便會被脈衝輸出。
- 當經列預解碼的信號Xp/Xq/Xr/Xt達到匹配時，該區塊解碼器的BD_out便會被設定為Vdd(Vhv於抹除作業期間設定為Vers)。
- 非選定區塊的BD_out會被設定為Vnhv。

抹除(t2至t3)：

- 傳送電晶體TS、TS0至TS31、以及TG之基板會藉由Vnhv而被偏壓至-V1 (-13 V)，用以傳導負電壓-V1 (-13 V)。
- 該單元陣列的基板會被偏壓至V2 (5 V)。
- 於此週期期間，當非選定字線透過傳送電晶體TS0至TS31被共同信號S0至S31偏壓至0 V時，單一分頁抹除的選定字線或是多重分頁抹除的複數條選定字線便會被驅動至-V1 (-13 V)。
- 該串選擇線SSL與接地選擇線GSL係浮動的且會因該單元陣列的基板的電容性耦合而升壓至V2 (5 V)的90%處。
- 由於源自該單元陣列之基板的正向接面偏壓的關係，共同源極線CLS與位元線係V2 (5 V)。
- 非選定區塊中傳送電晶體TS0至TS31的閘極會於抹除建立週期期間被偏壓，而該Vnhv會於此週期期間變成-V1 (-13)。所以，傳送電晶體TS0至TS31會被關閉且非選定區塊的所有字線均係浮動的。
- 於此週期期間，該(等)選定分頁上的所有單元均會被抹除。

抹除復原(t3至t4)：

- 於此週期期間，該選定字線以及傳送電晶體之基板上的負電壓會返回初始狀態(0 V)。
- 該記憶體單元陣列之基板上的電壓SSL、GSL、CSL會返回初始狀態(0 V)。

利用分頁抹除方案1的區塊抹除的核心時序和本文以引用的方式完整併入的先前技術專利第5,472,563號的核心時序相同。

圖40所示的係利用分頁抹除方案2A來進行區塊抹除的核心時序，其中，-V1為-18 V且V2為0 V。

抹除建立(t1至t2)：

- 該區塊解碼器會因RST_BD脈衝而重置，且該區塊解碼器的BD_out會變成0 V。
- 當經列預解碼的信號Xp/Xq/Xr/Xt為合法時，該區塊解碼器的鎖存器啟用信號LCHBD便會被脈衝輸出。
- 當經列預解碼的信號Xp/Xq/Xr/Xt達到匹配時，該區塊解碼器的BD_out便會被設定為Vdd(Vhv於抹除作業期間設定為Vdd)。
- 非選定區塊的BD_out會被設定為Vnhv。

抹除(t2至t3)：

- 傳送電晶體TS、TS0至TS31、以及TG之基板會藉由Vnhv而被偏壓至-V1 (-18 V)，用以傳導負電壓-V1 (-18 V)。
- 於此週期期間，該選定區塊中的所有字線會透過傳送電晶體TS0至TS31被共同信號S0至S31驅動至-V1 (-18 V)。
- 該串選擇線SSL與接地選擇線GSL會被偏壓至0 V。
- 非選定區塊中傳送電晶體TS0至TS31的閘極會於抹除建立週期期間被偏壓，而該Vnhv會於此週期期間變成-V1 (-18)。所以，傳送電晶體TS0至TS31會被關閉且非選定區塊的所有字線均係浮動的。

- 於此週期期間，該選定區塊中的所有單元均會被抹除。

抹除復原(t3至t4)：

- 於此週期期間，該選定區塊之所有字線以及傳送電晶體之基板上的負電壓會返回初始狀態(0 V)。

圖 41 所示的係利用分頁抹除方案 2B 來進行區塊抹除的核心時序，其中，-V1 為 -13 V 且 V2 為 5 V。

抹除建立(t1至t2)：

- 該區塊解碼器會因 RST_BD 脈衝而重置，且該區塊解碼器的 BD_out 會變成 0 V。
- 當經列預解碼的信號 Xp/Xq/Xr/Xt 為合法時，該區塊解碼器的鎖存器啟用信號 LCHBD 便會被脈衝輸出。
- 當經列預解碼的信號 Xp/Xq/Xr/Xt 達到匹配時，該區塊解碼器的 BD_out 便會被設定為 Vdd(V_{hv} 於抹除作業期間設定為 Vdd)。
- 非選定區塊的 BD_out 會被設定為 V_{nhv}。

抹除(t2至t3)：

- 傳送電晶體 TS、TS0 至 TS31、以及 TG 的基板會藉由 V_{wpt} 而被偏壓至 -V1 (-13 V)，用以傳導負電壓 -V1 (-13 V)。
- 該單元陣列的基板會被偏壓至 V2 (5 V)。
- 於此週期期間，該選定區塊中的所有字線會透過傳送電晶體 TS0 至 TS31 被共同信號 S0 至 S31 驅動至 -V1 (-13 V)。
- 該串選擇線 SSL 與接地選擇線 GSL 係浮動的且會因該單元陣列的基板的電容性耦合而升壓至 V2 (5 V) 的 90% 處。
- 由於源自該單元陣列之基板的接面正向偏壓的關係，共同源極線 CLS 會係 V2 (5 V)。
- 非選定區塊中傳送電晶體 TS0 至 TS31 的閘極會於抹除建立週期期間被偏壓，而該 V_{nhv} 會於此週期期間變成 -V1 (-13)。所以，傳送電

晶體TS0至TS31會被關閉且非選定區塊的所有字線均係浮動的。

- 於此週期期間，該選定區塊中的所有單元均會被抹除。

抹除復原(t3至t4)：

- 於此週期期間，該選定區塊之所有字線以及傳送電晶體之基板上的負電壓會返回初始狀態(0 V)。
- 該記憶體單元陣列之基板上的電壓SSL、GSL、CSL會返回初始狀態(0 V)。

抹除驗證作業

抹除驗證作業係由圖42、圖43、圖44、以及圖45中所示之五個子週期所組成：抹除驗證建立(從t1至t2)、BL預充電(t2至t3)、BL感測(從t3至t4)、資料鎖存(從t4至t5)、以及抹除驗證復原(從t5至t6)。

圖42所示的係用於分頁抹除方案1的分頁抹除驗證的核心時序。此處所述之電壓源的電壓位準係可能的範例且可加以改變。

分頁抹除驗證建立(t1至t2)：

- 該區塊解碼器的BD_out會在前一抹除作業中被設定為Vdd (Vhv會於抹除驗證期間被設定為Vdd)。
- 非選定區塊的BD_out會在前一抹除作業中被設定為0 V。
- 藉由DCB脈衝來將位元線放電至接地。
- 該分頁緩衝器中的鎖存器會因LCHDA脈衝與PREBLb 脈衝而重置。於此短脈衝週期期間，PBSO節點會因BL預充電電晶體而成為Vdd。節點A與B會分別被重置為0 V與Vdd。
- 於重置該鎖存器之後，PBSO節點會因SELBL而放電至0 V。

BL預充電(t2至t3)：

- 當HVenb為0 V且該OSC振盪時，該區塊解碼器的BD_out便會藉由該局部電荷泵而變成Vread7 (~7 V)。因此，該選定區塊中的傳送電晶體TSS、TS0至TS31、以及TGS的閘極便會升壓至Vread7 (~7V)。

- SSL、非選定字線、以及GSL會因SS、非選定S、以及GS而被充電至 V_{read} (4至5 V)。

- 該選定字線會因該選定S而被偏壓至0 V，而該選定區塊的CSL會被偏壓至 V_{cslevf} (~ 0.4 V)用以驗證該選定分頁之具有負單元 V_{th} 之已抹除記憶體單元(也就是，用於具有負單元 V_{th} 之單元的源極偏壓感測方案)。

- 當PREBLb變成"低位準"時，位元線會被預充電至一預定預充電位準(~ 1.3 V)。SELBL會變成 V_{blpre} (~ 2.3 V)，其會利用該BL選擇電晶體來決定該位元線預充電位準。

BL感測(t3至t4)：

- 位元線會因禁能BL選擇電晶體($SELBL=0$ V)而與該分頁緩衝器中斷連接，而該BL預充電電晶體則會關閉。

- 經預充電之位元線的位準係依據單元狀態來產生。倘若該單元因為其仍為非導通單元且無法放電該經預充電之位元線電壓而未被完全抹除的話，則每一條位元線均會維持該經預充電的電壓位準。相反地，倘若該單元被完全抹除的話，則該單元便係導通單元並且會於此週期期間放電該經預充電的位元線。

資料鎖存(t4至t5)：

- 於此週期期間，該SELBL會被偏壓至 V_{bldcpl} (~ 1.3 V)，其會在該位元線與該PBSO之間產生電容性去耦合。

- 利用電容性去耦合感測方案，對應於該經抹除單元(導通單元)之該位元線的PBSO節點上的電壓會因該位元線與寄生電容遠小於該選定位元線的感測節點PBSO之間的電荷分享而快速地下滑。

- 一旦該位元線藉由該位元線與該PBSO節點之間的電容性去耦合作業而產生足夠的電壓位準之後，便會藉由啟用該LCHDB信號來實施資料鎖存作業。

- PBSO節點處的Vdd電壓會因為該NAND串上未完全抹除的單元的關係而啟動該分頁緩衝器中的感測電晶體。因此，當施加LCHDB時，該節點A便會立刻從Vdd轉變0 V(節點B則會立刻從0 V轉變Vdd)。

- PBSO節點處的低電壓(0.3至0.4 V)會因為該NAND串上已抹除的單元(導通單元)的關係而不會影響該分頁緩衝器資料。因此，該分頁緩衝器會保留初始狀態(也就是，節點A為Vdd及節點B為0 V)。

- 倘若該NAND串上之該選定單元被成功抹除的話，則於抹除驗證期間，在BL感測與鎖存作業之後，該節點A與該節點B便會分別為0 V與Vdd。

- 倘若該NAND串上之該選定單元並未完全被抹除的話，則於抹除驗證期間，在BL感測與鎖存作業之後，該節點A與該節點B便會分別為Vdd與0 V。

分頁抹除驗證復原(t5至t6)：

- 於此週期期間，所有位元線均會因DCB而被放電，而分頁緩衝器中的所有鎖存器均會保留所感測到的資料。

- SSL、非選定字線、GSL、以及CSL會於此週期期間被放電至0 V。該選定字線以及傳送電晶體TSS、TS0至TS31、以及TGS的基板同樣會從抹除驗證電壓Versvf返回0 V。

- 倘若該選定字線(分頁)上的所有單元均被成功抹除的話，則所有分頁緩衝器中該鎖存器的節點A與節點B便會分別被設定為0 V與Vdd。因此，PASSb上所有的上拉PMOS電晶體(通過/失敗感測電晶體)均會被禁能，因為每一個PMOS電晶體的閘極均被連接至該鎖存器的節點B。最後，便可由一偵測電路中的一感測放大器來感測該PASSb，用以產生抹除通過/失敗旗標。此處並未說明用於感測該PASSb的感測放大器；不過，其可利用熟知的、簡易的感測放大器來

施行。

對多重分頁抹除驗證來說，會依序來驗證複數個選定分頁(也就是，以分頁為主來進行抹除驗證)。

圖43所示的係利用分頁抹除方案1來進行區塊抹除驗證的核心時序。該區塊抹除驗證的核心時序基本上和該分頁抹除驗證的核心時序相同。不過，差異為：

- 該選定區塊的所有單元(也就是，NAND單元串)會如圖43中所示般地被同時驗證。
- 該選定區塊的所有字線均會被偏壓至0 V，其可能不具有源極偏壓(也就是， $CSL=0\text{ V}$)或是可能具有源極偏壓(也就是， $CSL=V_{cslevf}$)。

圖44所示的係用於分頁抹除方案2A與2B的分頁抹除驗證的核心時序。此處所述之電壓源的電壓位準係可能的範例且可加以改變。

分頁抹除驗證建立(t_1 至 t_2)：

- 該區塊解碼器的BD_out會在前一抹除作業中被設定為Vdd(V_{hv} 會於抹除驗證期間被設定為Vdd)。
- 非選定區塊的BD_out會在先前的抹除作業中被設定為 V_{nhv} 。
- 藉由DCB脈衝來將位元線放電至接地。
- 該分頁緩衝器中的鎖存器會因LCHDA脈衝與PREBLb 脈衝而重置。於此短脈衝週期期間，PBSO節點會因BL預充電電晶體而成為Vdd。節點A與B會分別被重置為0 V與Vdd。
- 於重置該鎖存器之後，PBSO節點會因SELBL而放電至0 V。

BL預充電(t_2 至 t_3)：

- 於此週期期間， V_{hv} 會變成 V_{read7} ($\sim 7V$)，而 V_{nhv} 則會變成 V_{ersvf} ($\sim -1.5\text{ V}$)。因此，該選定區塊中的傳送電晶體TSS、TS0至TS31、以及TGS的閘極便會升壓至 V_{read7} ($\sim 7V$)。另外，傳送電晶體

的基板則會因 V_{nhv} 而被偏壓至 V_{ersvf} (~ -1.5 V)。

- SSL、非選定字線、以及GSL會因SS、非選定S、以及GS而被充電至 V_{read} (4至5 V)。

- 該選定字線會因該選定S而被偏壓至抹除驗證電壓 V_{ersvf} (~ -1.5 V)。

- 當PREBLb變成"低位準"時，位元線會被預充電至一預定預充電位準。SELBL會變成 V_{blpre} (~ 2.1 V)，其會利用該BL選擇電晶體來決定該位元線預充電位準。

BL感測(t_3 至 t_4)：

- 位元線會因禁能BL選擇電晶體($SELBL=0$ V)而與該分頁緩衝器中斷連接，而該BL預充電電晶體則會關閉。

- 經預充電之位元線的位準係依據單元狀態來產生。倘若該單元因為其仍為非導通單元且無法放電該經預充電之位元線電壓而未被完全抹除的話，則每一條位元線均會維持該經預充電的電壓位準。相反地，倘若該單元被完全抹除的話，則該單元便係導通單元並且會於此週期期間放電該經預充電的位元線。

資料鎖存(t_4 至 t_5)：

- 於此週期期間，該SELBL會被偏壓至 V_{bldcpl} (~ 1.3 V)，其會在該位元線與該PBSO之間產生電容性去耦合。

- 利用電容性去耦合感測方案，對應於該經抹除單元(導通單元)之該位元線的PBSO節點上的電壓會因該位元線與寄生電容遠小於該選定位元線的感測節點PBSO之間的電荷分享而快速地下滑。

- 一旦該位元線藉由該位元線與該PBSO節點之間的電容性去耦合作業而產生足夠的電壓位準之後，便會藉由啟用該LCHDB信號來實施資料鎖存作業。

- PBSO節點B處的 V_{dd} 電壓會因為該NAND串上未完全抹除的單

元的關係而啟動該分頁緩衝器中的感測電晶體。因此，當施加 LCHDB時，該節點A便會立刻從Vdd轉變0 V(節點B則會立刻從0 V轉變Vdd)。

- PBSO節點處的低電壓(0.3至0.4 V)會因為該NAND串上已抹除的單元(導通單元)的關係而不會影響該分頁緩衝器資料。因此，該分頁緩衝器會保留初始狀態(也就是，節點A為Vdd & 節點B為0 V)。

- 倘若該NAND串上之該選定單元被成功抹除的話，則於抹除驗證期間，在BL感測與鎖存作業之後，該節點A與該節點B便會分別為0 V與Vdd。

- 倘若該NAND串上之該選定單元並未完全被抹除的話，則於抹除驗證期間，在BL感測與鎖存作業之後，該節點A與該節點B便會分別為Vdd與0 V。

分頁抹除驗證復原(t5至t6)：

- 於此週期期間，所有位元線均會因DCB而被放電，而分頁緩衝器中的所有鎖存器均會保留所感測到的資料。

- SSL、非選定字線、以及GSL會於此週期期間被放電至0 V。該選定字線以及傳送電晶體TSS、TS0至TS31、以及TGS的基板同樣會從抹除驗證電壓Versvf返回0 V。

- 倘若該選定字線(分頁)上的所有單元均被成功抹除的話，則所有分頁緩衝器中該鎖存器的節點A與節點B便會分別被設定為0 V與Vdd。因此，PASSb上所有的上拉PMOS電晶體(通過/失敗感測電晶體)均會被禁能，因為每一個PMOS電晶體的閘極均被連接至該鎖存器的節點B。最後，便可由一偵測電路中的一感測放大器來感測該PASSb，用以產生抹除通過/失敗旗標。此處並未說明用於感測該PASSb的感測放大器；不過，其可利用熟知的、簡易的感測放大器來施行。

對多重分頁抹除驗證來說，會依序來驗證複數個選定分頁(也就是，以分頁為主來進行抹除驗證)。

圖45所示的係區塊抹除驗證的核心時序。該區塊抹除驗證的核心時序基本上和該分頁抹除驗證的核心時序相同。不過，差異為：

- 該選定區塊的所有單元(也就是，NAND單元串)會如圖45中所示般地被同時驗證。
- 抹除驗證電壓 V_{bersvf} 可能係0 V或負電壓，用以確保已抹除單元上的臨界電壓會有一正確的邊限。
- 倘若抹除驗證電壓 V_{bersvf} 係負電壓的話，則傳送電晶體TSS、TS0至TS31、以及TGS的基板將會因 V_{nhv} 而被偏壓至 V_{bersvf} ，其雷同於該分頁抹除驗證的條件。

分頁抹除方案3

表8以及圖46與47所示的係根據分頁抹除方案3於分頁抹除期間的偏壓條件。利用分頁抹除方案3，非選定字線會被升壓至接近抹除電壓 V_{ers} (當該單元陣列的基板變成 V_{ers} 時，其會被升壓至 V_{ers} 的 $\alpha\%$ ， α =該基板與字線之間的耦合比)，用以防止該(等)非選定分頁遭到抹除；而該(等)選定字線則會被偏壓至另一電壓(舉例來說，0 V)，用以抹除該(等)選定分頁。

如圖46與47中所示，於該選定區塊中

- 該選定區塊中的(複數條)選定字線會被偏壓至0 V以進行抹除。
- 該選定區塊中的(複數條)非選定字線會被預充電且升壓至 V_{ers} 的 $\alpha\%$ ，以達抹除禁制(浮動字線上的升壓電壓位準係藉由該基板與該等字線之間的耦合比 α ， $\alpha\sim 90\%$ 來決定)。

為防止非選定區塊中的記憶體單元遭到抹除，非選定區塊中的所有字線於抹除作業期間均係浮動的，和先前技術專利第5,473,563號相

同。所以，當施加抹除電壓Vers至基板處時，非選定區塊中浮動的字線便會藉由基板與非選定區塊中之字線間的電容性耦合而被升壓至接近抹除電壓Vers處。(當該單元陣列的基板變成Vers時，該等字線便會被升壓至約Vers的 $\alpha\%$ 處；不過，浮動的字線上的升壓電壓位準則係藉由該基板與該等字線間的耦合比來決定。)非選定區塊中之字線上的升壓電壓會降低該基板與該等字線間的電場；因此，便可防止非選定區塊中的記憶體單元遭到抹除。

- 非選定區塊中的所有字線均係浮動的。

表8. 分頁/多重分頁抹除期間的偏壓條件-分頁抹除方案3

	選定區塊	非選定區塊
位元線(B/L)	鉗止在VERS-0.6 v處	鉗止在VERS-0.6 v處
串選擇線(SSL)	升壓至約VERS的90%處	升壓至約VERS的90%處
(複數條)選定字線	0 V	升壓至約VERS的90%處
非選定字線	升壓至約VERS的90%處	升壓至約VERS的90%處
接地選擇線(GSL)	升壓至約VERS的90%處	升壓至約VERS的90%處
共同源極線(CSL)	鉗止在VERS-0.6 v處	鉗止在VERS-0.6 v處
基板(袋狀P井)	VERS	VERS

圖48與49所繪的係非選定區塊，以及選定區塊中的選定分頁與非選定分頁的分頁抹除條件。

- 串選擇線SSL、字線WL 0至WL 31、以及接地選擇線GSL均係受驅於透過傳送電晶體TSS、TS0至TS31、以及TGS的共同信號SS、S0至S31、以及GS，該等傳送電晶體係共同受控於該區塊預解碼器的輸出信號BD_out。
- 共同信號SS、S0至S31、以及GS被連接至所有區塊的傳送電晶體TSS、TS0至TS31、以及TGS的汲極。
- 共同源極線CSL經連接而橫跨所有的區塊。
- 對應於該選定分頁的選定共同信號S(本範例中的S27)被偏壓至

0 V，而非選定共同信號S(本範例中的S0至S26及S28至S31)、SS、以及GS被偏壓至V1。共同源極線CSL係浮動的。

- 被連接至所有傳送電晶體TSS、TS0至TS31、以及TGS之閘極的非選定區塊預解碼器的非選定輸出信號BD_out n-1為0 V。所以，非選定區塊中的串選擇線SSL、字線WL 0至WL 31、以及接地選擇線GSL剛開始均係浮動的且當該單元基板(袋狀p井)上升至Vers時會因該單元基板與該等字線之間的電容性耦合而升壓至接近該抹除電壓Vers的90%(α)。非選定區塊中所有字線上的升壓電壓會禁制記憶體單元抹除。

- 被連接至所有傳送電晶體TSS、TS0至TS31、以及TGS之閘極的選定區塊預解碼器的輸出信號BD_out為V2。所以，該選定字線(本範例中的W/L27)被偏壓至0 V，透過傳送電晶體TS27受驅於共同信號S27，其會抹除該選定分頁上的單元。

- 該選定區塊中的非選定字線(W/L0至W/L26及W/L28至W/L31)剛開始會透過傳送電晶體TS0至TS26及TS28至TS31被共同信號S0至S26及S28至S31偏壓至V2-Vtn(Vtn：傳送電晶體TS0至TS31的臨界電壓)；也就是，傳送電晶體汲極=V1、閘極=V2、源極=V2-Vtn、且V1≥V2。而後，當該單元基板(袋狀p井)上升至Vers時，非選定字線便會因該記憶體單元基板與該等字線之間的電容性耦合而被升壓。當非選定字線(也就是，傳送電晶體的源極)升壓之後，傳送電晶體(TS0至TS26及TS28至TS31)便會因傳送電晶體上的偏壓條件而完全關閉：汲極=V1、閘極=V2、而源極=Vers(升壓電壓)的(α)。所以，非選定區塊中非選定字線上經升壓的高電壓便會於抹除期間維持不變並且禁制單元抹除。

- V1必須大於等於V2，以便防止透過該傳送電晶體造成該升壓電壓洩漏，並且讓該字線為浮動。

在選擇V1與V2中，應該瞭解的係，電容性耦合因數 α 會取決於個別的字線選擇。反之，於一非選定區塊中，每條字線處的 α 約為90%，於一選定字線附近的 α 則可降低。該耦合會取決於電路特徵，不過卻可如圖50中所示般地將 α 降為50%。於低耦合的前提下，該字線的初始電壓應該要更高，方能確保該字線會浮動至一會禁制抹除的位準處。

為產生浮動，施加至該傳送電晶體中汲極處的V1必須大於施加至閘極的V2。因此，

$$V1 \geq V2,$$

$$V_{\text{ers}} \geq V2 > V_{\text{cc}}$$

$$V_{\text{boosted}} = (V2 - V_{\text{tn}}) + \alpha * (V_{\text{ers}} - (V2 - V_{\text{tn}})).$$

倘若V2剛好等於Vcc的話，字線WL28(相鄰於一選定分頁)以及字線WL27(從該選定分頁移除)的後續升壓電壓應該會：

倘若 $V_{\text{tn}}=0.8\text{ V}$ 、 $V_{\text{cc}}=2.5\text{ V}$ 、 $V_{\text{ers}}=20\text{ V}$ 、以及 $V2=V_{\text{cc}}=2.5\text{ V}$ 的話

$$\text{WL28 (升壓電壓)} = (V2 - V_{\text{tn}}) + \alpha (V_{\text{ers}} - (V2 - V_{\text{tn}})) =$$

$$(2.5\text{ V} - 0.8\text{ V}) + 0.5 * (20\text{ V} - 1.7\text{ V}) = 10.85\text{ V}$$

$$\text{WL27 (升壓電壓)} = (V2 - V_{\text{tn}}) + \alpha (V_{\text{ers}} - (V2 - V_{\text{tn}})) =$$

$$(2.5\text{ V} - 0.8\text{ V}) + 0.9 * (20\text{ V} - 1.7\text{ V}) = 18.17\text{ V}$$

可以看出，WL27會被升壓至接近V_{ers}處且因而會避免發生意外抹除。不過，字線WL28僅會提升至<11伏特處，從而會在該字線與該基板電壓V_{ers}之間造成>9伏特的差異。因此，WL28便可能會發生非預期的抹除。為安全地避免抹除，該字線應該至少約為V_{ers}的70%，或是本範例中的14伏特。

藉由提升閘極電壓V2，並且從而提升汲極電壓V1，儘管降低 α ，該字線上的初始電壓仍會較高，且該升壓電壓亦會因而較高。利用10伏特的較高電壓V2，於本範例中會產生下面結果：

倘若 $V_{tn}=0.8\text{ V}$ 、 $V_{cc}=2.5\text{ V}$ 、 $V_{ers}=20\text{ V}$ 、以及 $V_2=10\text{ V}$ 的話

$$WL28\text{ (升壓電壓)}=(V_2-V_{tn})+\alpha (V_{ers}-(V_2-V_{tn}))=$$

$$(10\text{ V}-0.8\text{ V})+0.5*(20\text{ V}-9.2\text{ V})=14.6\text{ V}$$

$$WL27\text{ (升壓電壓)}=(V_2-V_{tn})+\alpha (V_{ers}-(V_2-V_{tn}))=$$

$$(10\text{ V}-0.8\text{ V})+0.9*(20\text{ V}-9.2\text{ V})=18.92\text{ V}$$

於此情況中，相鄰字線WL28上的升壓電壓為14.6 V，其已經夠高。低 α 值以及該字線與該基板間的可接受電壓差會改變，因此便會改變 V_2 的可接受位準。不過，一般來說， V_2 應該至少約為 V_{ers} 的50%。更一般來說， V_2 應該比較接近該基板電壓而較不接近被施加至選定字線之傳送電晶體的選擇電壓，從而 V_1 亦應是如此。

圖49所示的係利用分頁抹除方案3的偏壓條件來同時抹除該選定區塊中的多重分頁(字線1、27、29)。

先前所述的圖34所示的係一區塊解碼器的電路示意圖，其係分頁抹除技術3的其中一種可能範例，其中， $V_1 > V_2$ 。

當RST_BD為高位準(實際上為短脈衝)時，BDLCH_out便會被重置為0 V；而當LCHBD為高位準(實際上為短脈衝)且有合法的經列預解碼的位址信號 X_p 、 X_q 、 X_r 、以及 X_t 時，BDLCH_out便會被鎖存。

該區塊預解碼器的最終輸出信號BD_out通常會被連接至所有傳送電晶體TSS、TS0至TS31、以及TGS的閘極。串選擇線SSL、字線WL 0至WL 31、以及接地選擇線GSL均係受驅於透過傳送電晶體的共同信號SS、S0至S31、以及GS，該等傳送電晶體係共同受控於該區塊預解碼器的輸出信號BD_out。

該局部電荷泵係一高電壓切換構件，用以提供 V_2 給該區塊解碼器的輸出信號BD_out。其係由增強型NMOS電晶體、空乏型NMOS電晶體(DEP)、原生型NMOS電晶體(NAT)、以及一2輸入NAND閘極所組成。當該區塊解碼器鎖存輸出BDLCH_out 為 V_{dd} ，HVenb為0 V，

且該OSC振盪時，該區塊解碼器的輸出信號BD_out便會升高至Vhv (=V2)。

圖51所示的係利用分頁抹除方案3來進行分頁抹除或多重分頁抹除的核心時序。

基本上，該抹除作業係由圖51中所示之三個子週期所組成：抹除建立(從t1至t2)、抹除(t2至t3)以及抹除復原(從t3至t4)。

抹除建立(t1至t2)：

- 該區塊解碼器鎖存器會因RST_BD脈衝而重置，且該區塊解碼器中該鎖存器的BDLCH_out會變成0 V。
- 當經列預解碼的信號Xp/Xq/Xr/Xt為合法時，該區塊解碼器的鎖存器啟用信號LCHBD便會被脈衝輸出。
- 當經列預解碼的信號Xp/Xq/Xr/Xt達到匹配(也就是，被選定)時，該鎖存器的BDLCH_out便會被設定為Vdd。
- 該區塊預解碼器的輸出信號BD_out便會係V2。
- 對應於該選定分頁抹除的選定共同信號S會被設定為0 V，而非選定共同信號S、SS、以及GS則會被設定為V1。共同源極線CSL係浮動的。
- 該等非選定區塊的BD_out會被設定為0 V。因此，非選定區塊中的所有字線SSL、GSL、CSL均係浮動的。
- 該選定區塊的BD_out會被設定為V2，且所有傳送電晶體TSS、TS0至TS31、TGS均會啟動。所以，該(等)選定字線會被偏壓至0 V，而非選定字線、SSL、GSL則會被預充電至V2-Vtn (Vtn：傳送電晶體的臨界電壓)。

抹除(t2至t3)：

- 於此週期期間，該單元基板(袋狀p井)會提升至抹除電壓Vers。
- 該選定區塊中的單一分頁抹除的選定字線或是多重分頁抹除的

複數條選定字線會被偏壓至0 V。

- 該串選擇線SSL、接地選擇線GSL、以及該選定區塊中非選定的字線剛開始會被預充電至 $V_2 - V_{tn}$ ，接著當該單元基板變成Vers時，便會藉由該基板與該等字線及SSL/GSL之間的電容性耦合而被升壓至Vers的 $\alpha\%$ (浮動字線上的升壓電壓位準係藉由該基板與該等字線之間的耦合比(α)來決定)。

- 由於從該基板(PP井)至該源極(n+)的接面正向偏壓的關係，該CLS以及所有位元線(BL)均會變成Vers。

- 於此週期期間，該(等)選定分頁上的所有單元均會被抹除。藉由該升壓字線電壓會防止該選定區塊中非選定字線中的記憶體單元遭到抹除。

- 當該單元基板變成Vers時，非選定區塊中的所有字線、SSL、GSL、以及CSL便會藉由該基板與該等字線及SSL/GSL之間的電容性耦合而被升壓至Vers的 $\alpha\%$ 。

- 當非選定字線(也就是，傳送電晶體的源極)升壓之後(也就是，傳送電晶體的源極 $> V_2 - V_{tn}$)，傳送電晶體(TS0至TS26及TS28至TS31)便會因傳送電晶體上的偏壓條件而完全關閉：汲極 $= V_1 \geq V_2$ 、閘極 $= V_2$ 、而源極 $= \alpha \text{ Vers}$ (升壓電壓)。所以，非選定區塊中非選定字線上經升壓的高電壓便會於抹除期間維持不變並且禁制單元抹除。

抹除復原(t_3 至 t_4)：

- 於此週期期間，該單元基板、非選定字線、SSL、GSL、以及CSL上的所有高電壓會被放電至初始狀態(0 V)。

雖然本發明已經參考其較佳具體實施例作特別顯示與說明，不過熟習本技術之人士便會瞭解可對其進行各種形式及細節的變更，而不會脫離隨附申請專利範圍所界定之本發明的範疇。

【符號說明】

71	串選擇電晶體
72	記憶體單元
73	接地選擇電晶體
331	NAND記憶體單元陣列
332	區塊
333	分頁緩衝器電路
334	區塊解碼器
335	列預解碼器
336	共同字線解碼器
341	局部電荷泵
351	高電壓位準偏移器
TSS	傳送電晶體
TS0...TS31	傳送電晶體
TGS	傳送電晶體
TCS	傳送電晶體
G1	NAND閘極
G2	NAND閘極
I1	反向器
I2	反向器
I3	反向器
Q1	p通道電晶體
Q2	p通道電晶體
Q3	n通道下拉裝置
Q4	n通道下拉裝置

申請專利範圍

1. 一種於一非揮發性記憶體陣列中抹除一分頁的方法，該非揮發性記憶體陣列具有位於一基板上的複數串記憶體單元、橫跨該等串至複數頁記憶體單元的複數個字線、以及個別施加一電壓至每一條字線的傳送電晶體，該方法包括：
 - 在每一未選定區塊中禁能每一傳送電晶體；
 - 在每一選定區塊中：
 - 啟用每一傳送電晶體；
 - 在該選定區塊之複數個選定字線之每一者處施加一選擇電壓至該傳送電晶體；及
 - 在該選定區塊之複數個未選定字線之每一者處施加一非選擇電壓至該傳送電晶體；及
 - 施加一基板電壓至該等選定及未選定區塊之基板；
 - 每一未選定區塊之每一字線浮動以預防抹除，每一選定字線之一所得電壓實質與該選擇電壓相同並致使該選定字線之記憶體單元之該分頁抹除，以及每一未選定字線之一所得電壓實質與該非選擇電壓相同並預防該等未選定字線之記憶體單元之該分頁的抹除。
2. 如請求項1之方法，其中，透過一字線解碼器施加該選擇電壓與該非選擇電壓至該選定區塊的該等傳送電晶體，該字線解碼器係經調適以隨著該非選擇電壓被施加至任何其它傳送電晶體時將該選擇電壓施加至該等傳送電晶體之任一者。
3. 如請求項1之方法，其中，該等選定字線包含藉由至少一非選定字線來隔開的複數個選定字線。
4. 如請求項1之方法，其中，該等非選定字線包含藉由至少一選定

字線來隔開的複數個非選定字線。

5. 如請求項1之方法，其中，該選擇電壓約為零伏特，而該非選擇電壓約等於該所施加之基板電壓。
6. 如請求項1之方法，其中，該非選擇電壓比較接近被施加至該基板的電壓，而較不接近該選擇電壓。
7. 一種非揮發性記憶體，其包括：
 - 一記憶體陣列，其包括位於一基板上的複數串記憶體單元以及橫跨該等串連接至複數頁記憶體單元的複數個字線；
 - 個別連接至每一條字線的傳送電晶體；
 - 解碼器電路，其在一抹除操作中回應於位址指令以執行下列步驟：
 - 禁能一未選定區塊之每一傳送電晶體；
 - 啟用一選定區塊中之每一傳送電晶體；
 - 施加一選擇電壓至該選定區塊中將被抹除之一個或多個分頁之每一傳送電晶體；及
 - 施加一非選擇電壓至該選定區塊中將不被抹除之一個或多個分頁之每一傳送電晶體；及
 - 一基板電壓源，其於該抹除操作期間施加一電壓至該基板；
 - 每一未選定區塊之每一字線浮動以預防抹除，每一選定字線之一所得電壓實質上與該選擇電壓相同並致使該選定字線之記憶體單元之該分頁抹除，每一未選定字線之一所得電壓實質上與該非選擇電壓相同並預防該未選定字線之記憶體單元之該分頁的抹除。
8. 如請求項7之記憶體，其中，該字線解碼器經調適以將該選擇電壓施加至該等字線之任一者並將該非選擇電壓施加至該等字線之任一者。

9. 如請求項7之記憶體，其中該選擇電壓約為零伏特，且該非選擇電壓約等於該電壓。
10. 如請求項7之記憶體，其中，該非選擇電壓比較接近被施加至該基板之該抹除電壓，而較不接近該選擇電壓。
11. 一種用於在一非揮發性記憶體陣列中執行一分頁抹除操作之方法，該非揮發性記憶體陣列具有：
 - 位於一基板上的複數串記憶體單元，及
 - 橫跨該等串至複數頁記憶體單元的複數個字線；及
 - 複數個相關聯之傳送電晶體，其每一者經組態以施加一電壓至該等字線之各別一者，該記憶體陣列被分割為複數個區塊，
該方法包含：
 - 選擇該等區塊之至少一者；
 - 選擇所選定區塊之該等字線之任一或多者；
 - 啟用與所選定區塊相關聯之該等傳送電晶體；
 - 施加一選擇電壓至該選定區塊之該等字線中所選定之一或多者；
 - 施加一非選擇電壓至該等字線中未選定之一或多者，該等字線之該未選定之一或多者係指除了該選定區塊之該等字線中該選定之一或多者之外的字線；及
 - 施加一基板電壓至該選定區塊之該基板，其中
 - 該基板電壓及該選擇電壓之間的電壓差造成耦接至該等字線中該選定之一或多者之一或多頁記憶體單元被抹除，及
 - 該基板電壓及該非選擇電壓之間的電壓差不會造成耦接至該選定區塊之該等字線中該未選定之一或多者之一或多頁記憶體單元被抹除。

12. 如請求項11之方法，其中：

施加一選擇電壓包含將該選擇電壓施加於耦接至該選定區塊之該等字線中該選定之一或多者的傳送電晶體；及

施加一非選擇電壓包含將該非選擇電壓施加於耦接至該選定區塊之該等字線中該未選定之一或多者的傳送電晶體。

13. 如請求項11之方法，其中該等選定字線被該等未選定字線之至少一者隔開。

14. 如請求項11之方法，其中該等未選定字線被該等選定字線之至少一者隔開。

15. 如請求項11之方法，其中該等選定字線之一所得電壓實質上與該選擇電壓相同，且該等未選定字線之一所得電壓實質上與該非選擇電壓相同。

16. 如請求項11之方法，其中該選擇電壓約為零伏特，且該非選擇電壓約等於該經施加之基板電壓。

17. 如請求項11之方法，其中該等選定字線之一所得電壓實質上與該選擇電壓相同，且該等未選定字線之一所得電壓係自該非選擇電壓朝向該基板電壓耦接之一浮動電壓。

18. 如請求項11之方法，其中施加一非選擇電壓包含施加一升壓電壓。

19. 一種非揮發性記憶體，其包括：

一記憶體陣列，其包括位於一基板上的複數串記憶體單元以及橫跨該等串連接至複數頁記憶體單元的複數個字線，該記憶體陣列被分割為複數個區塊；

複數個傳送電晶體，該複數個傳送電晶體之每一者經組態以施加一電壓至該等字線之各別一者；

一區塊選擇器，其用於選擇該等區塊之至少一者以在一抹除操

作期間啟用在所選定區塊中的傳送電晶體之每一者；

一基板電壓源，其用於在該抹除操作期間施加一基板電壓至該基板；及

一字線解碼器，其用於選擇該選定區塊之該等字線之任一或多者以執行下列步驟：

施加一選擇電壓至該等字線中所選定之一或多者以抹除耦接至該選定區塊之該等字線中該選定之一或多者的一或多頁記憶體單元；及

施加一非選擇電壓至該等字線中未選定之一或多者，該未選定之一或多者係指除了該選定區塊之該等字線中該選定之一或多者之外的字線，

該字線解碼器經組態以回應位址指令而施加該選擇電壓至該等選定區塊之該等字線之該選定之一或多者並施加該非選擇電壓至該選定區塊之該等字線之該未選定之一或多者。

20. 如請求項19之記憶體，其中，該字線解碼器經調適以將該選擇電壓施加至該等字線之任一者並將該非選擇電壓施加至該等字線之任一者。
21. 如請求項19之記憶體，其中該等選定字線之一所得電壓實質上與該選擇電壓相同，且該等未選定字線之一所得電壓實質上與該非選擇電壓相同。
22. 如請求項19之記憶體，其中該選擇電壓約為零伏特，且該非選擇電壓約等於該經施加之基板電壓。
23. 如請求項19之記憶體，其中該等選定字線之一所得電壓實質上與該選擇電壓相同，且該等未選定字線之一所得電壓係自該非選擇電壓朝向該抹除電壓耦接之一浮動電壓。
24. 如請求項19之記憶體，其中至該等傳送電晶體之每一者的一閘極

信號具有一值 V_2 ，該非選擇電壓大於 V_2 ，且該等字線之該未選定之一或多者預充電至 $V_2 - V_{tn}$ ，且其中 V_2 實質上少於該經施加之基板電壓。

25. 如請求項24之記憶體，其中 V_2 至少為該抹除電壓之50%。
26. 如請求項19之記憶體，其中，在少於該非選擇電壓之一電壓被施加至該等傳送電晶體之每一者之後，耦接至該等區塊未選定者之字線的傳送記憶體將被閘控關閉，且該等字線浮動以預防抹除，其中該等區塊之該未選定者係指除了該等區塊之該選定至少一者之外的區塊。
27. 如請求項19之記憶體，其中，該非選擇電壓比較接近被施加至該基板之抹除電壓，而較不接近該選擇電壓。
28. 如請求項19之記憶體，其中該字線解碼器經組態將一升壓電壓作為該非選擇電壓而施加。

圖式

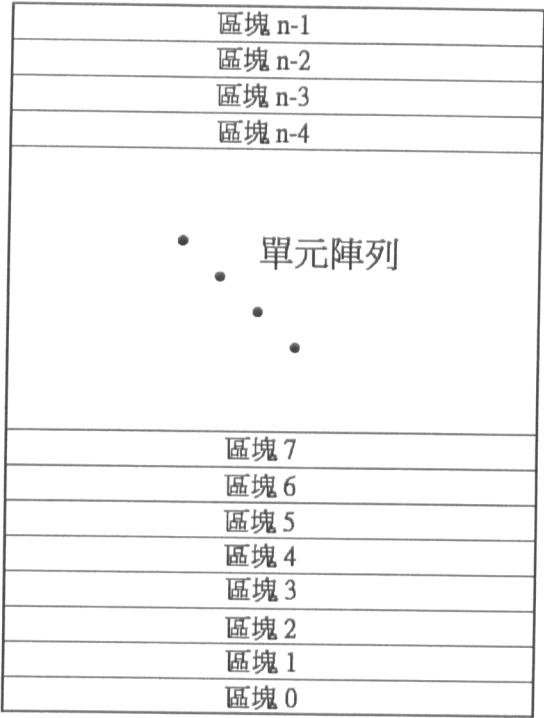


圖 1 先前技術

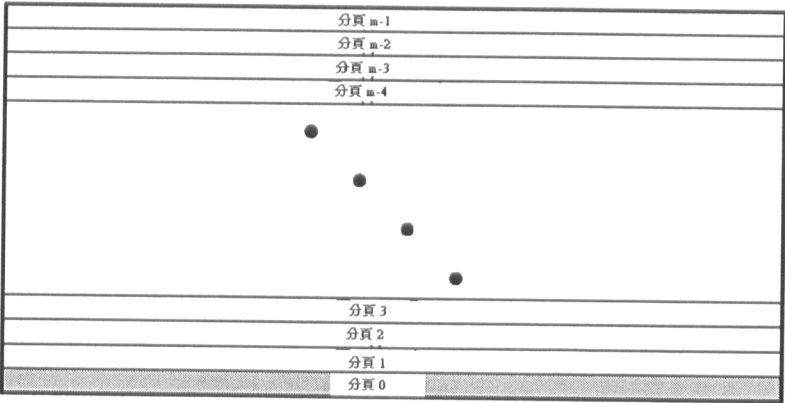


圖 2 先前技術

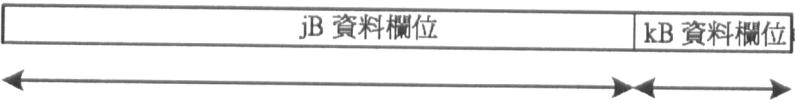


圖 3 先前技術

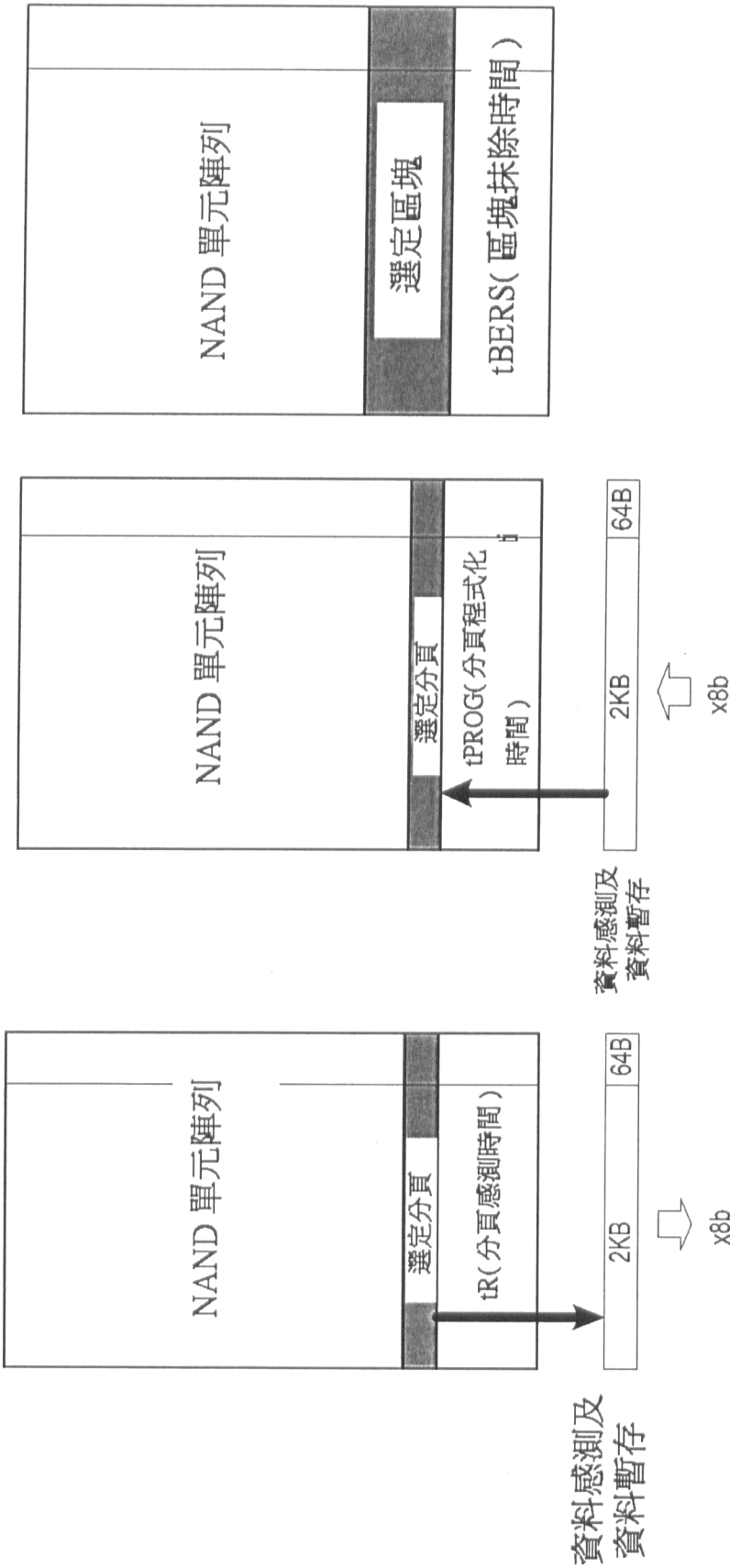


圖 4
先前技術

圖 5
先前技術

圖 6
先前技術

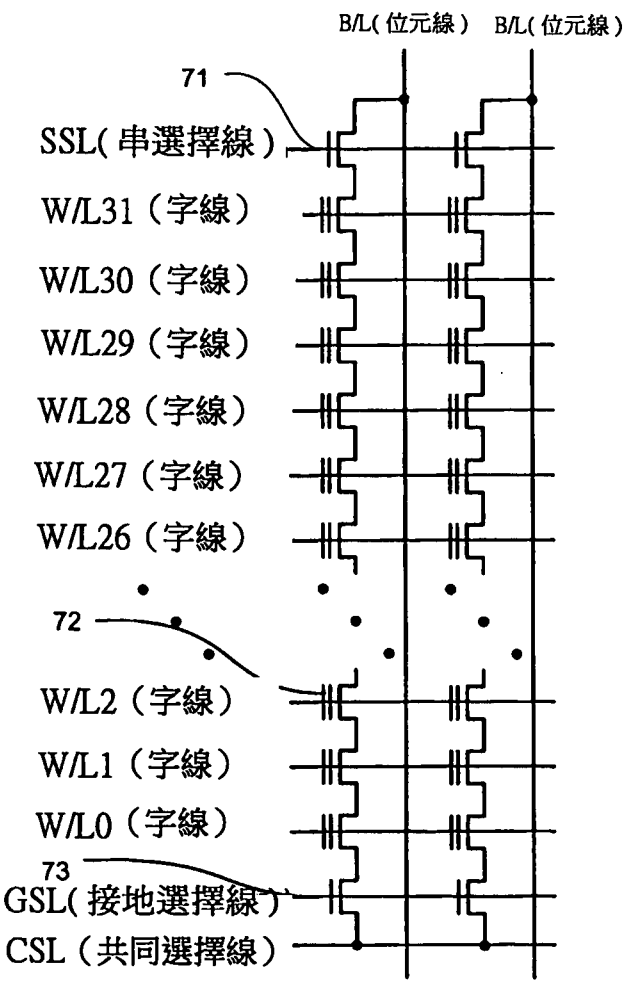


圖 7

先前技術

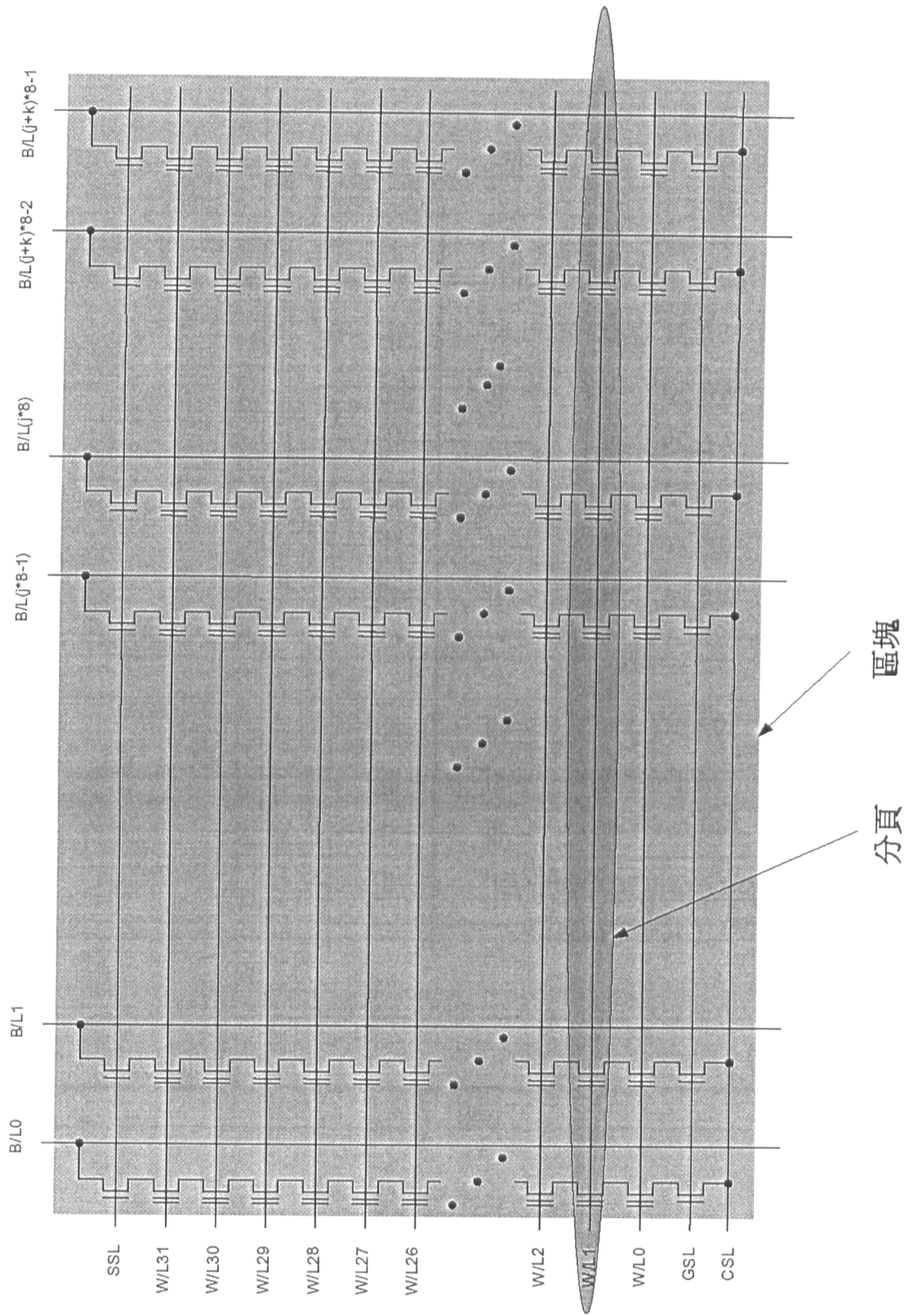


圖 8
先前技術

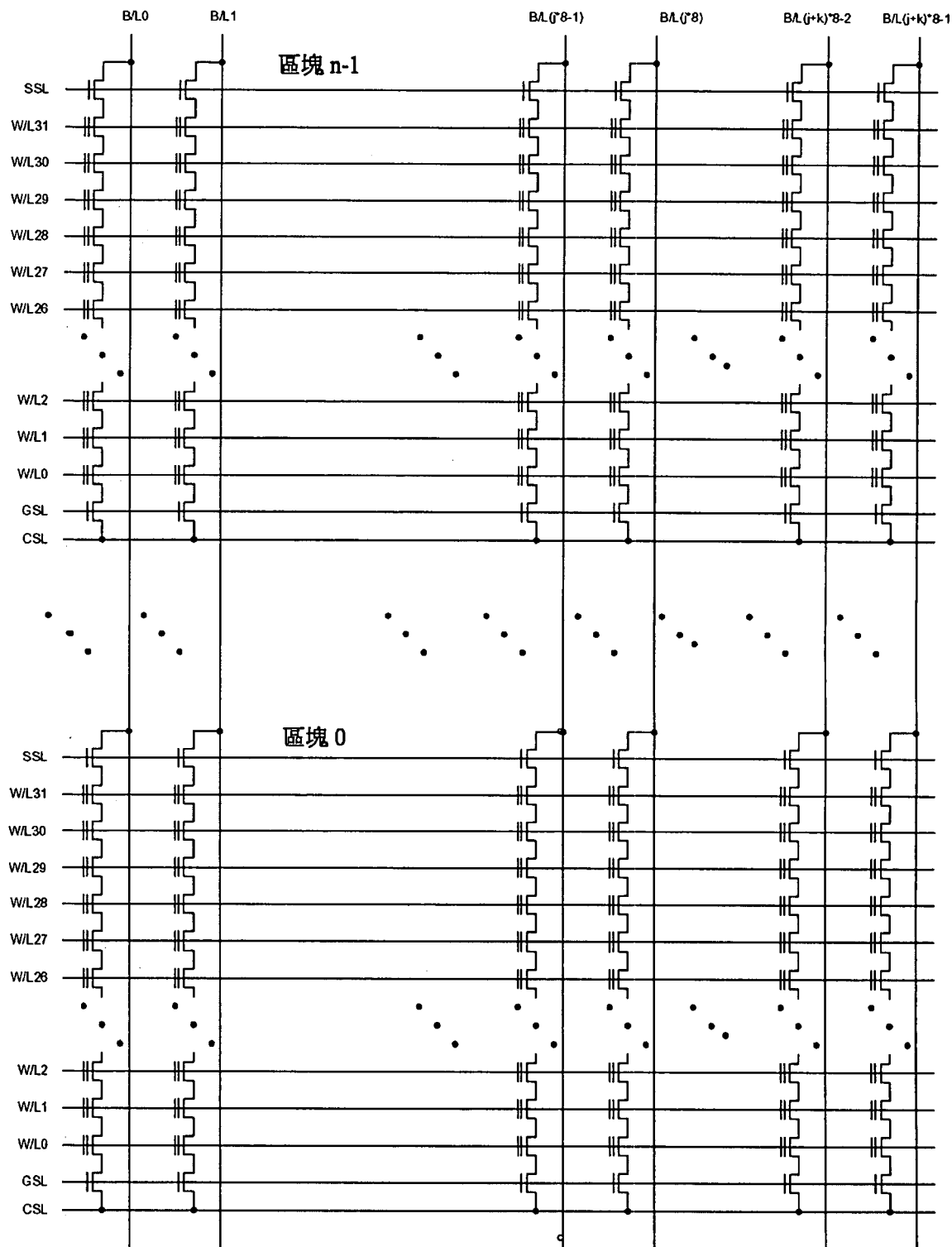


圖 9
先前技術

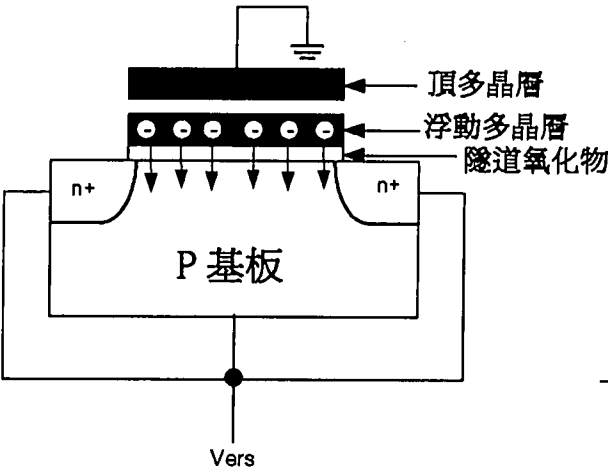


圖 10A
先前技術

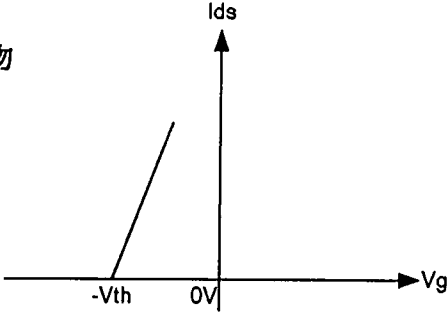


圖 10B
先前技術

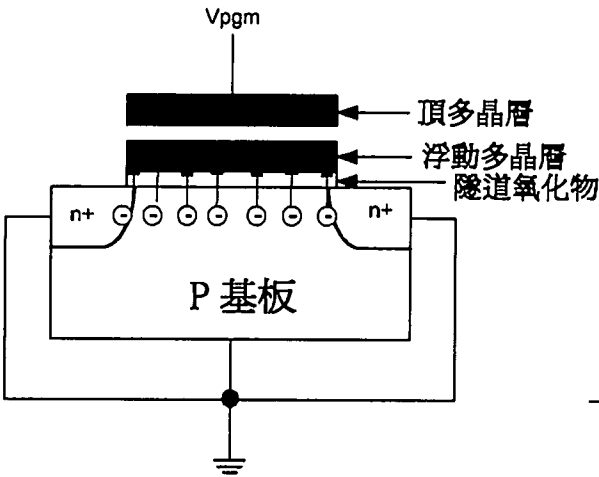


圖 11A
先前技術

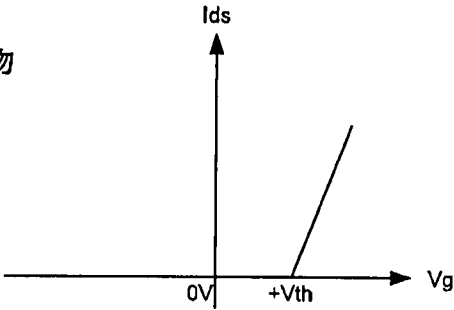


圖 11B
先前技術

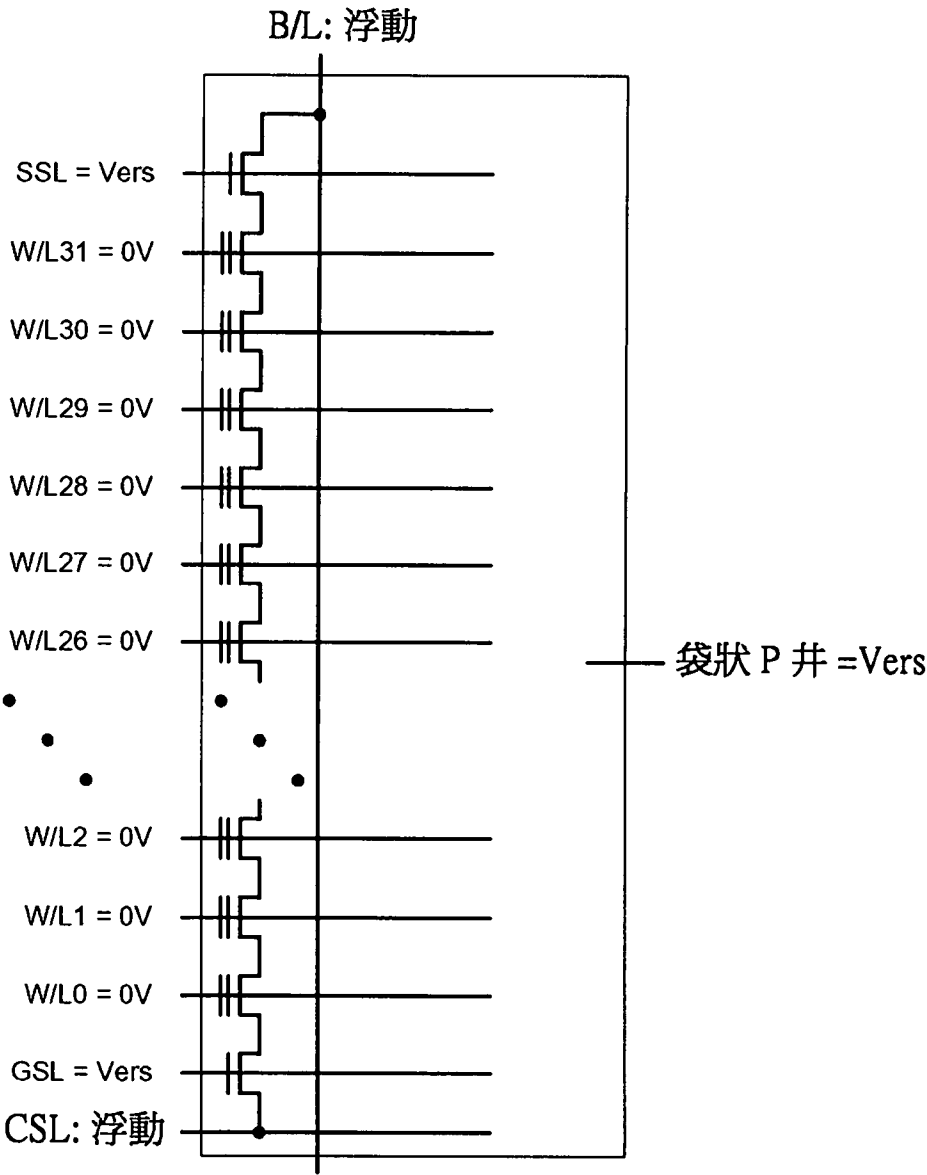


圖 12
先前技術

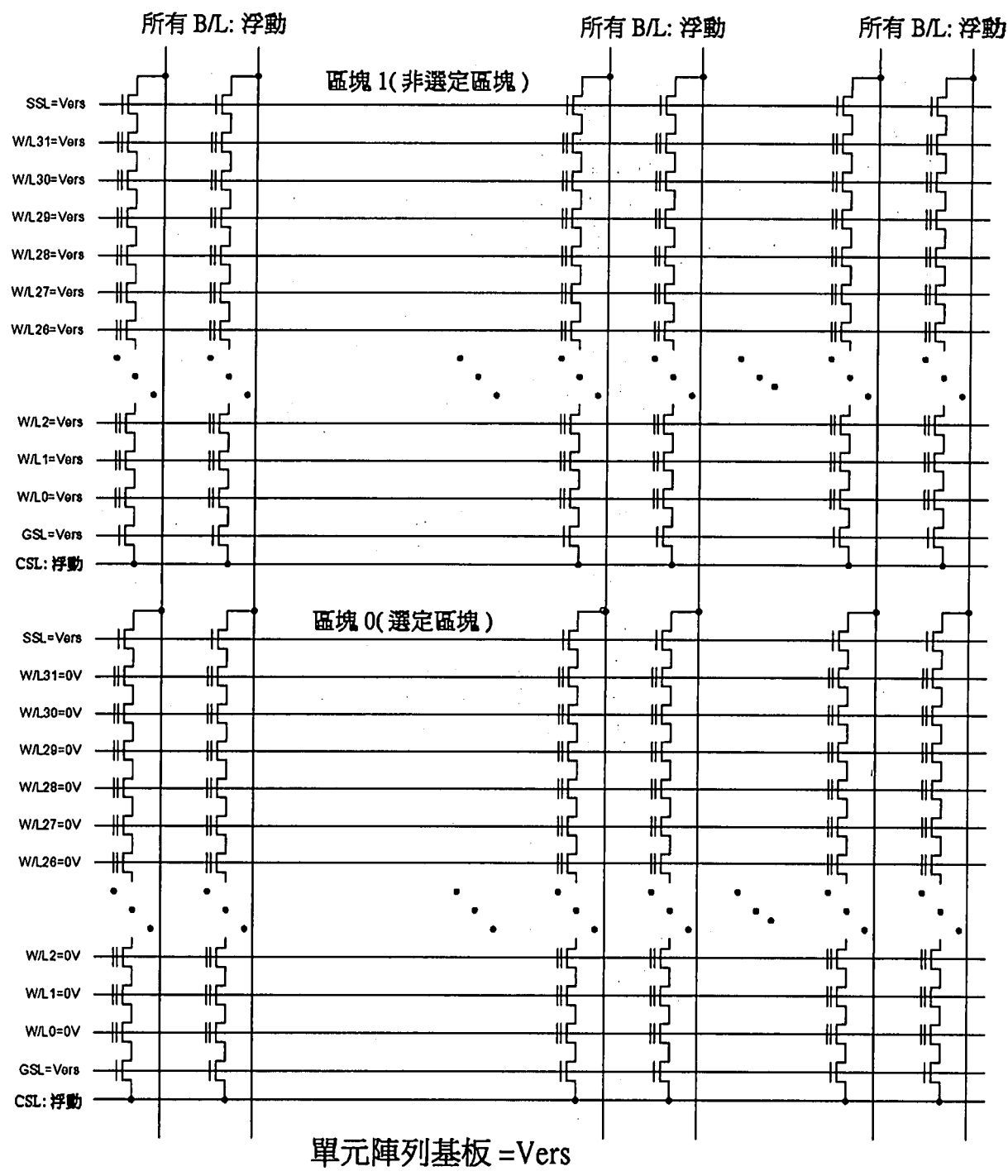


圖 13
先前技術

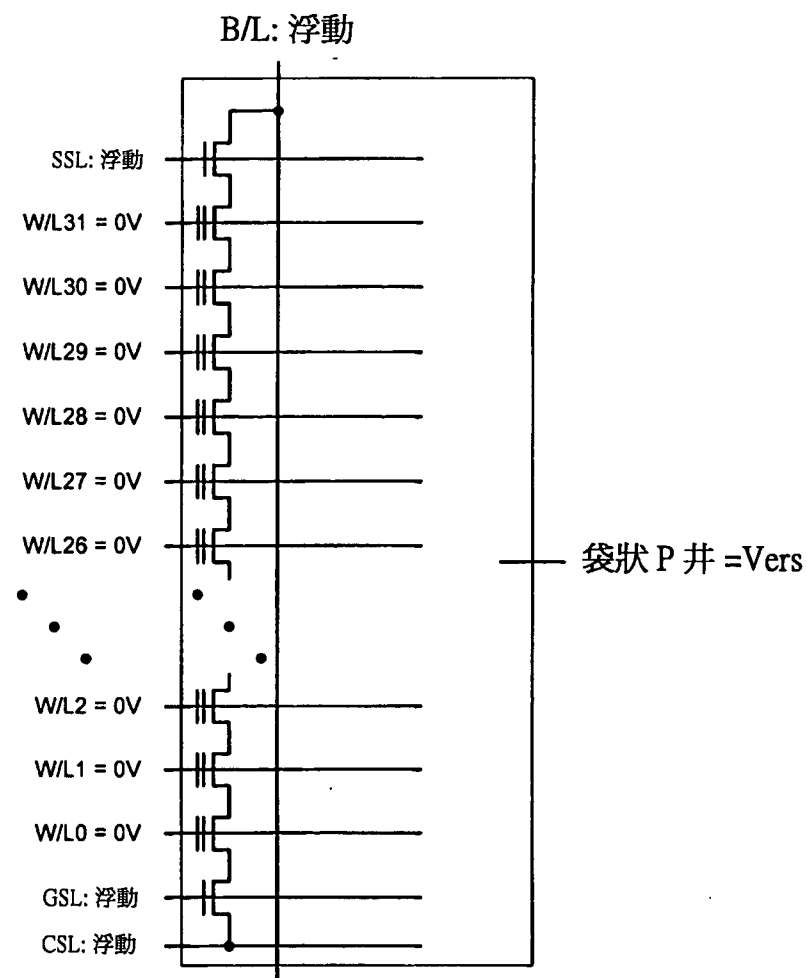


圖 14
先前技術

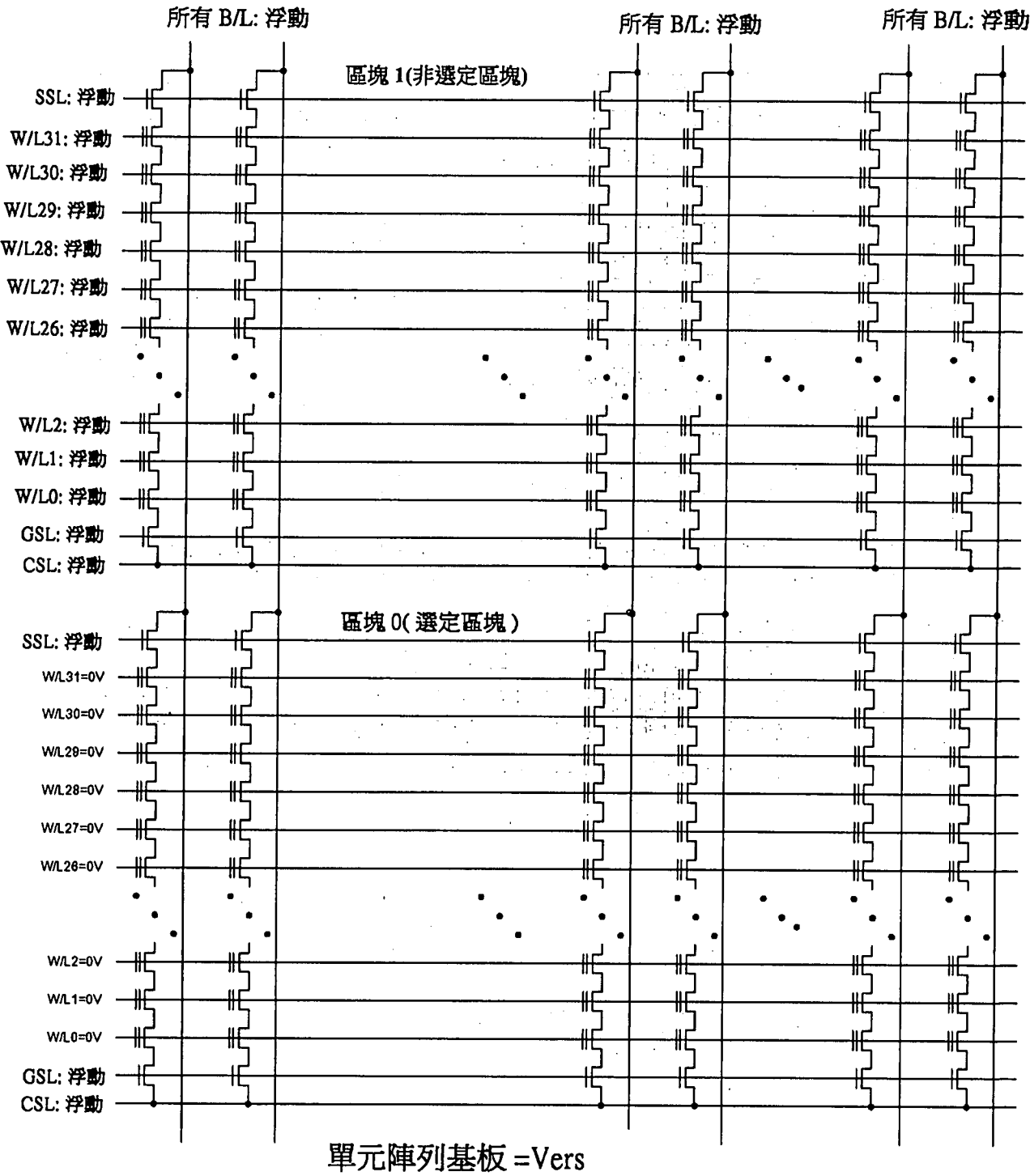


圖 15
先前技術

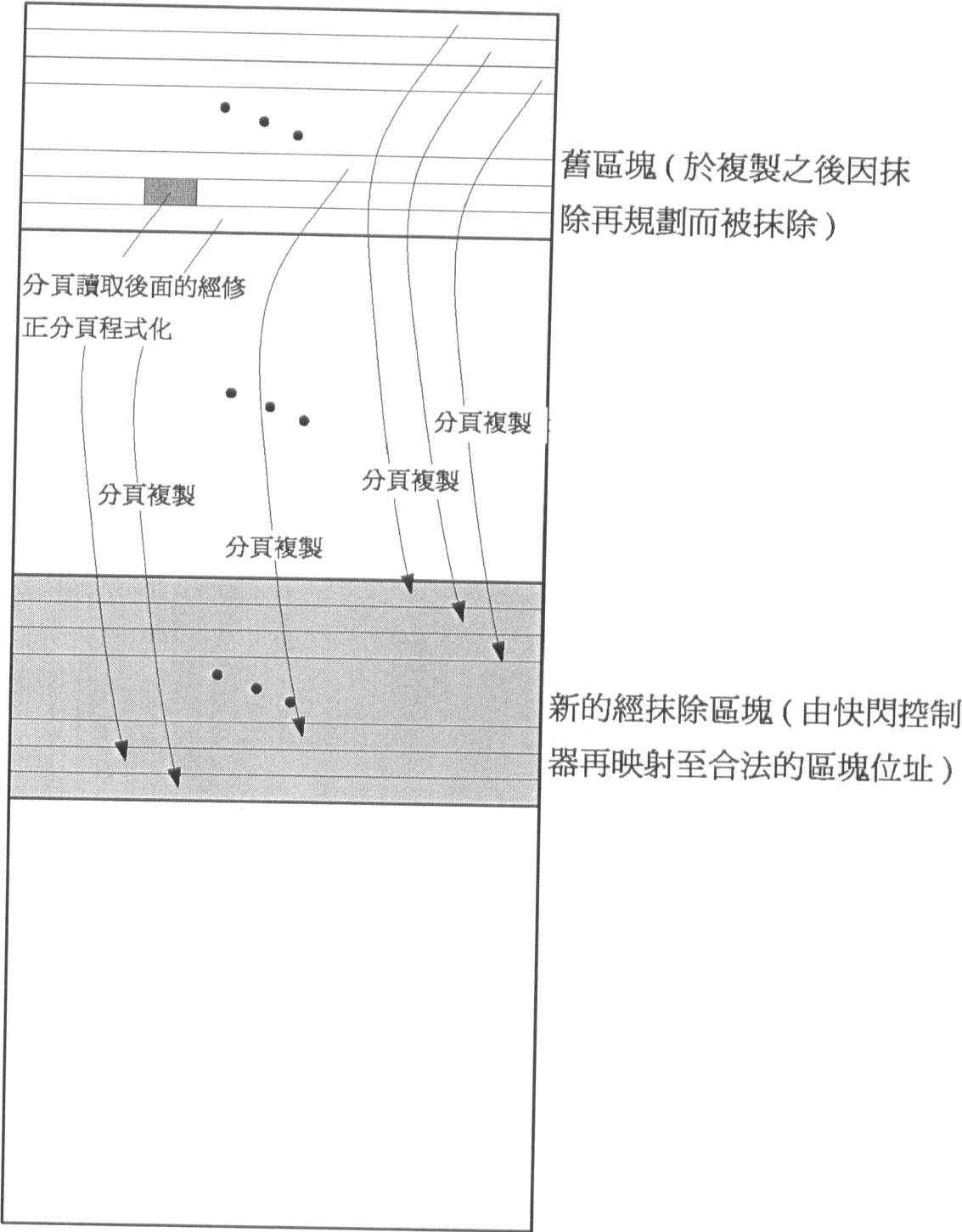


圖 16

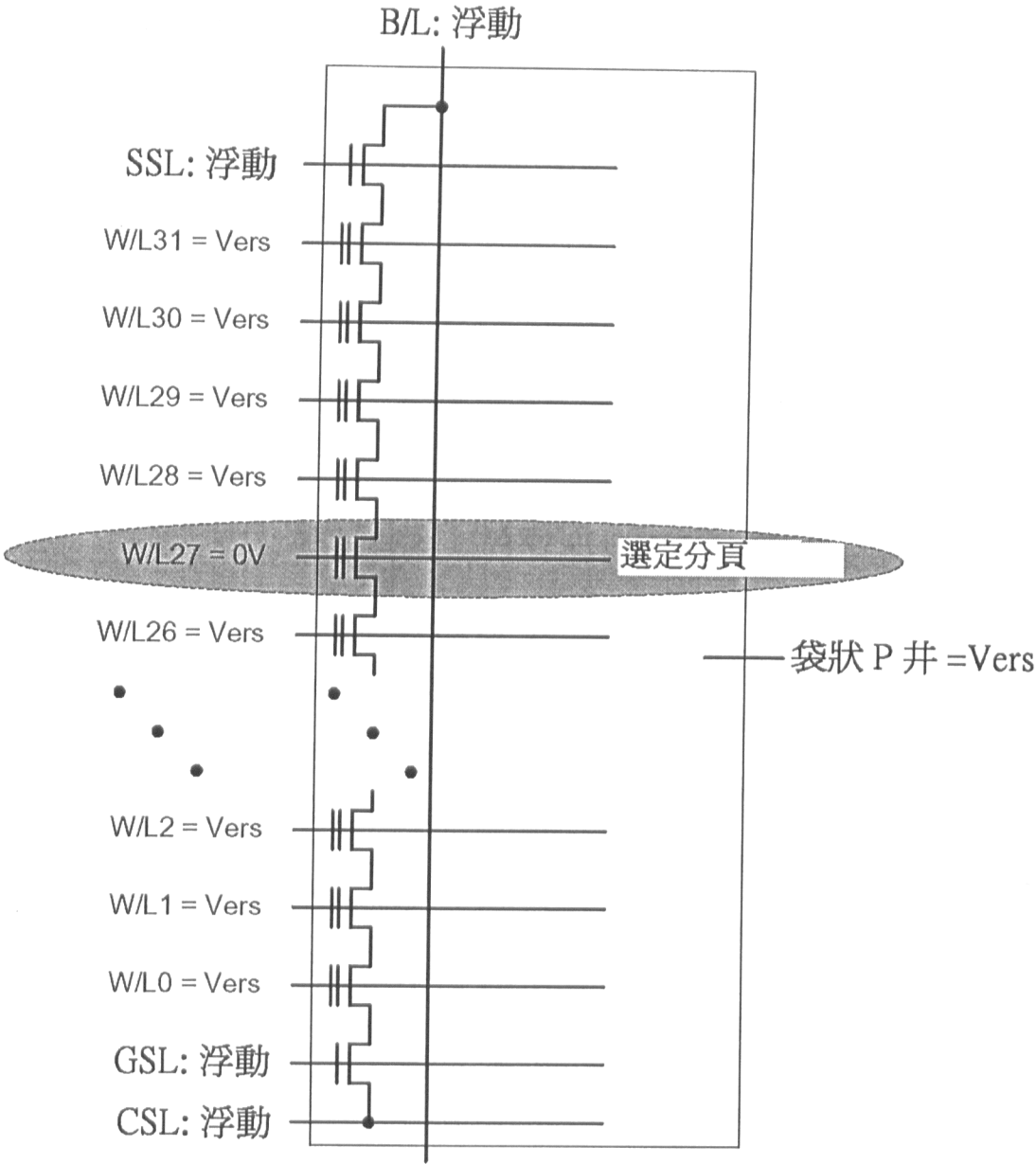


圖 17

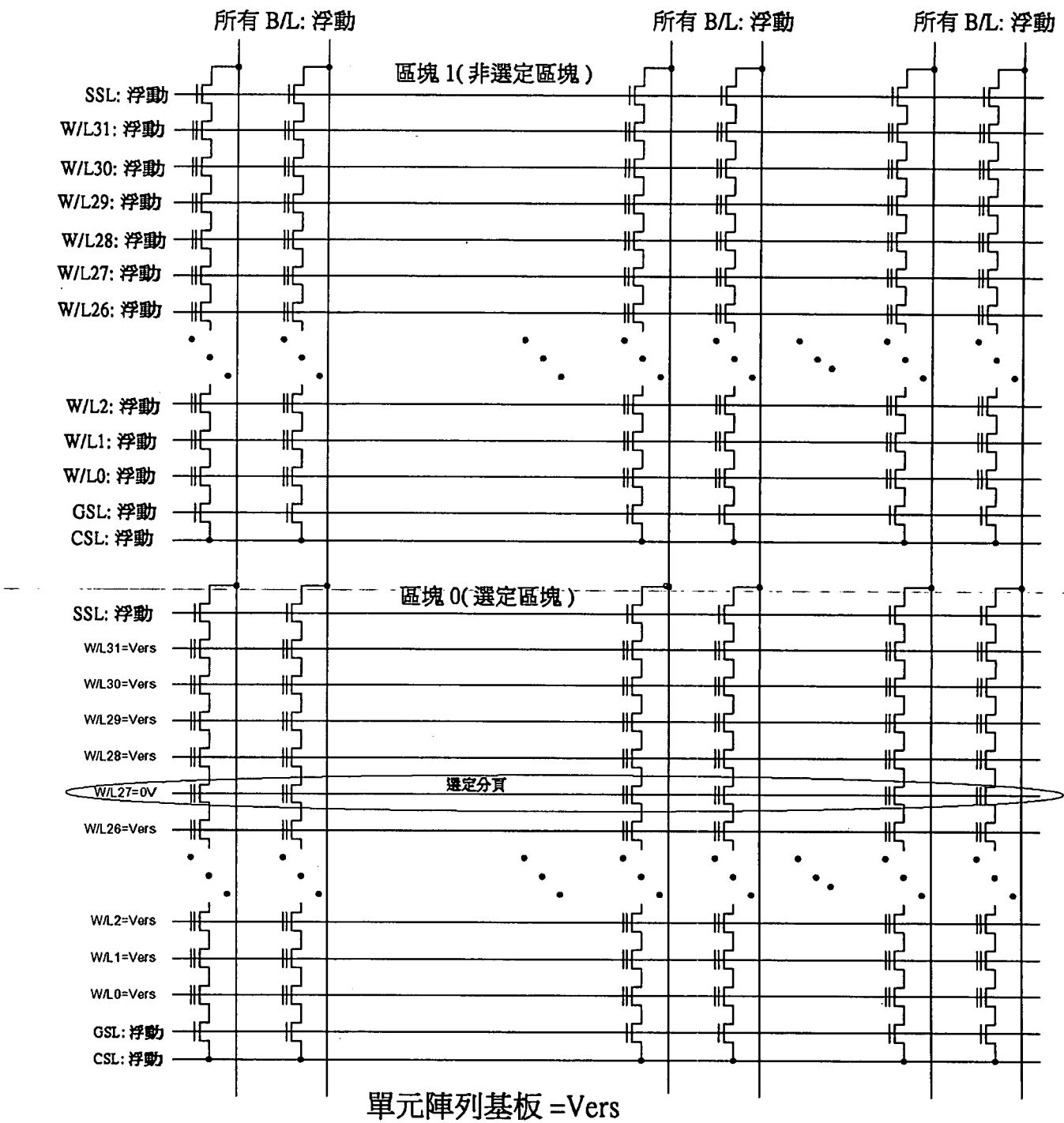


圖 18

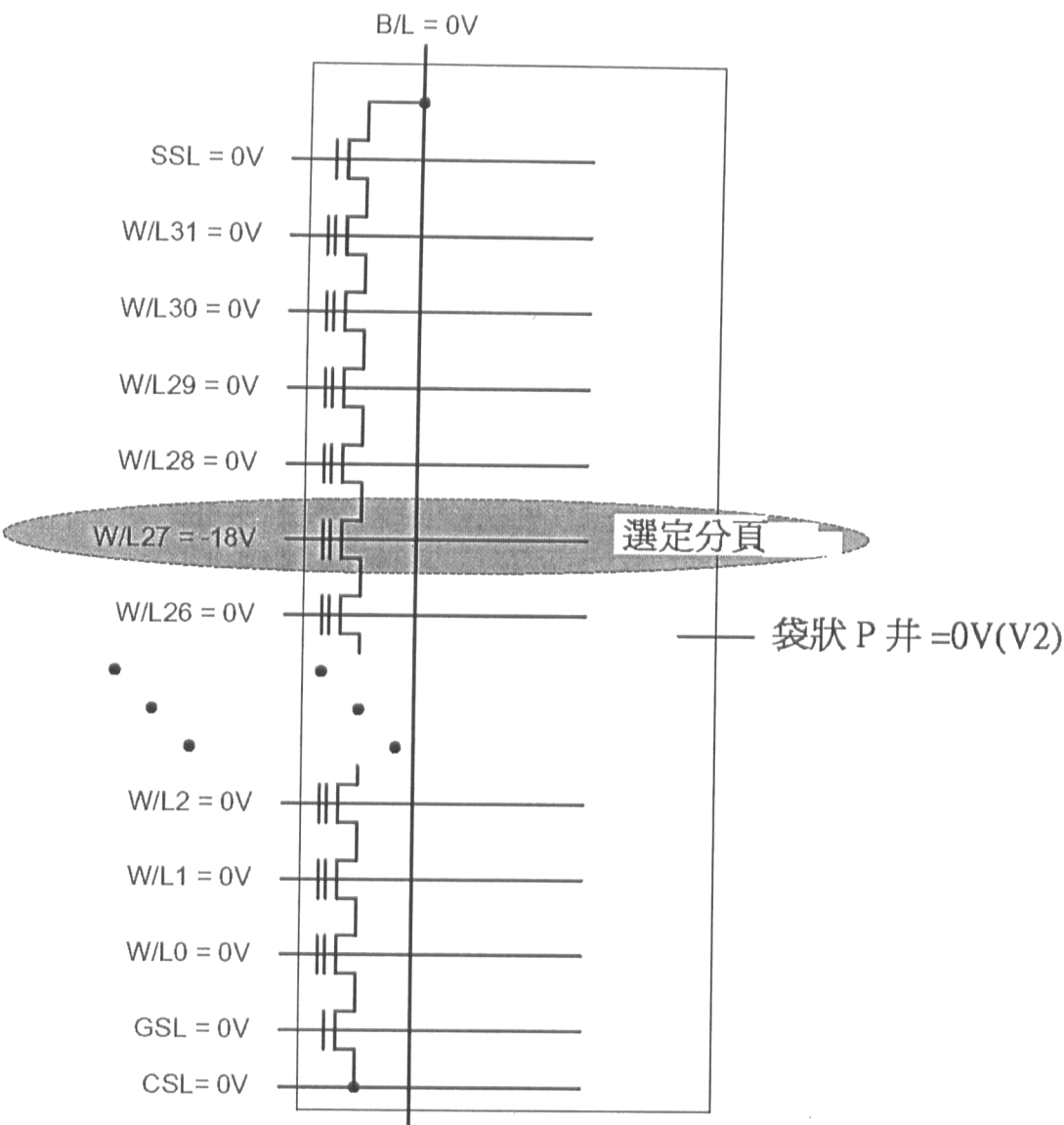


圖 19

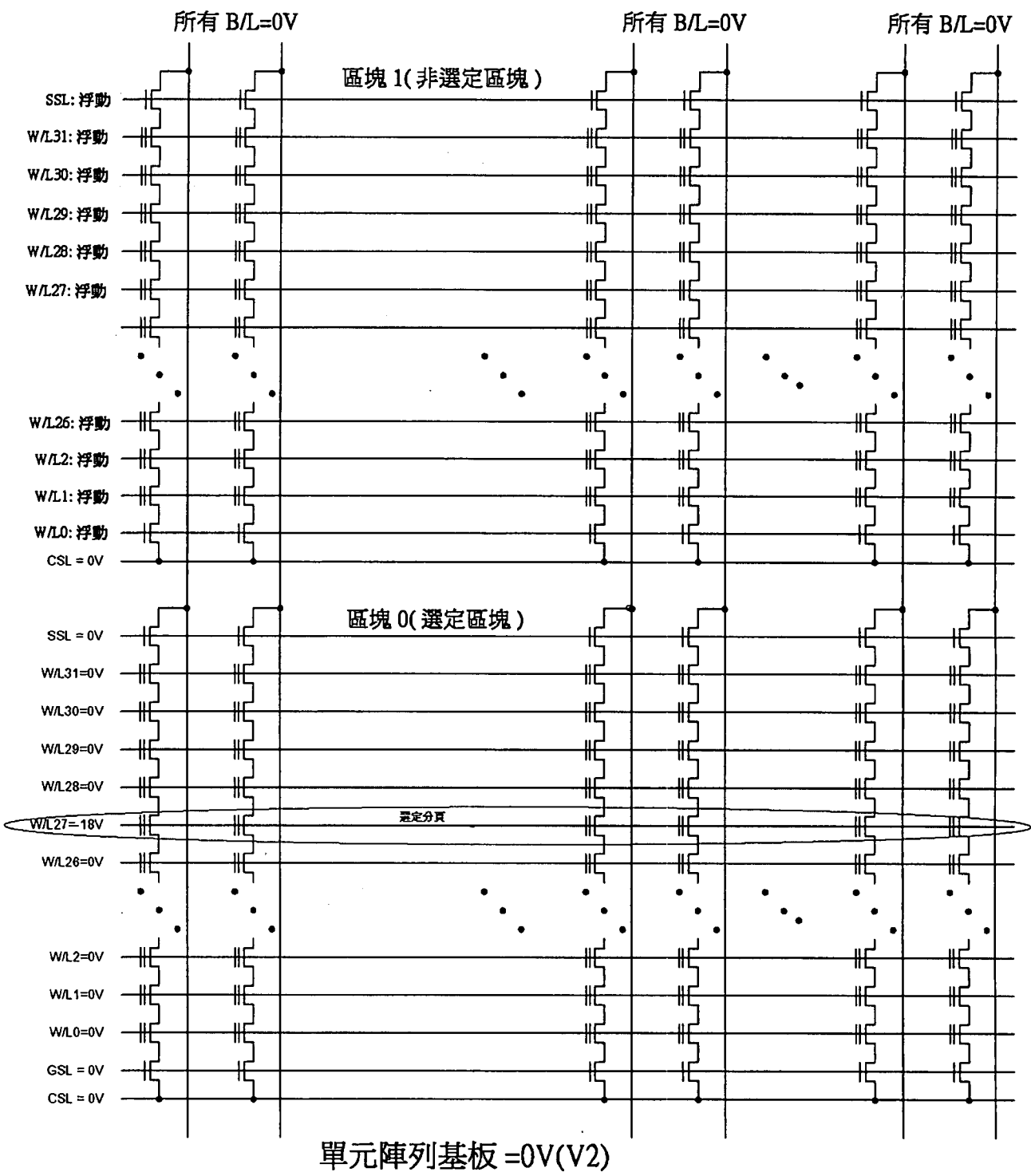


圖 20

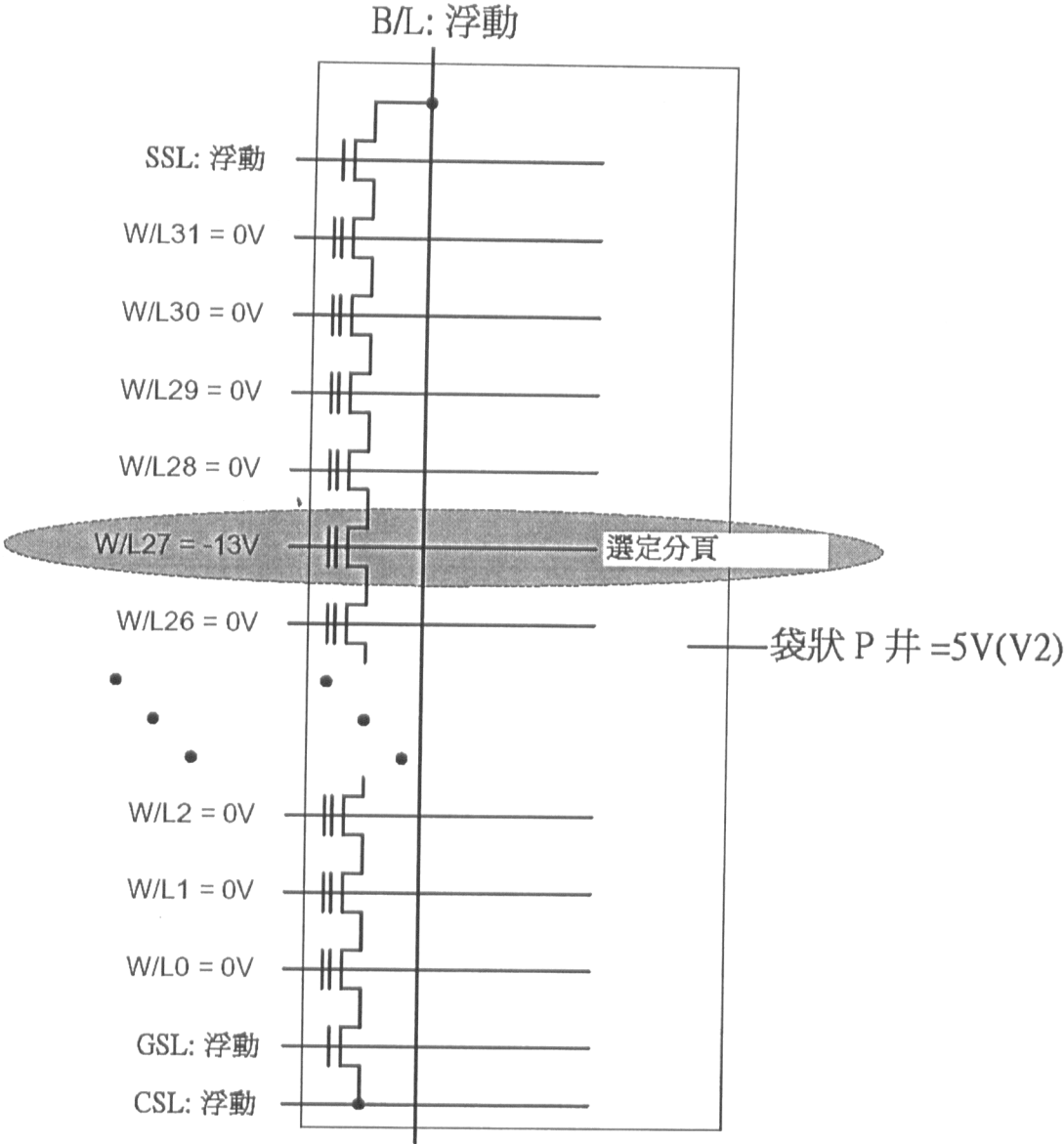


圖 21

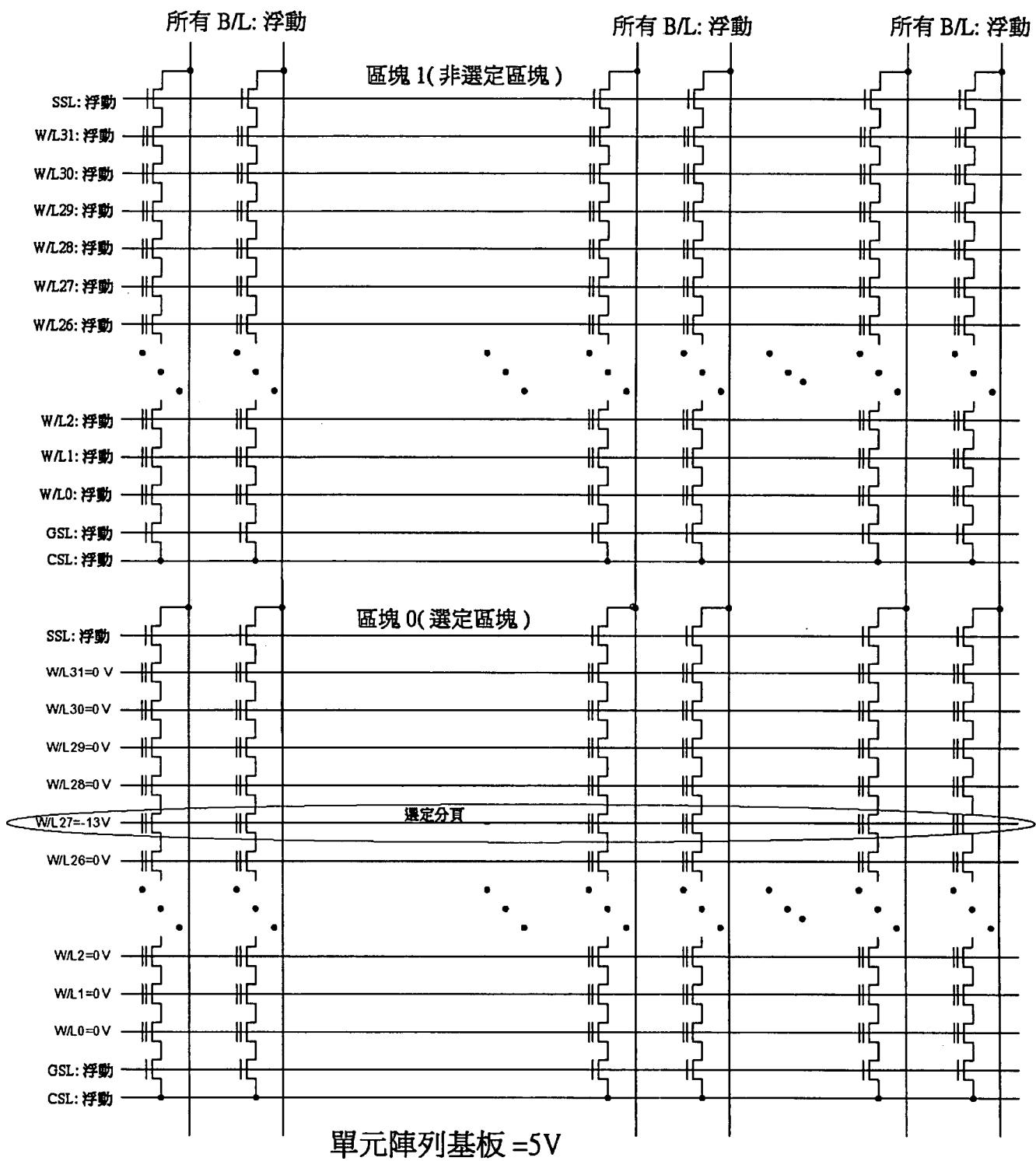


圖 22

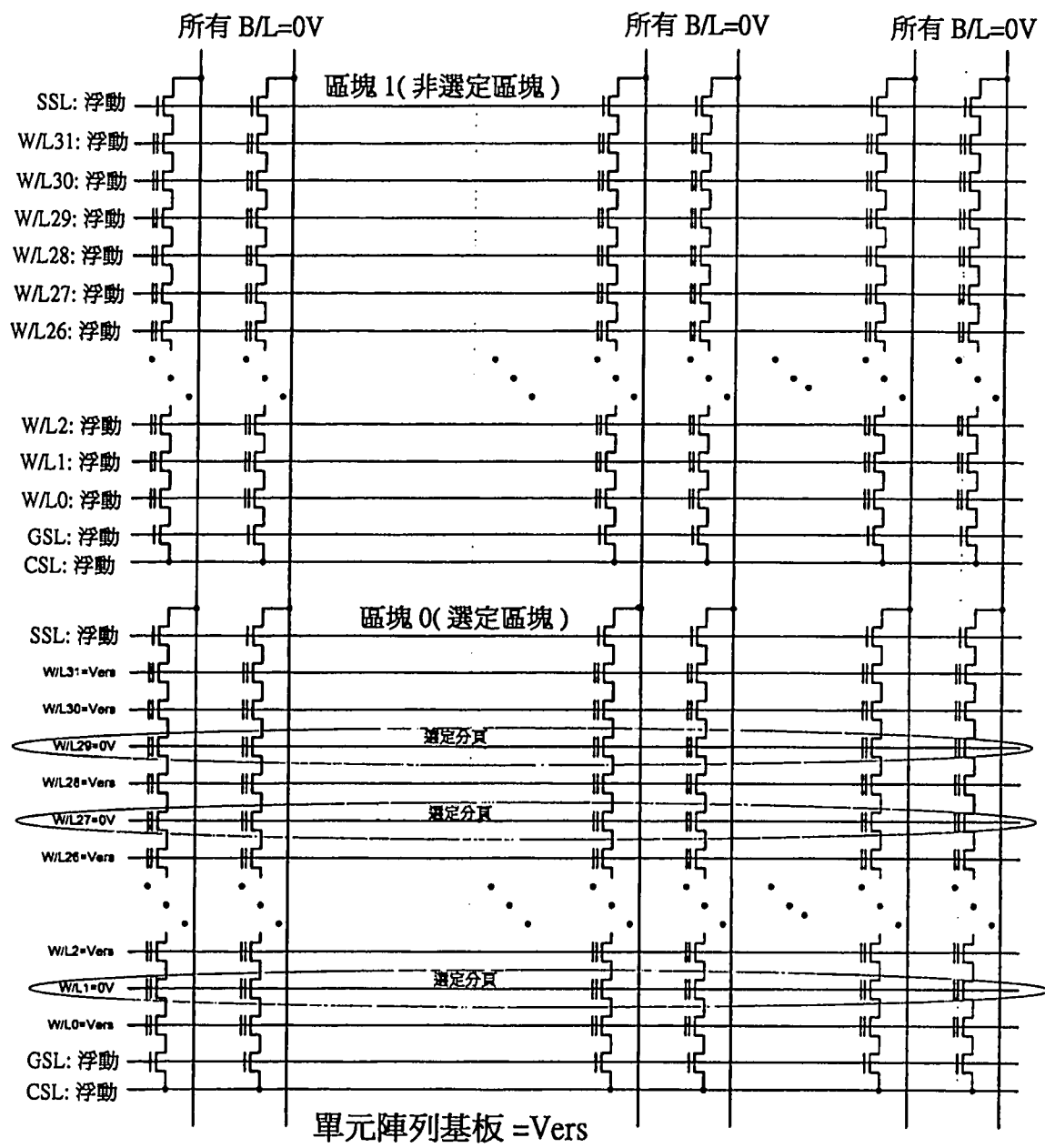


圖 23

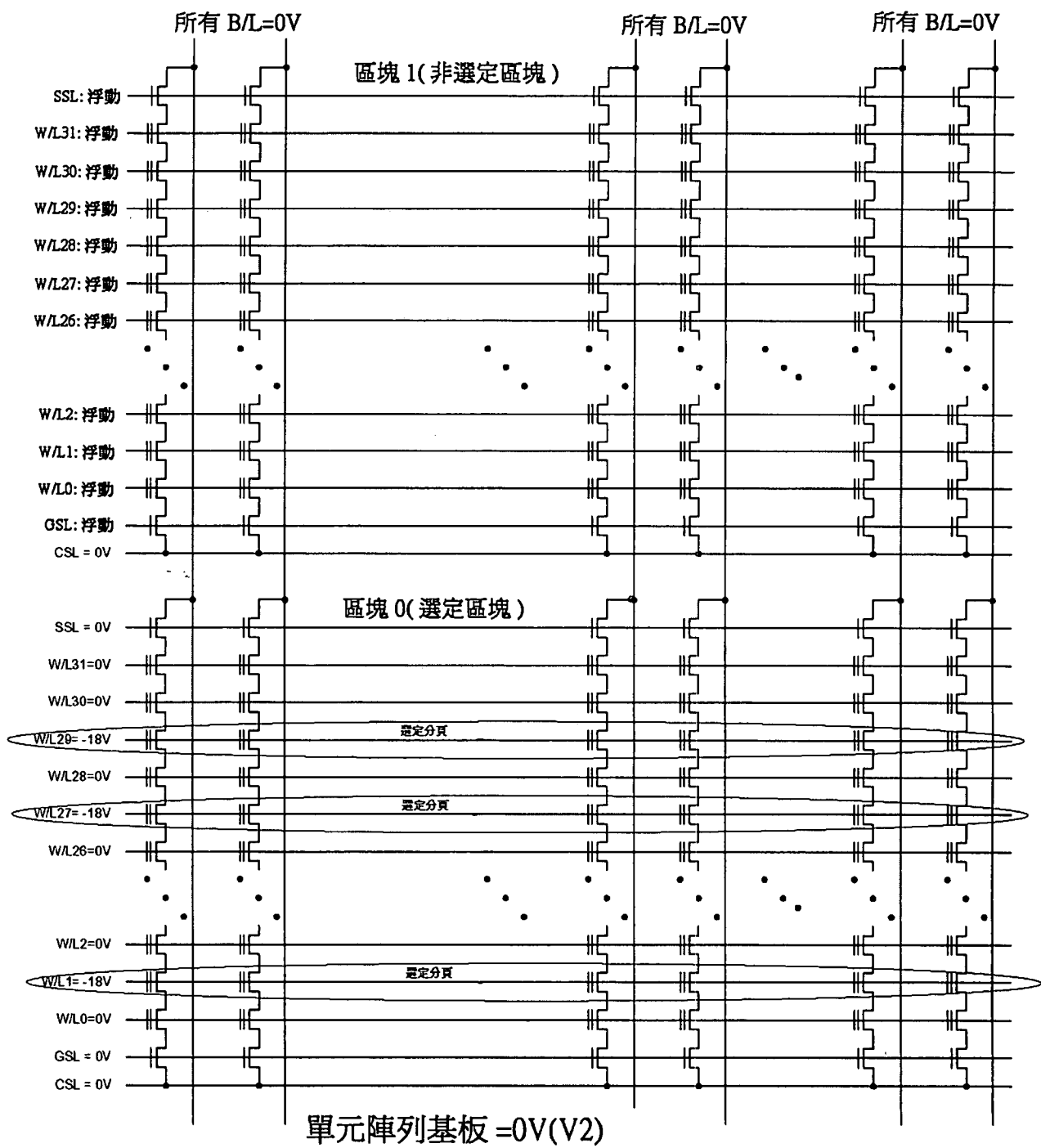


圖 24

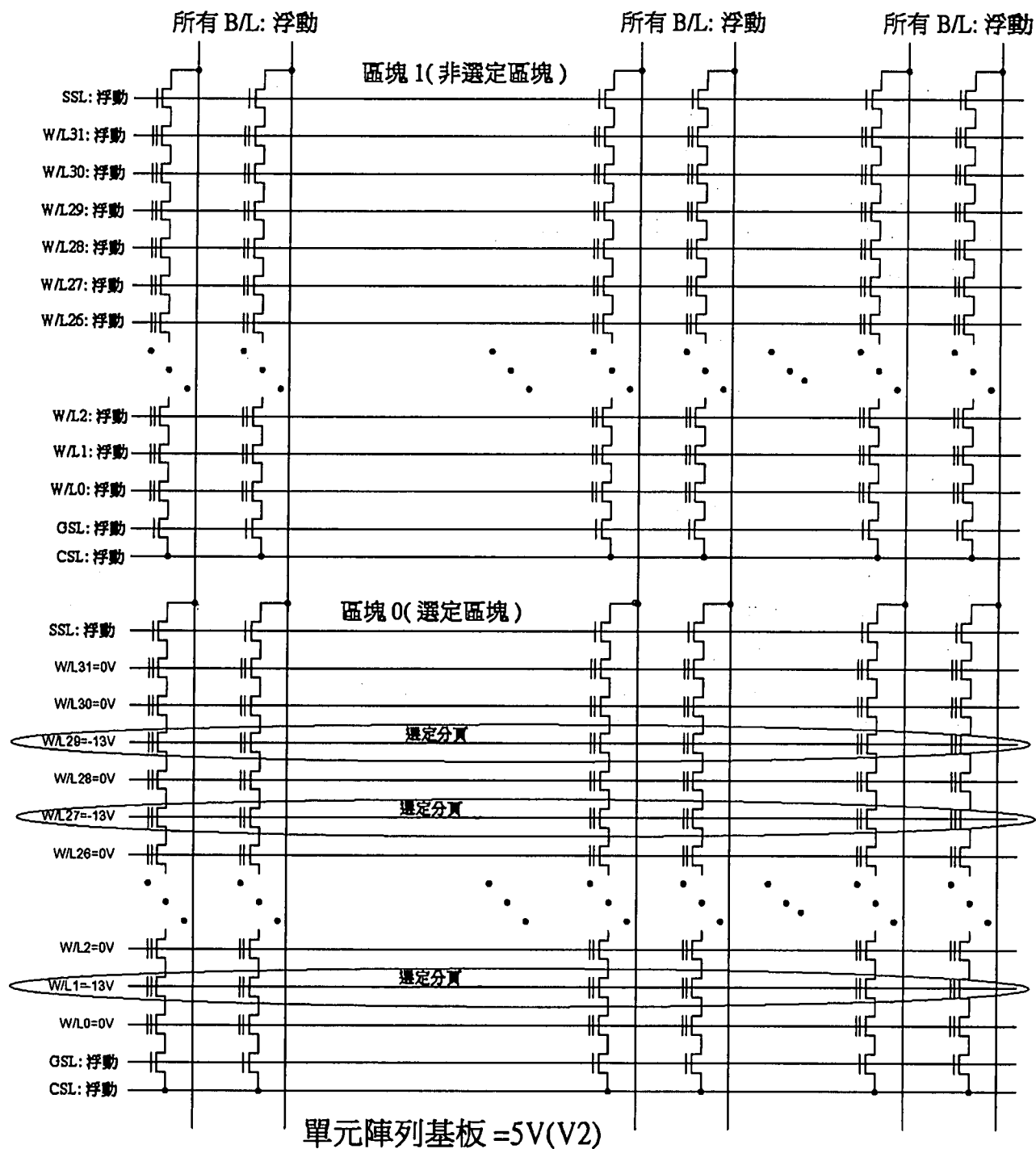


圖 25

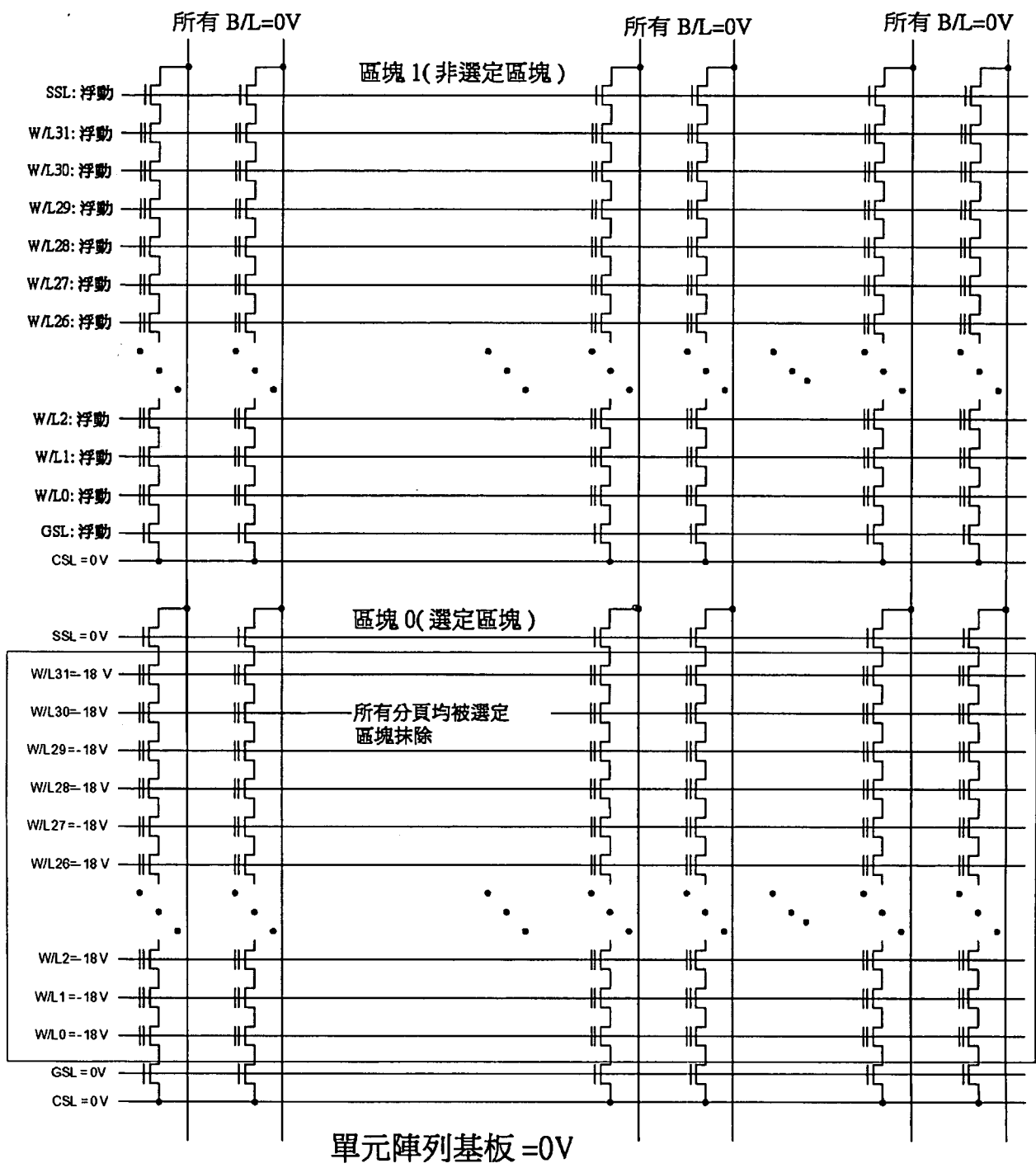


圖 26

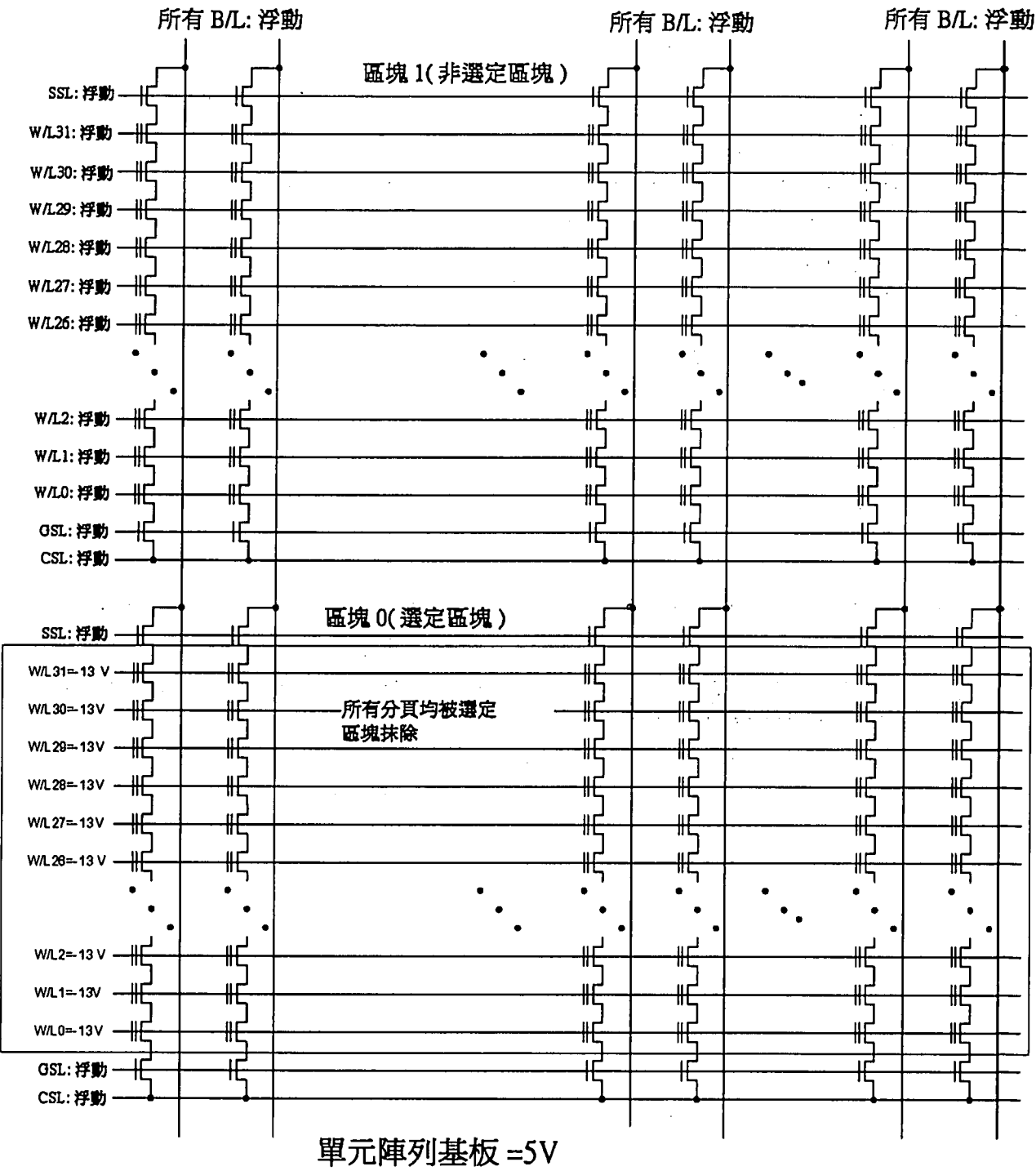


圖 27

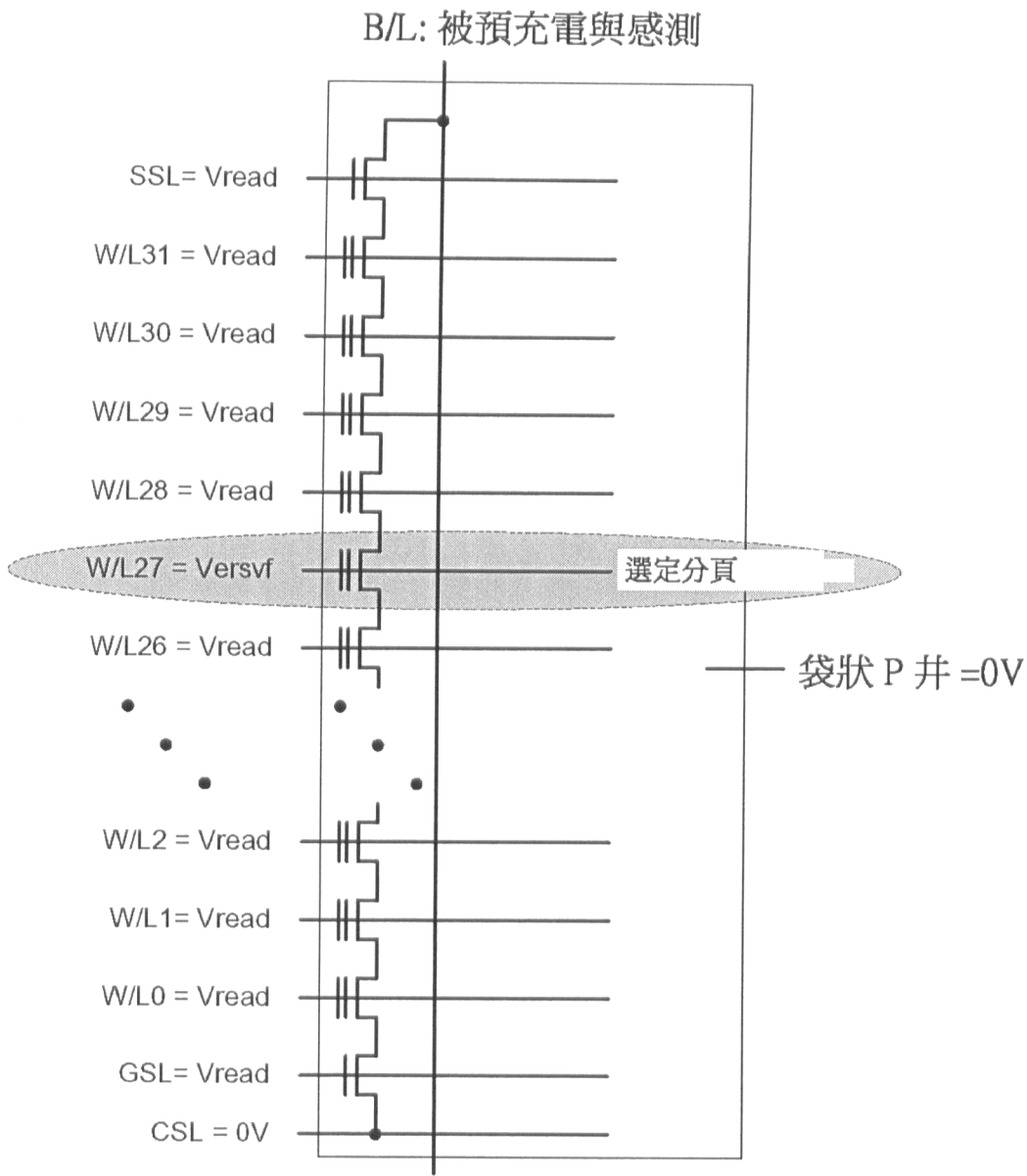


圖 28

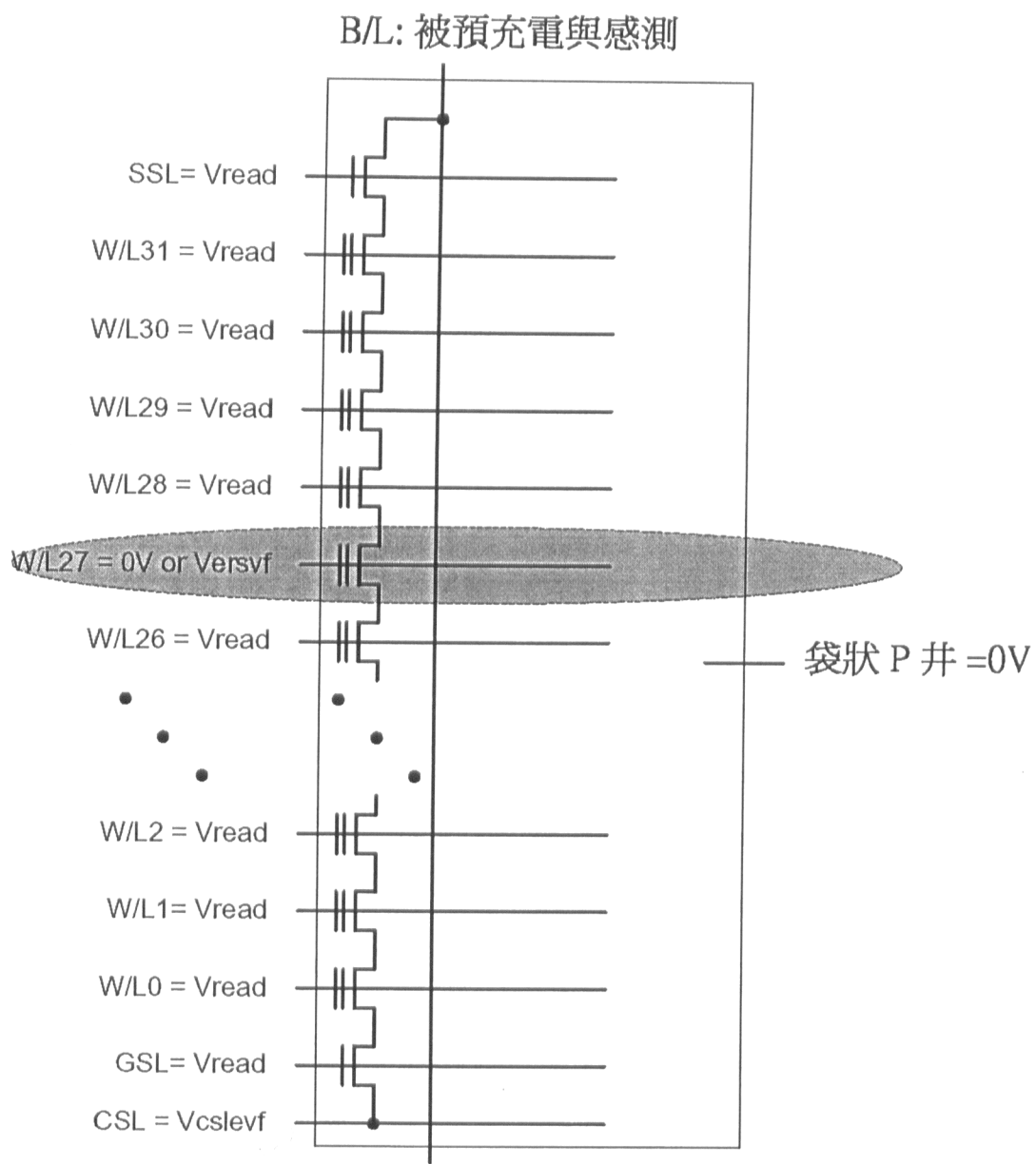


圖 29

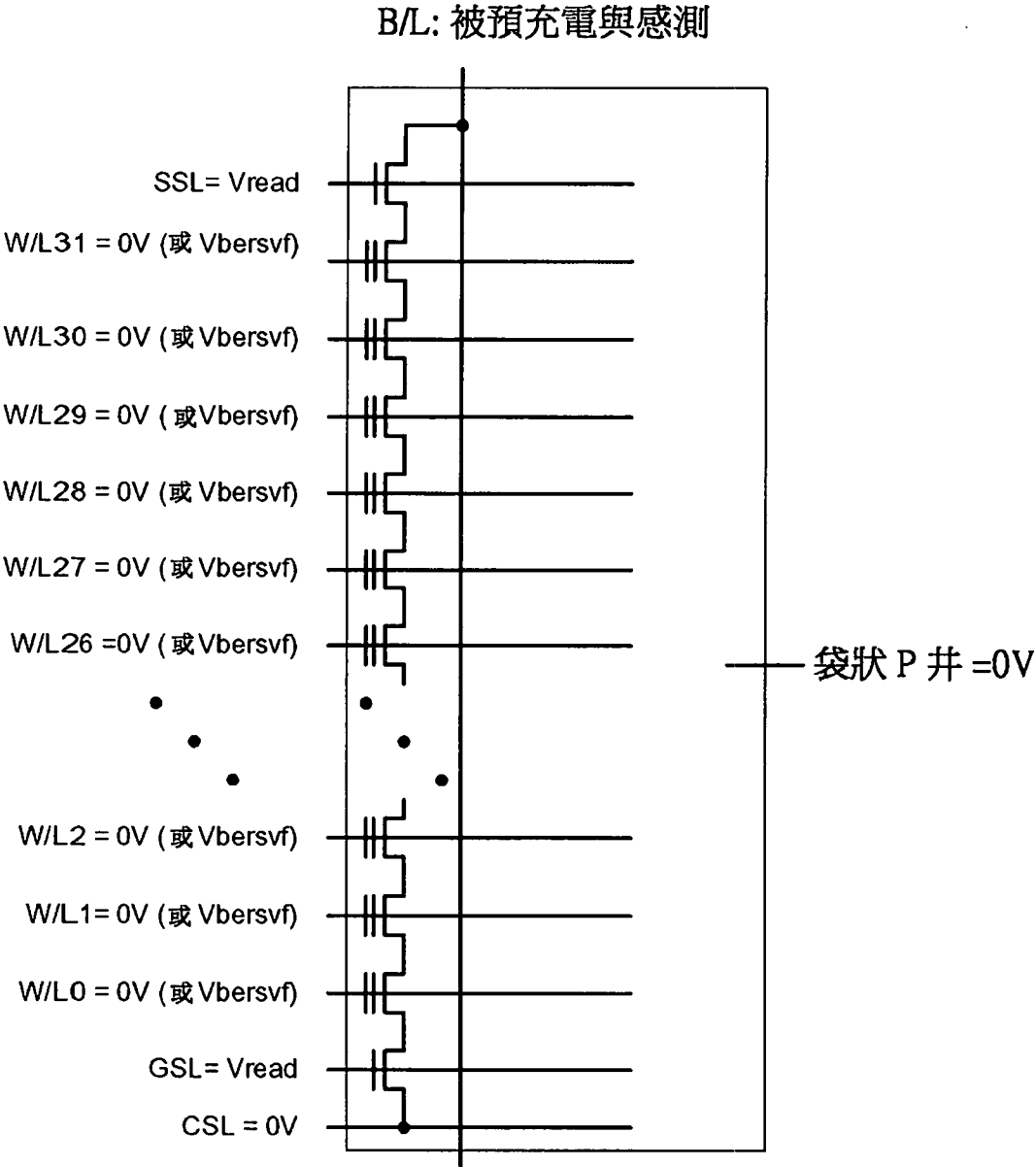


圖 30

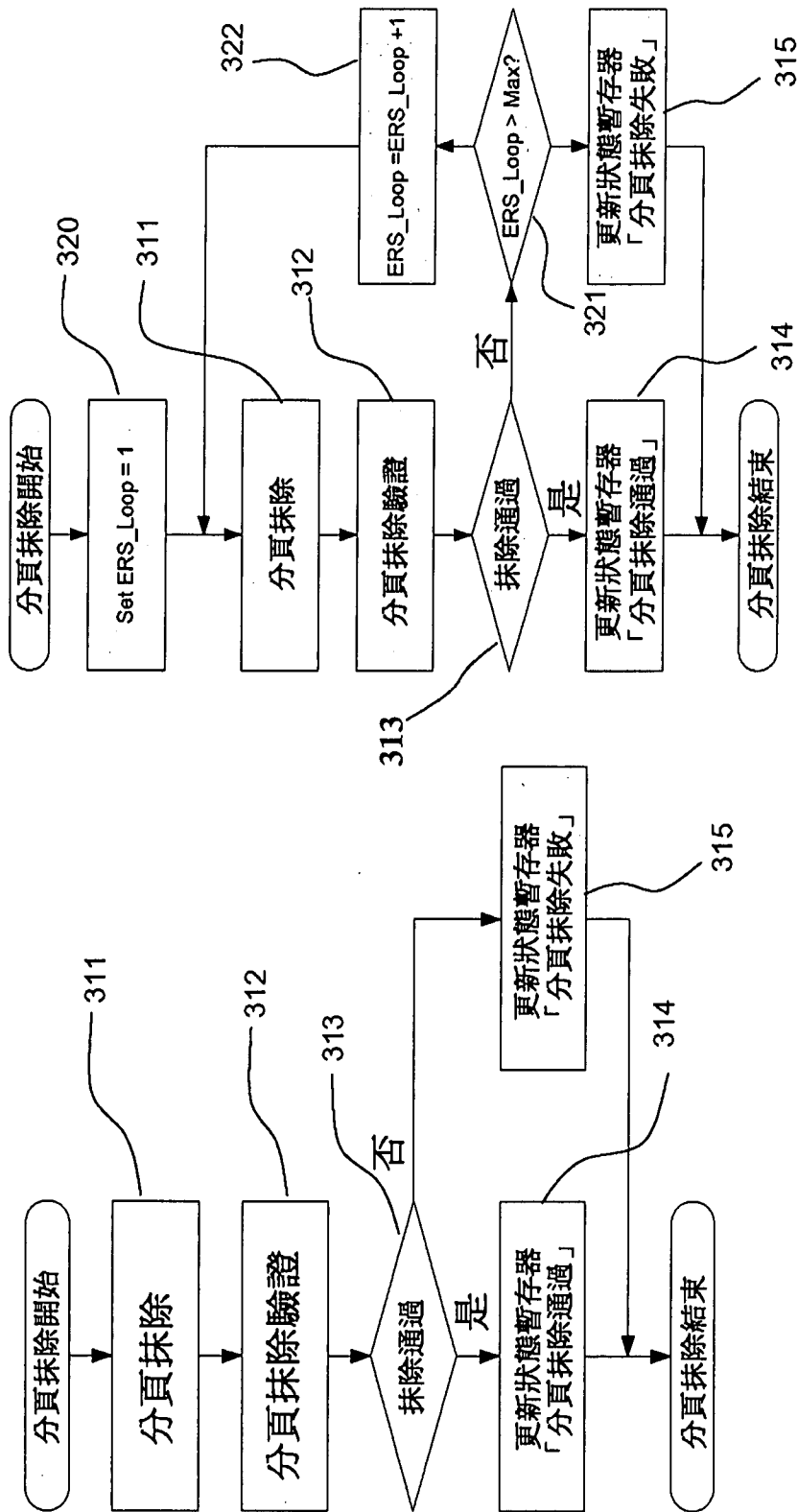


圖 31

圖 32

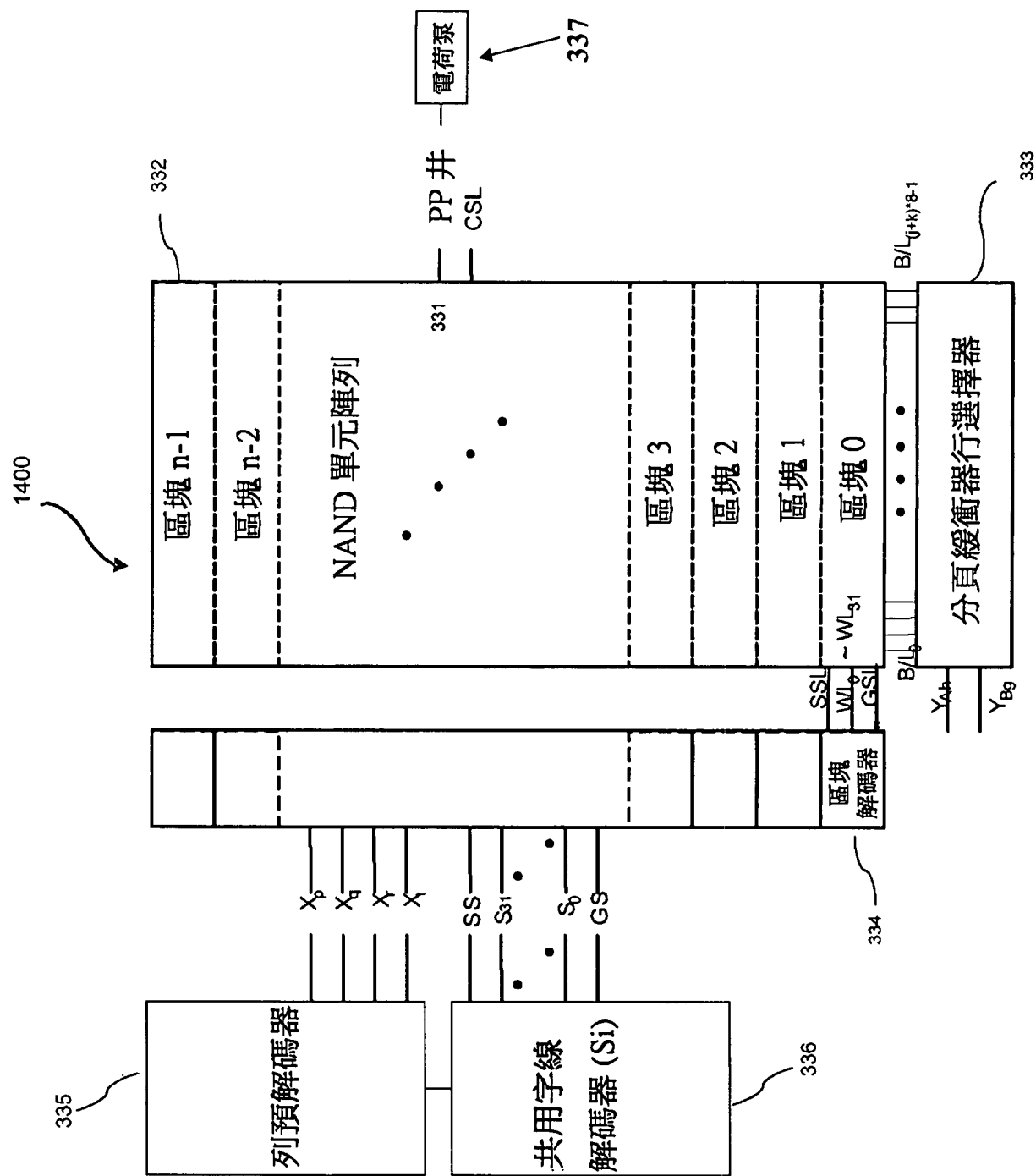
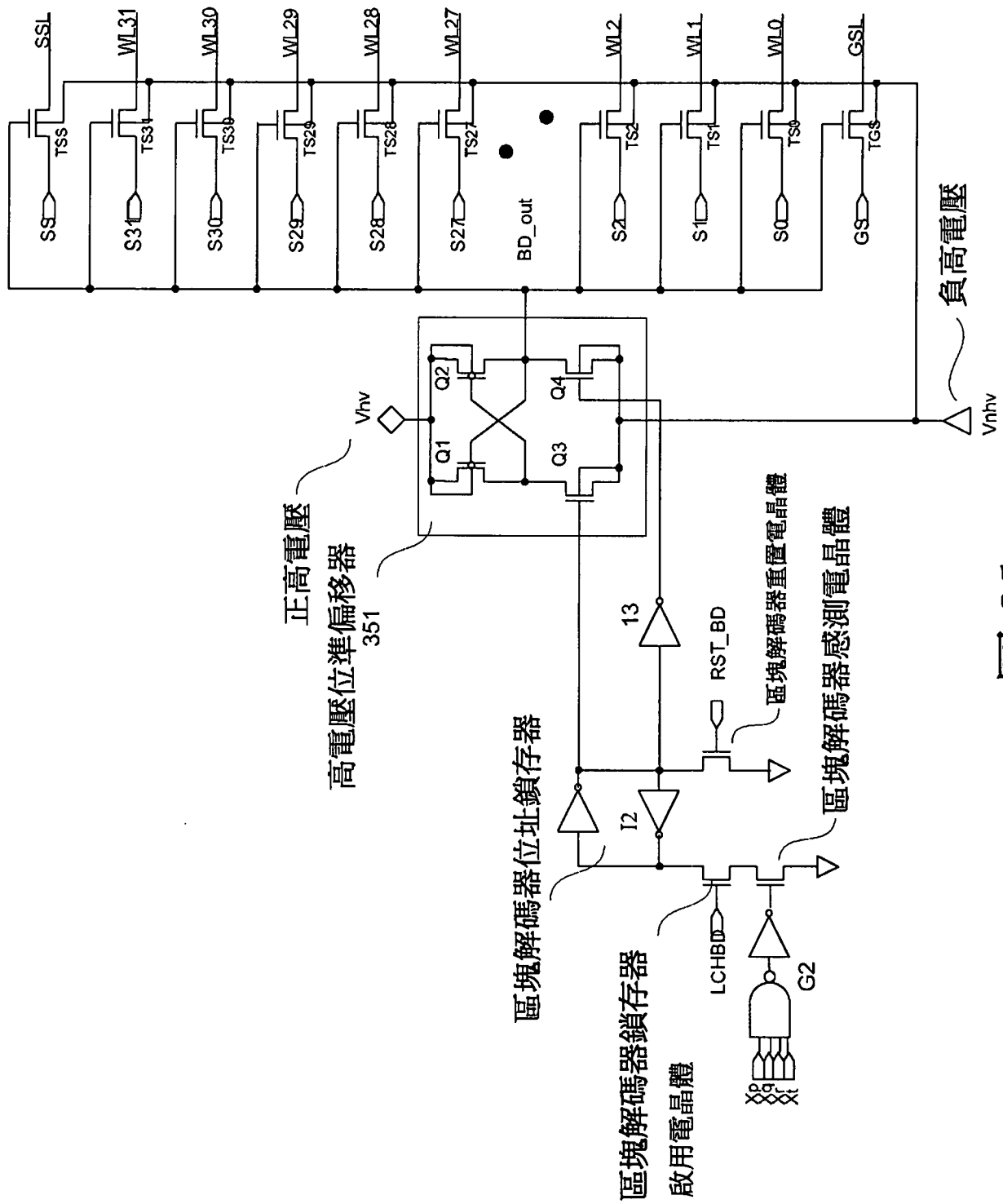


圖 33



35
圖



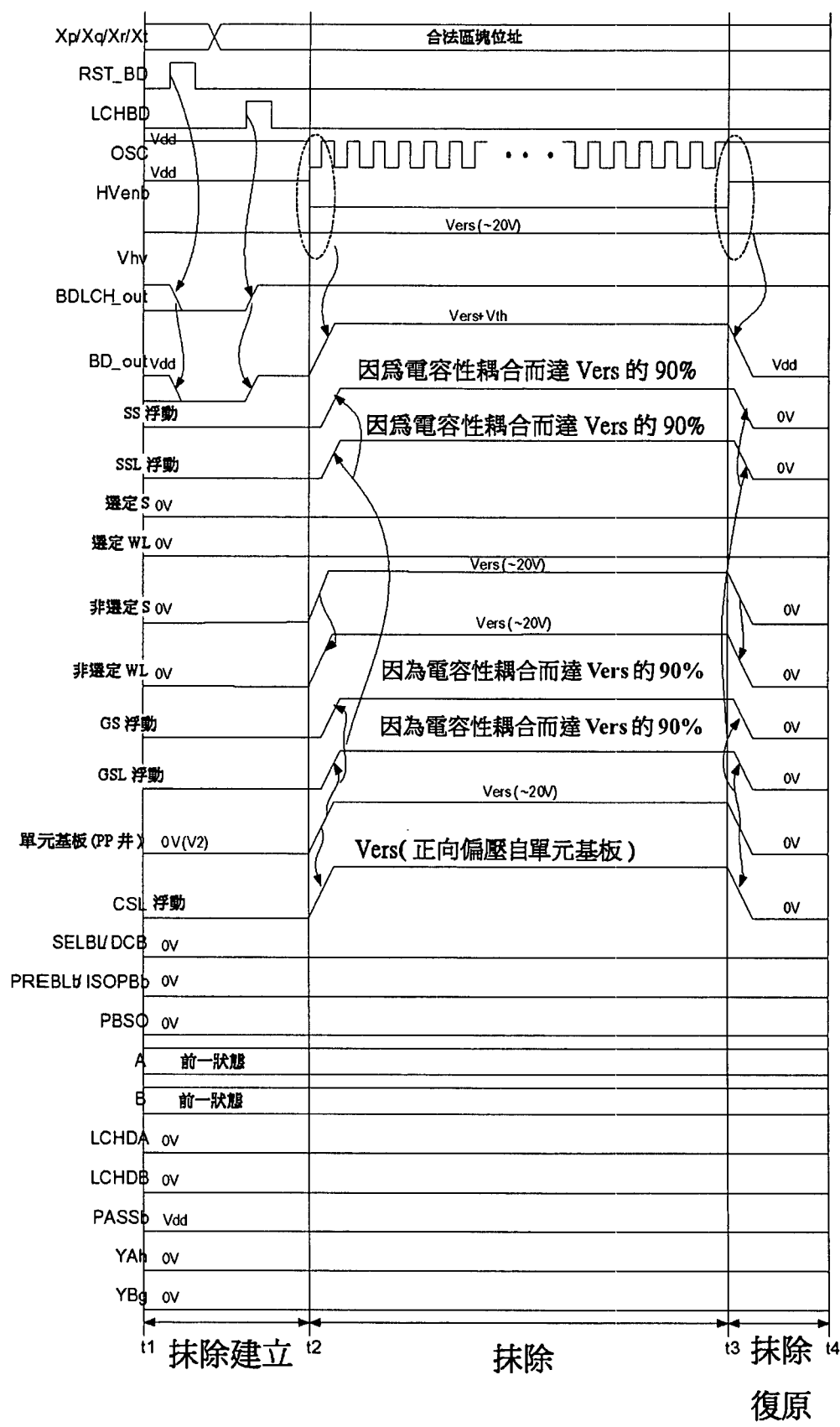


圖 37

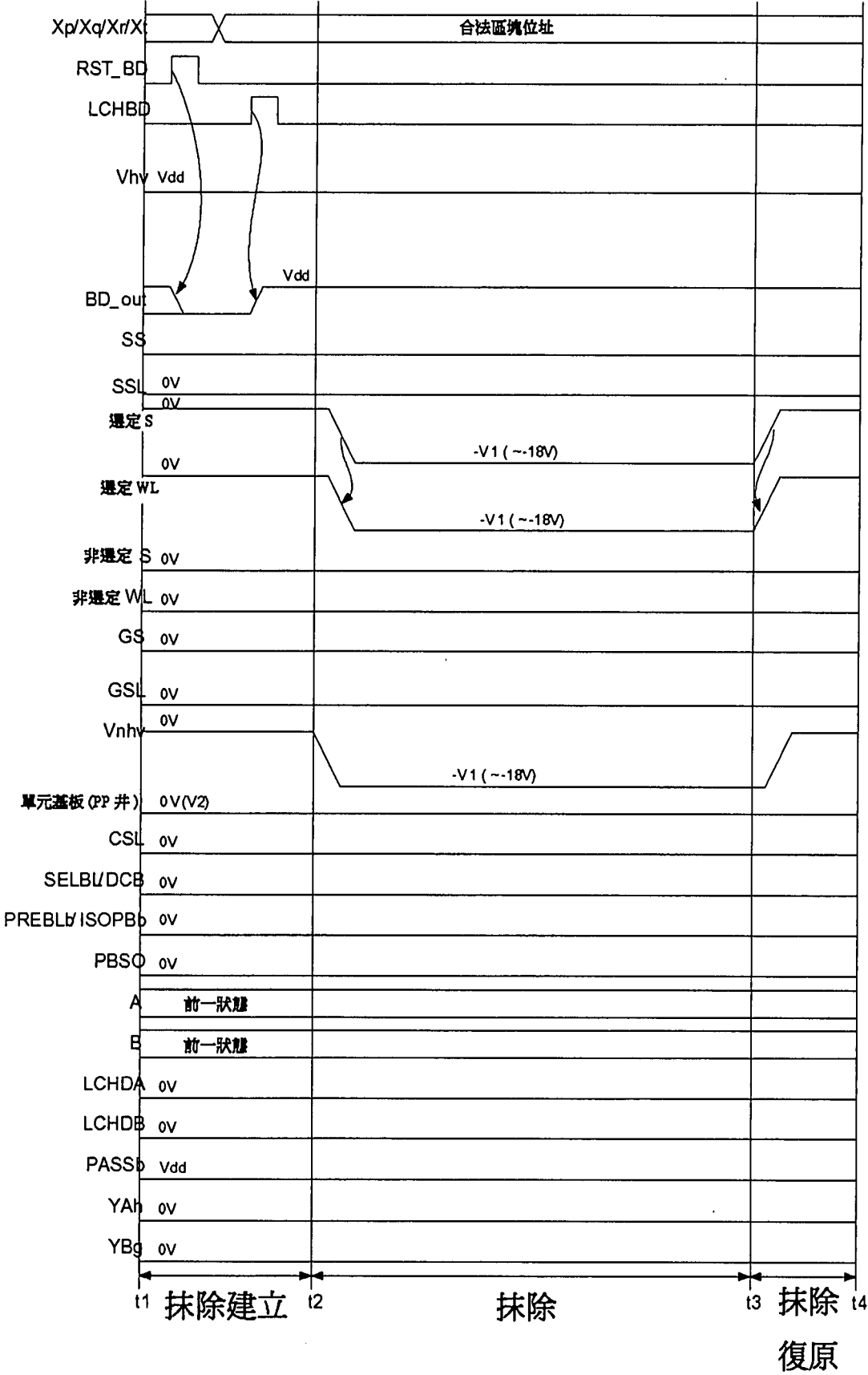


圖 38

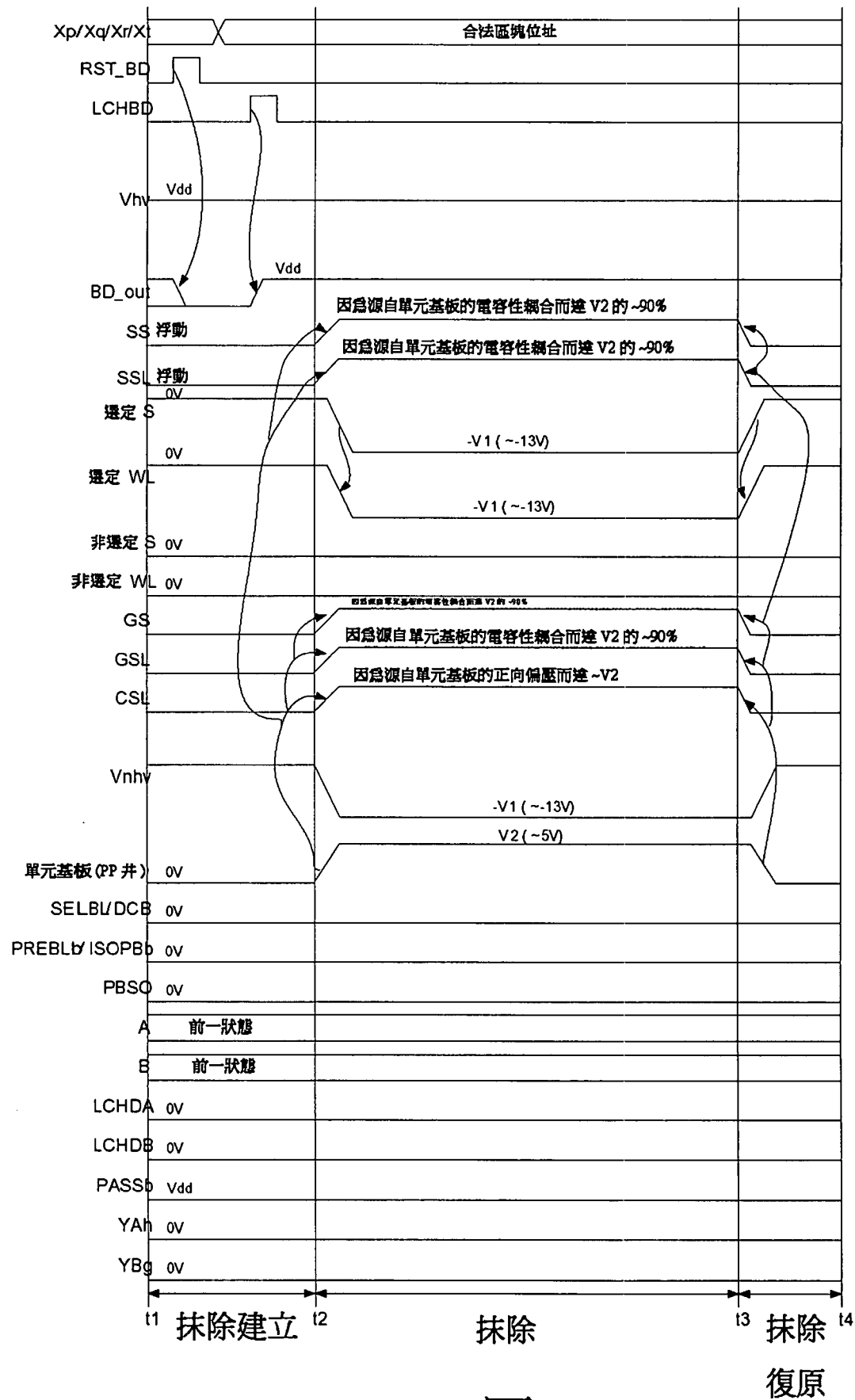


圖 39

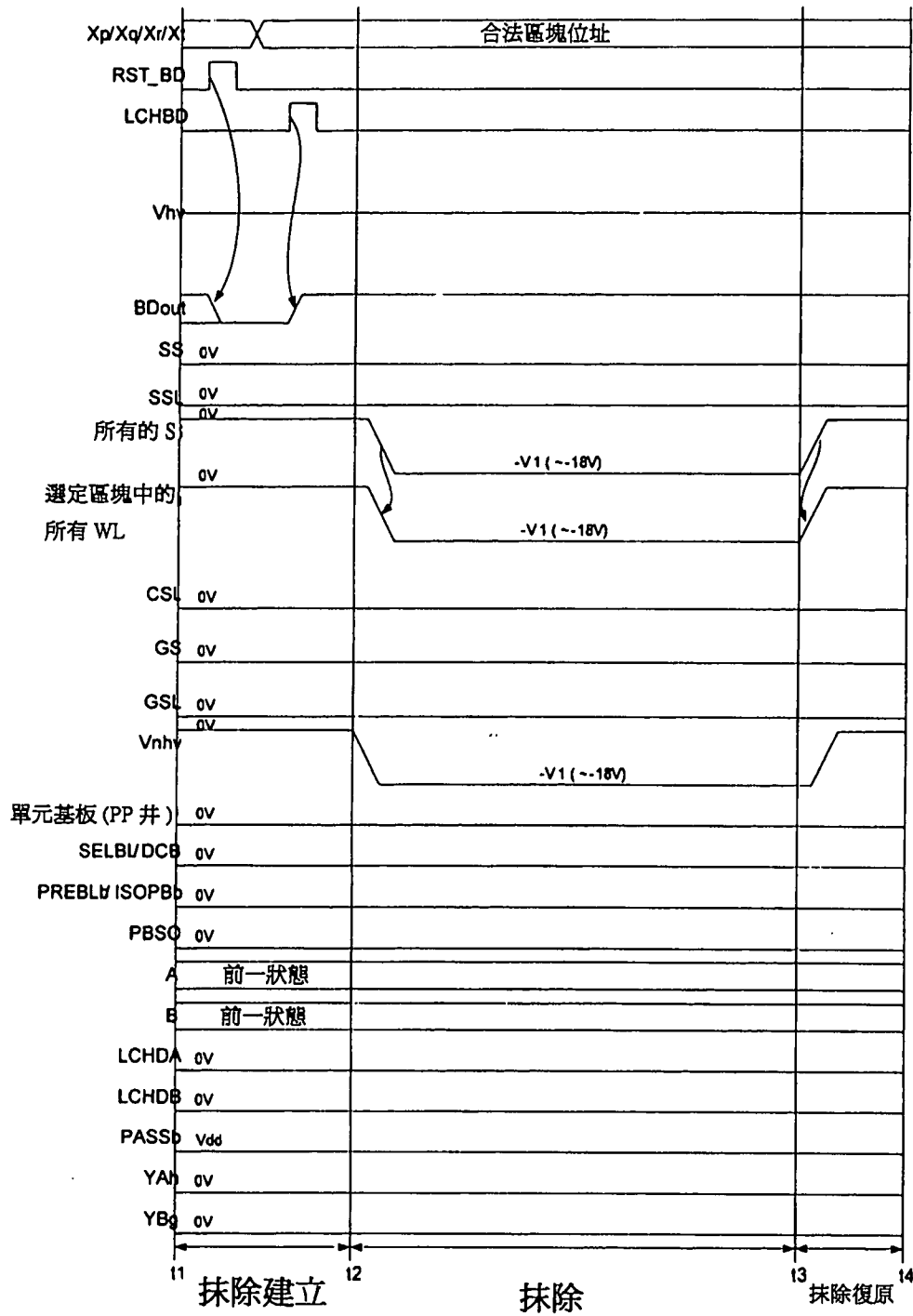


圖 40

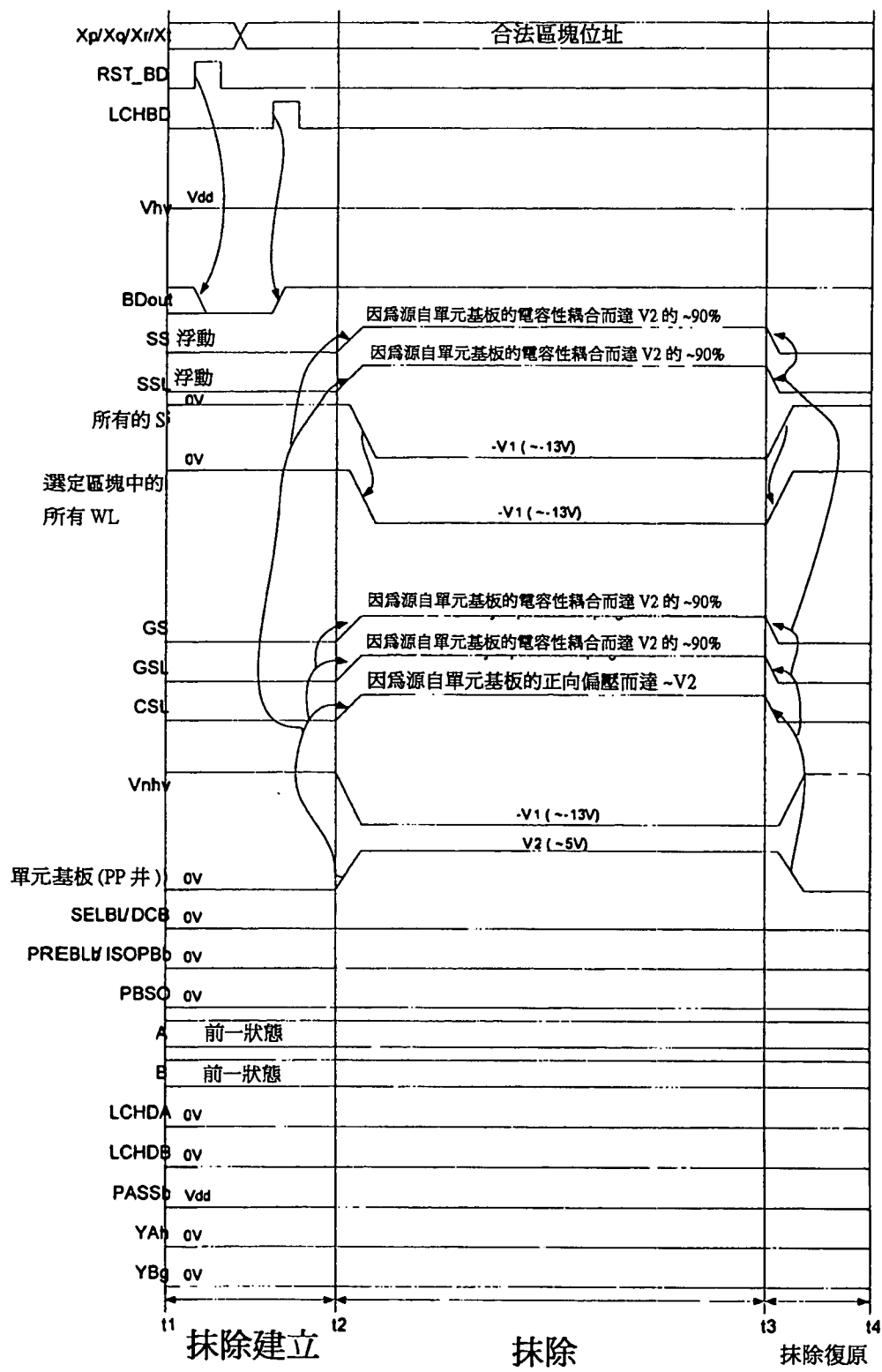


圖 41

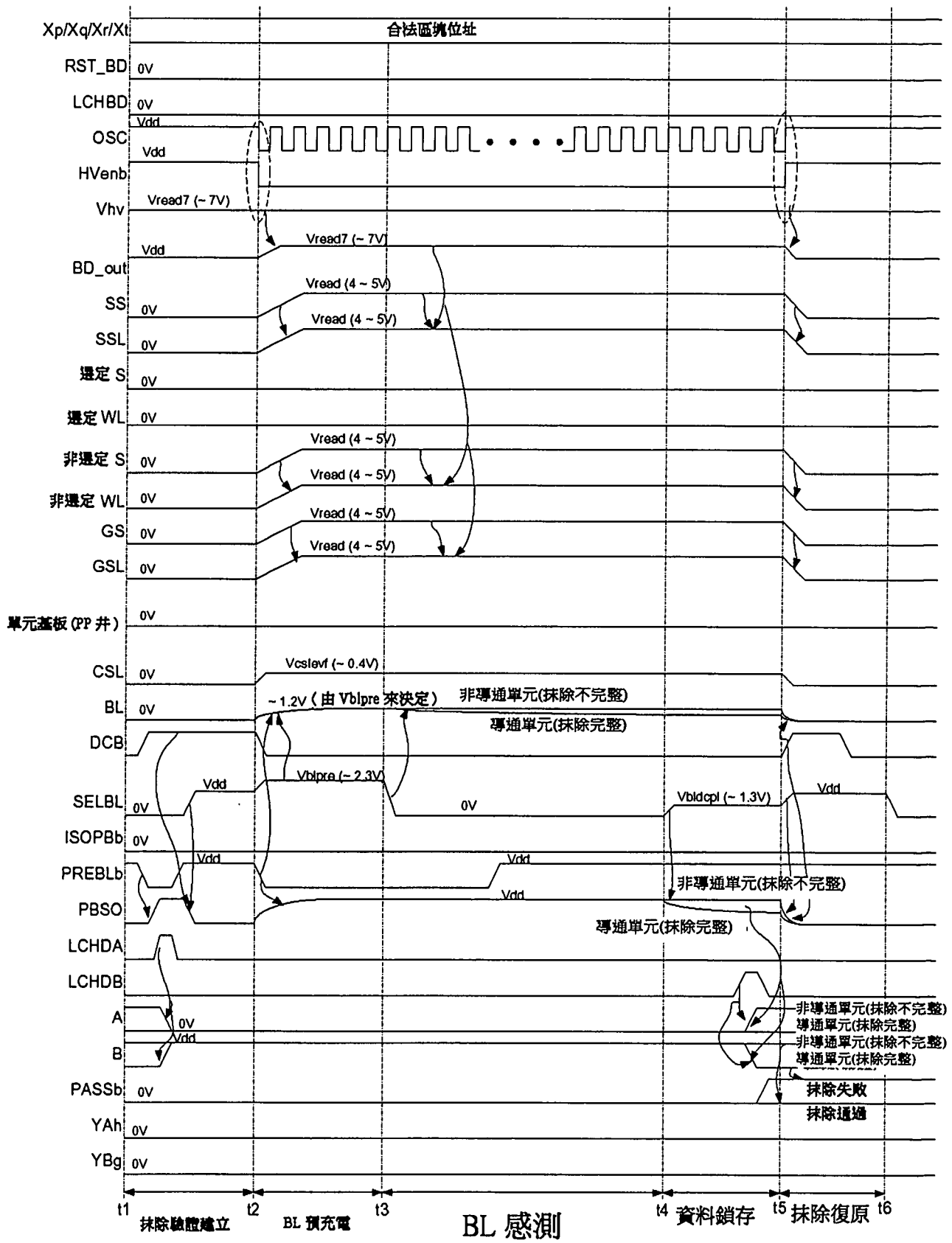


圖 42

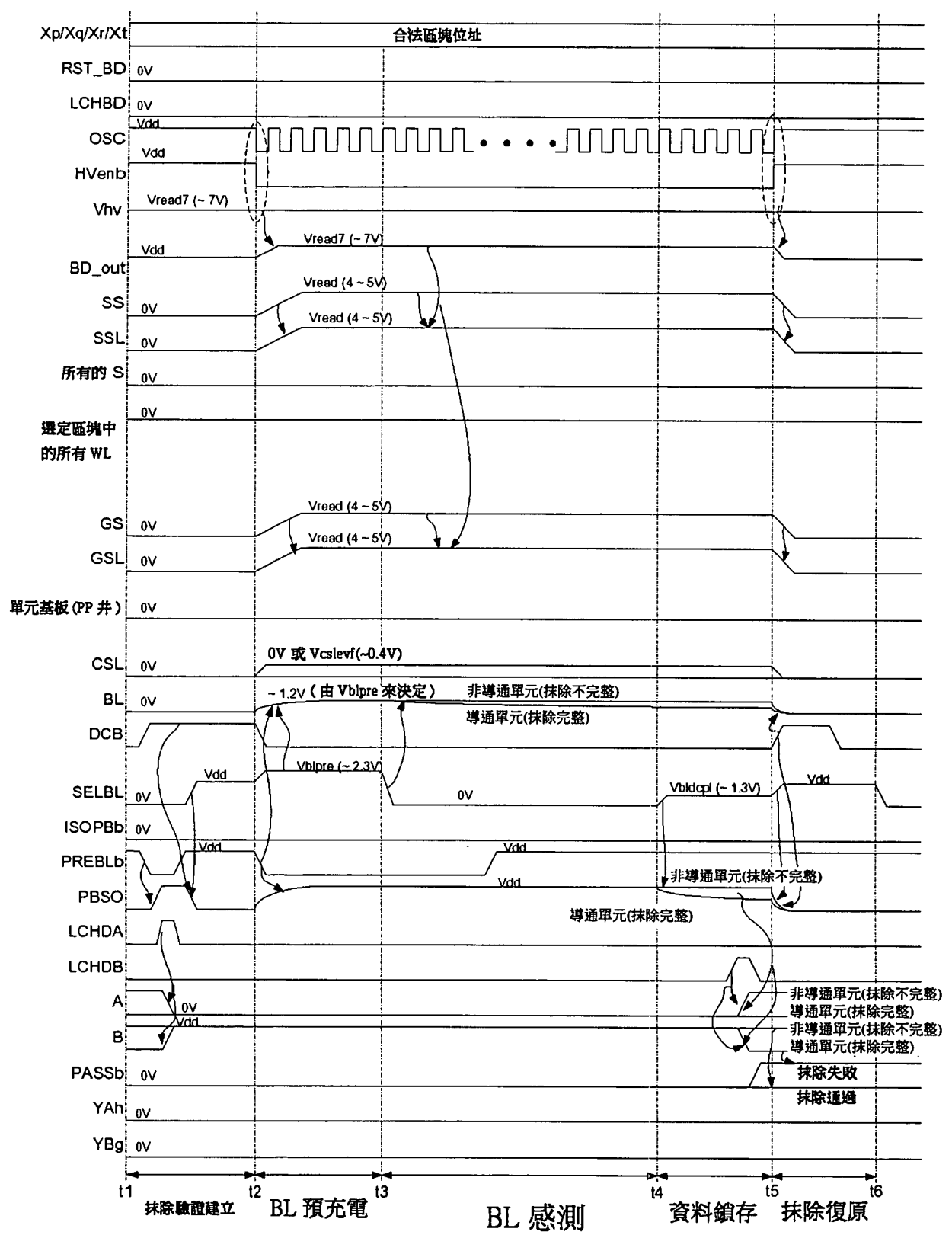


圖 43

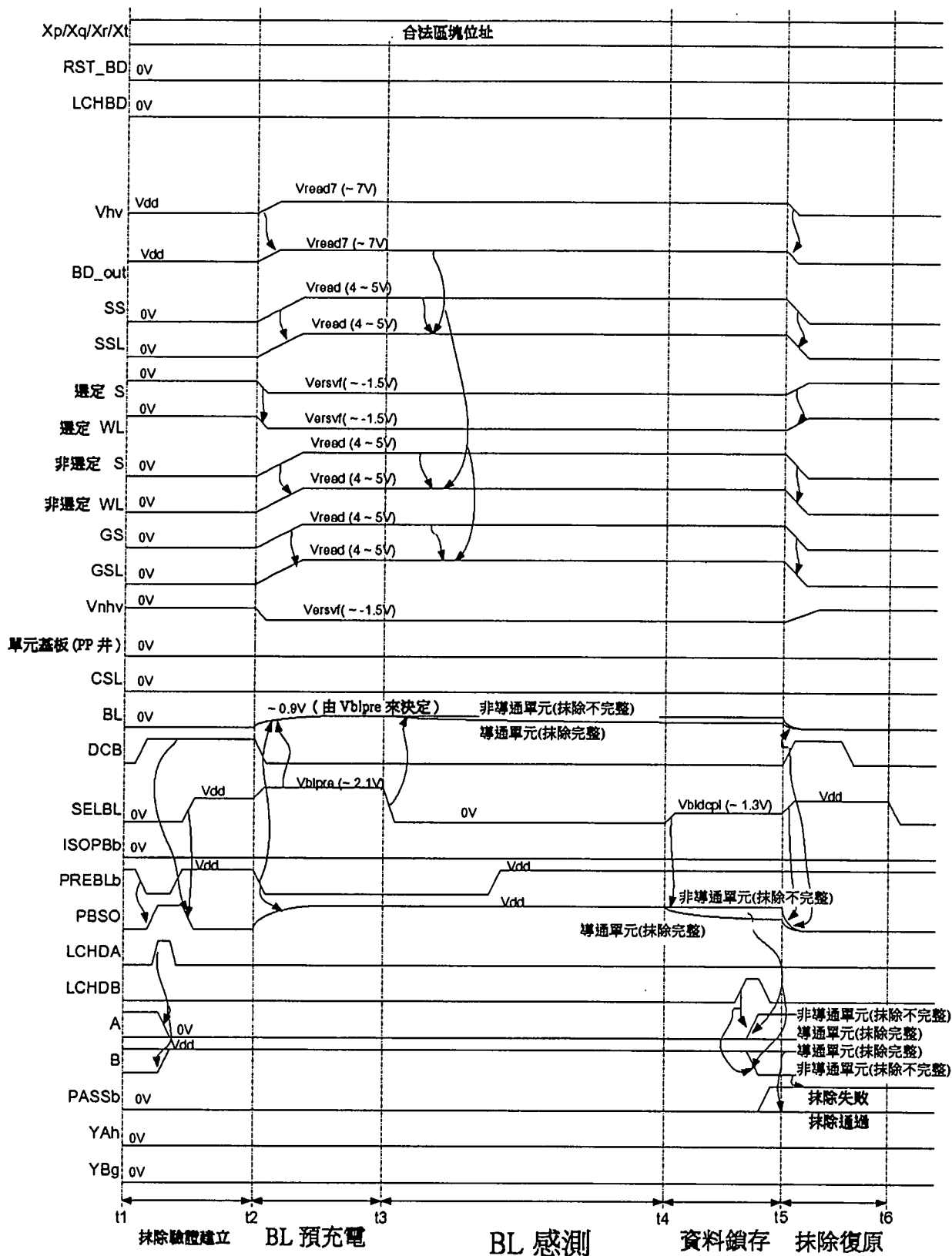


圖 44

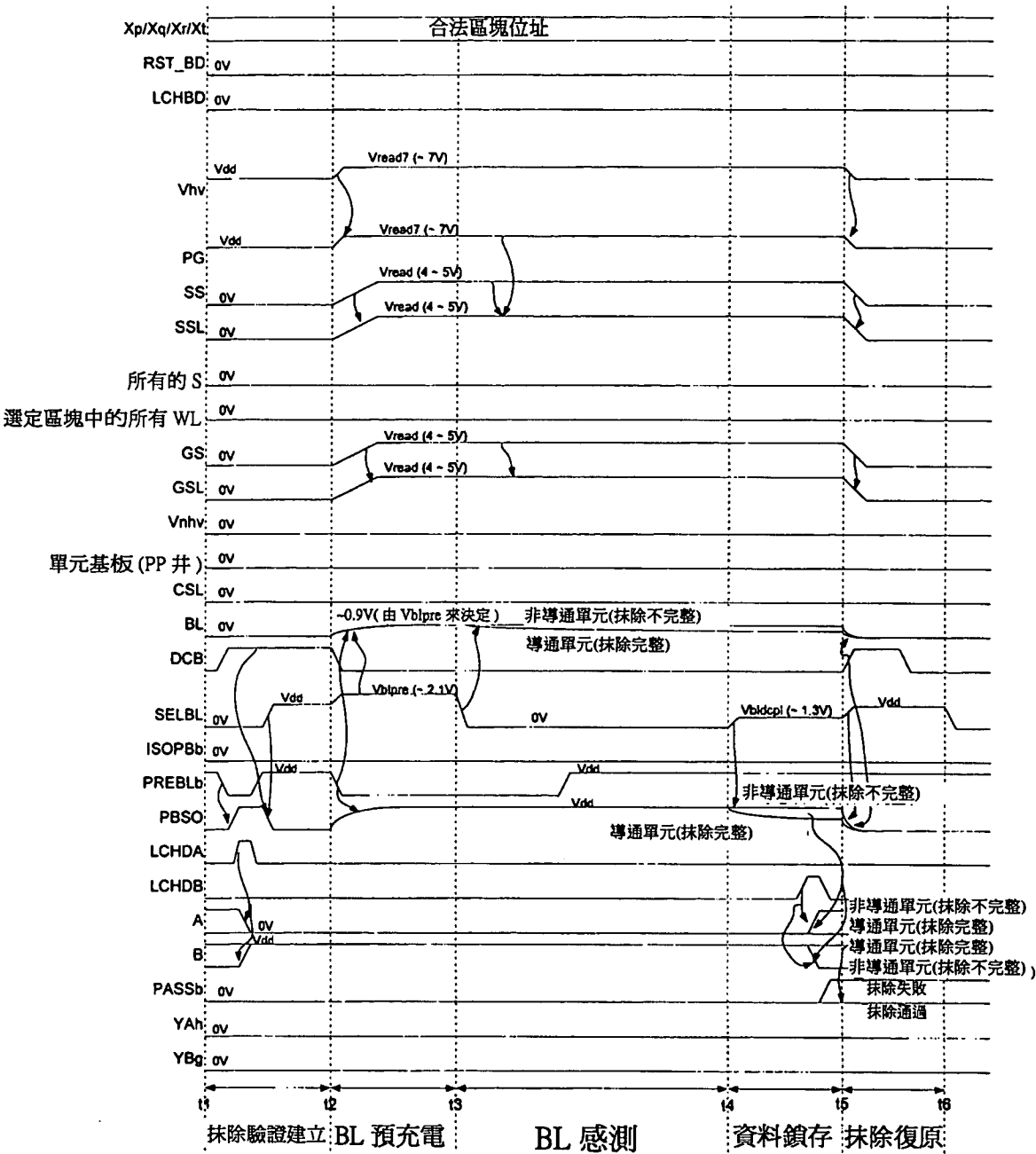


圖 45

B/L: 藉由接面正向偏壓而鉗止在 Vers-0.6V 處

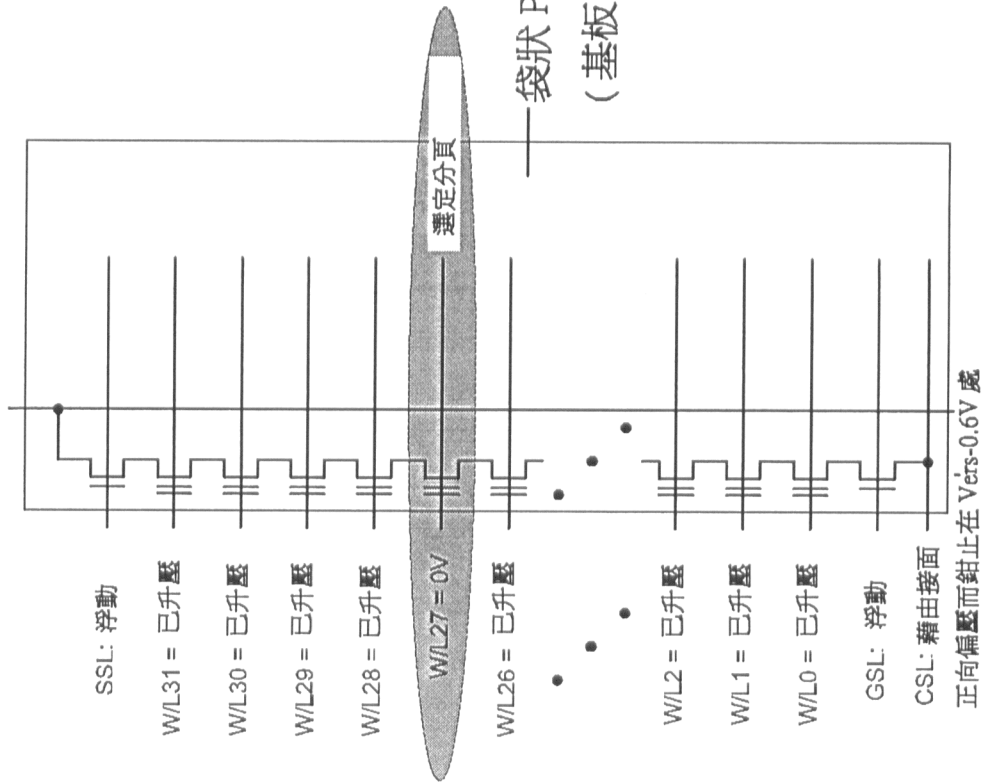


圖 46

B/L: 藉由接面正向偏壓而鉗止在 Vers-0.6V 處

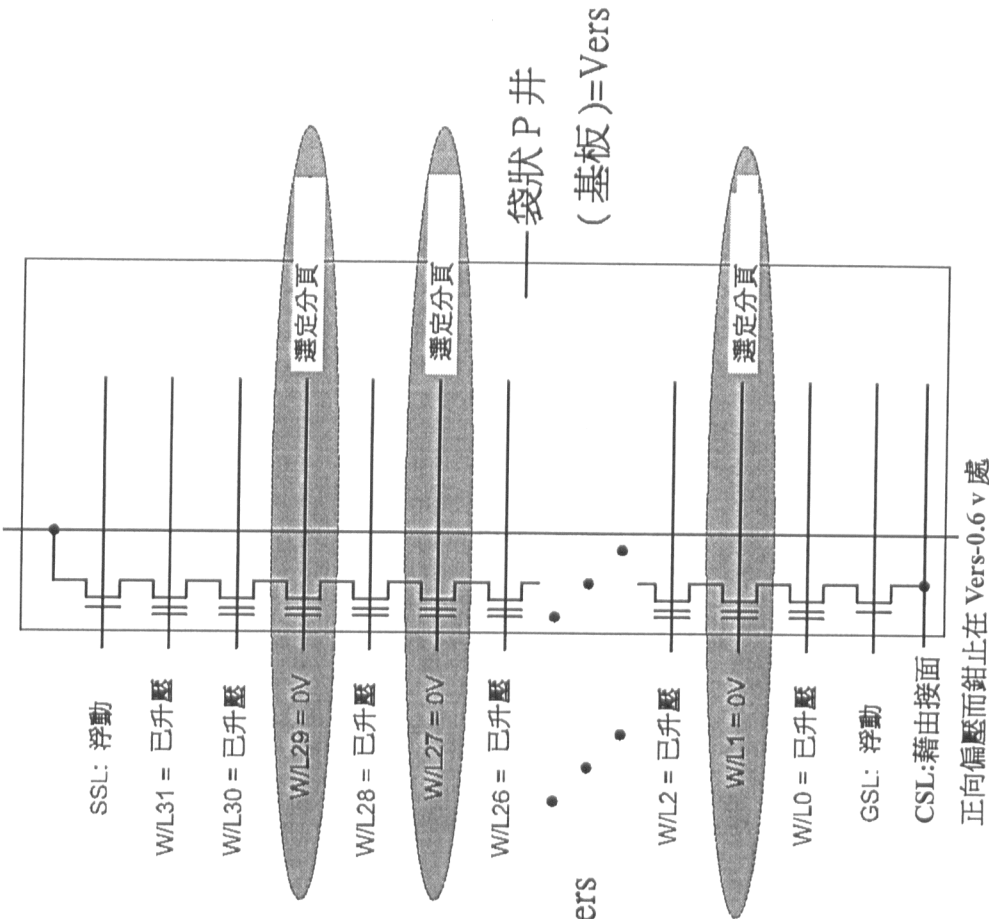


圖 47

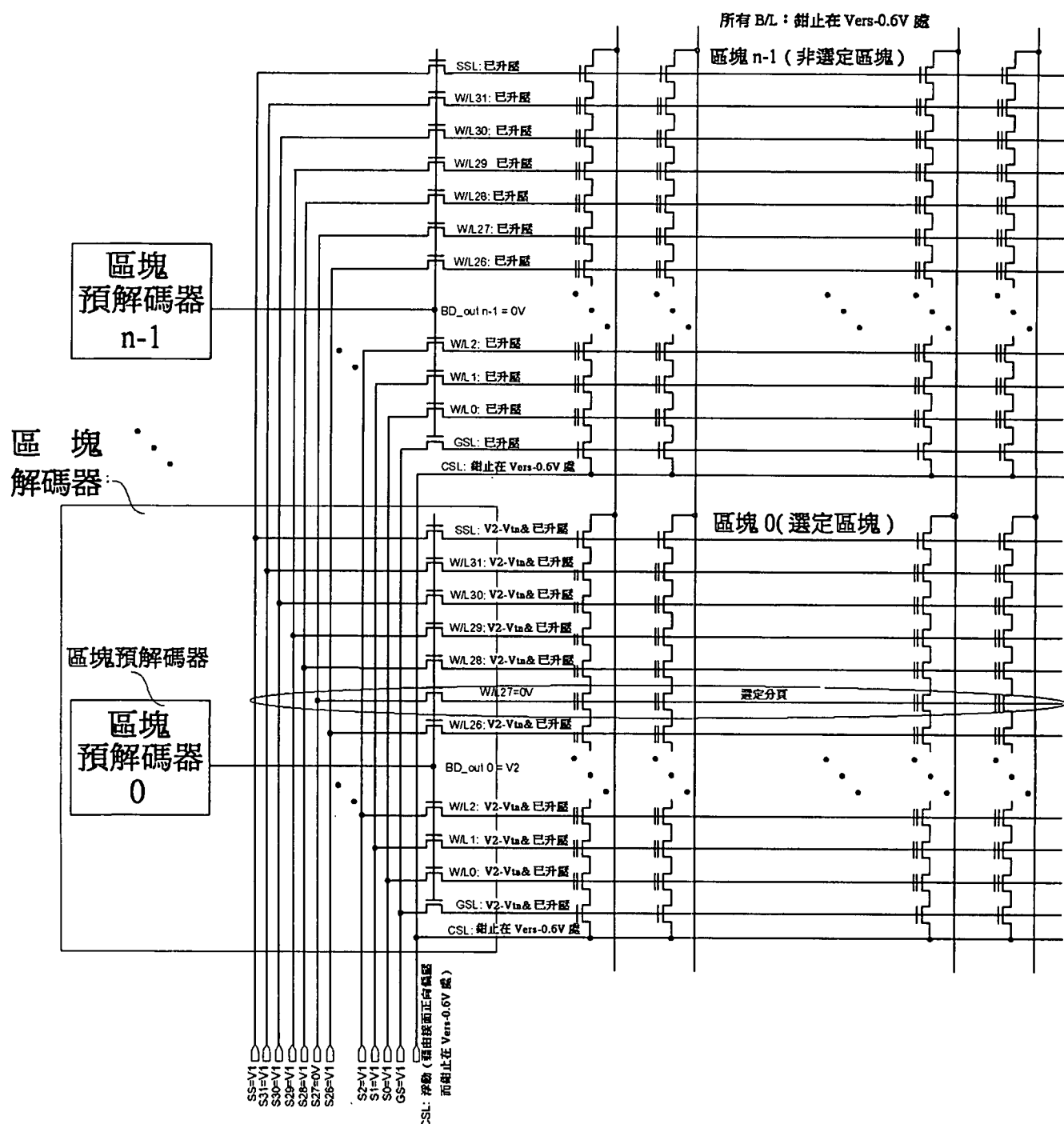


圖 48

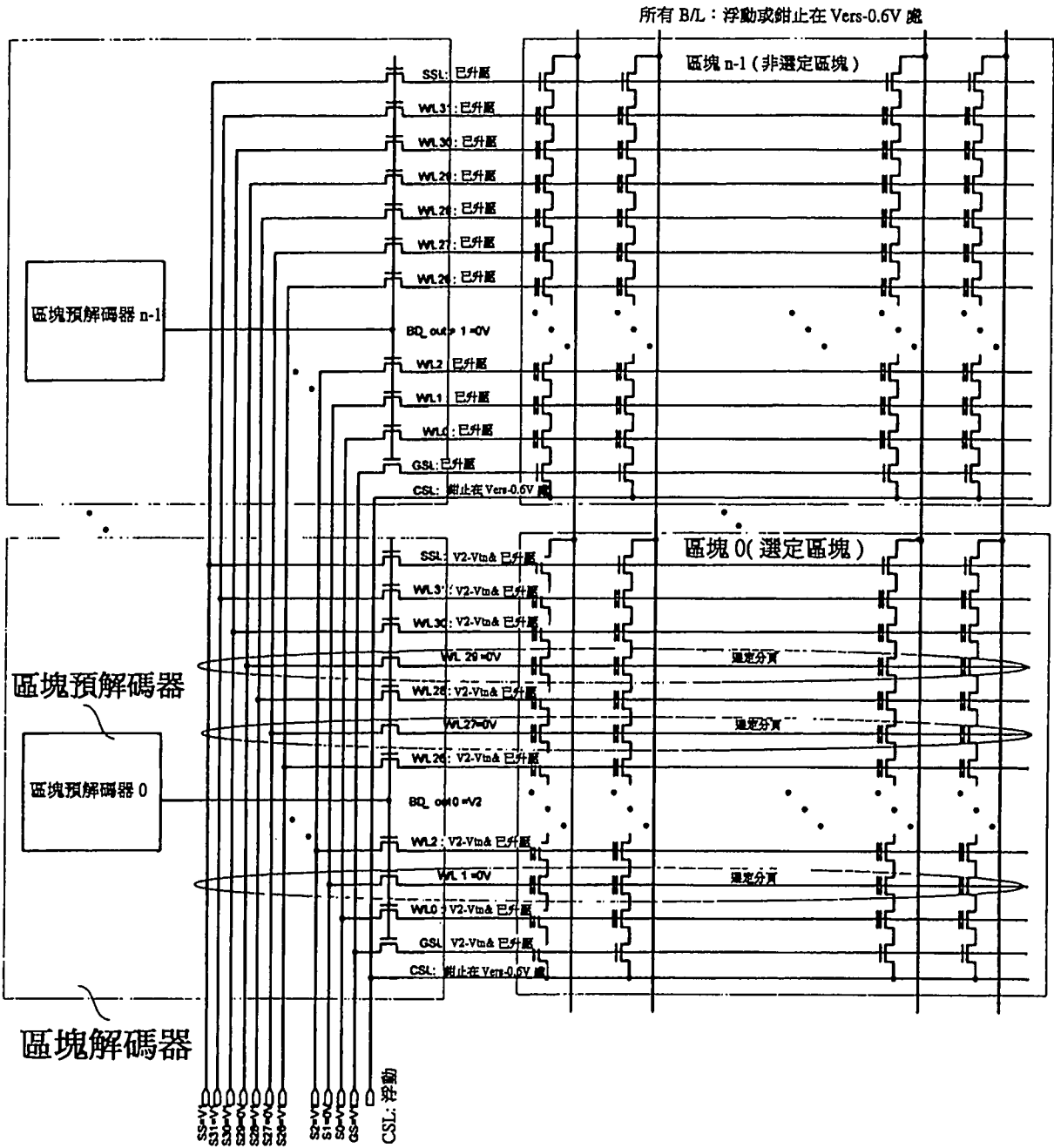


圖 49

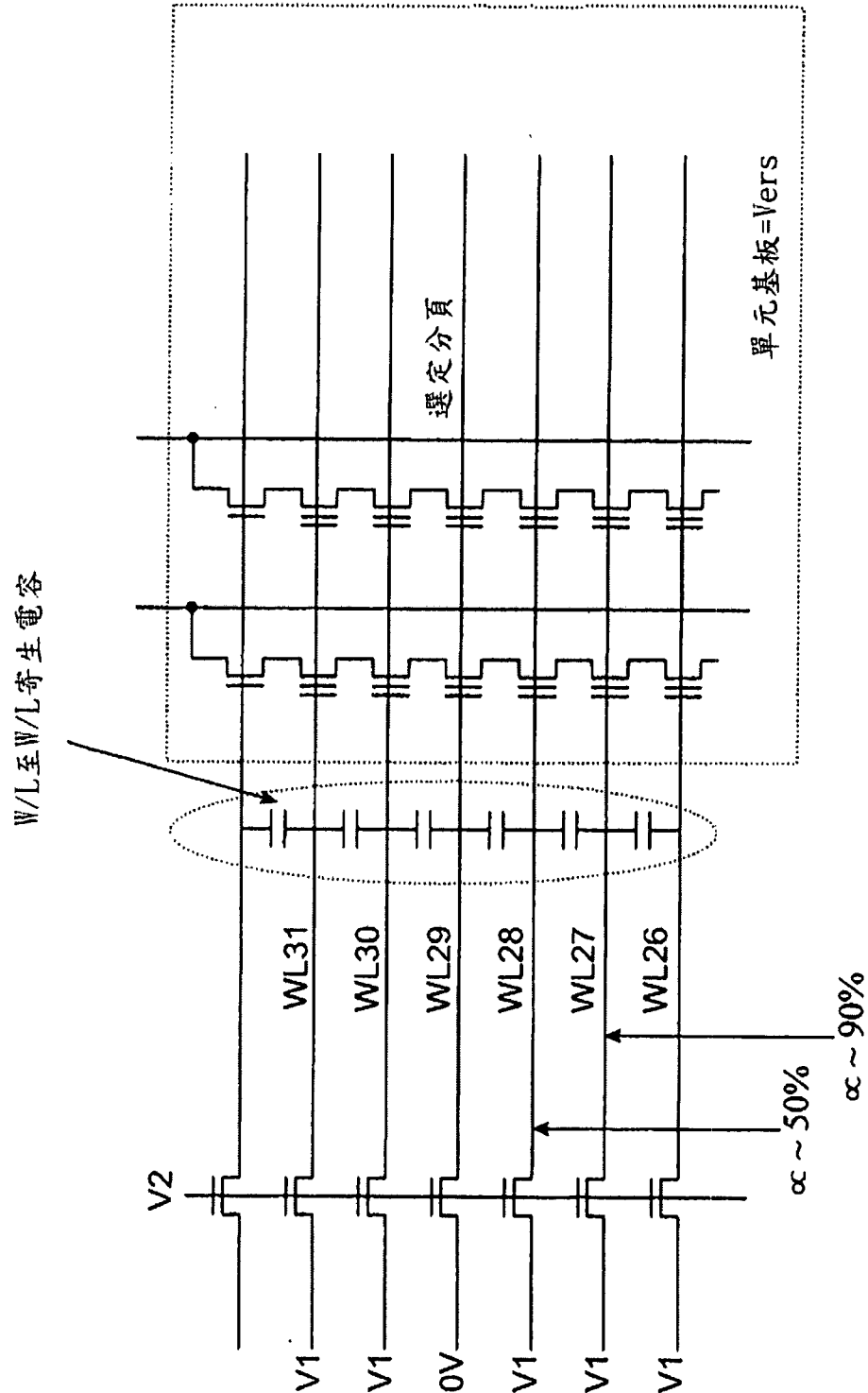


圖50

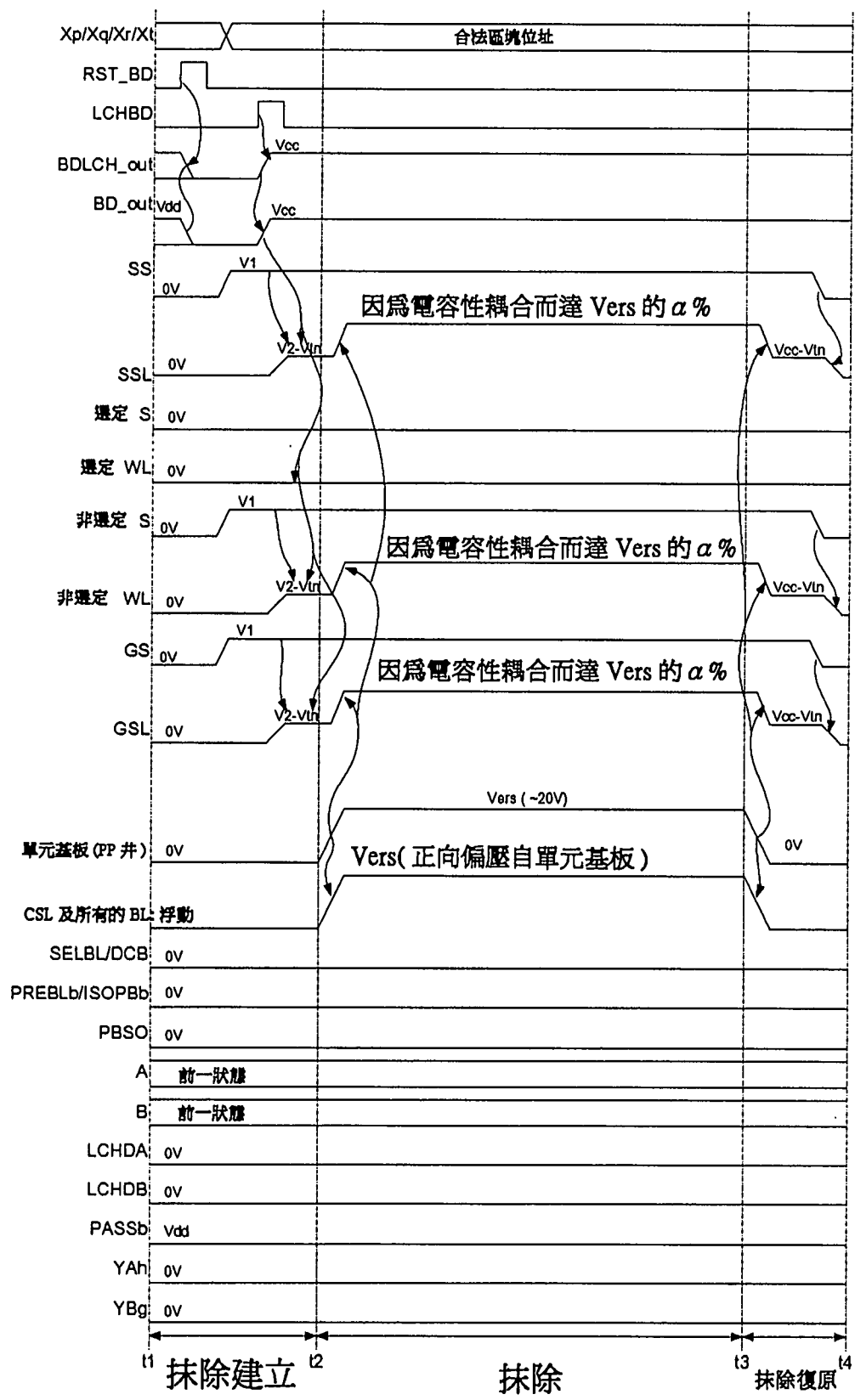


圖 51