



(12)发明专利

(10)授权公告号 CN 105190879 B

(45)授权公告日 2018.07.03

(21)申请号 201480014113.5

(22)申请日 2014.03.10

(65)同一申请的已公布的文献号
申请公布号 CN 105190879 A

(43)申请公布日 2015.12.23

(30)优先权数据
13/798,678 2013.03.13 US

(85)PCT国际申请进入国家阶段日
2015.09.11

(86)PCT国际申请的申请数据
PCT/US2014/022334 2014.03.10

(87)PCT国际申请的公布数据
W02014/164402 EN 2014.10.09

(73)专利权人 德克萨斯仪器股份有限公司
地址 美国德克萨斯州

(72)发明人 N·夏海迪

(74)专利代理机构 北京纪凯知识产权代理有限公司 11245
代理人 赵蓉民 徐东升

(51)Int.Cl.
H01L 23/52(2006.01)

(56)对比文件
CN 102903690 A, 2013.01.30,
CN 102903690 A, 2013.01.30,
CN 102222647 A, 2011.10.19,
US 2011260316 A1, 2011.10.27,
US 2009236738 A1, 2009.09.24,

审查员 周文龙

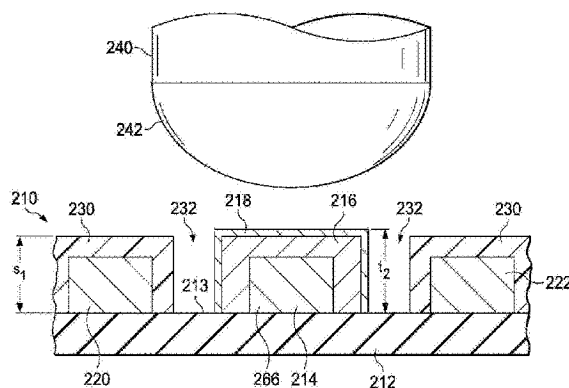
权利要求书2页 说明书5页 附图6页

(54)发明名称

铜柱附连基板

(57)摘要

本申请公开一种电子组装件,其包括具有介电层(212)和覆盖在介电层(212)上的阻焊层(230)的铜柱附连基板(210)。阻焊层(230)具有多个阻焊开口(232)。多条平行的迹线(214、220、222)被形成在介电层(212)上。每条迹线(214、220、222)具有第一端部分(262)、第二端部分(264)和中间部分(266)。每条迹线(214、220、222)的第一和第二端部分(262、264)被阻焊层(230)覆盖,并且中间部分(266)被设置在阻焊开口(232)内。每个中间部分(266)在其上具有至少一个导电涂覆层(216、218),并且具有从介电层(212)到至少一个导电涂覆层(216、218)中的最顶端一个测量的高度,该高度至少与阻焊层(230)厚度一样大。



1. 一种电子组装件,其包括:

铜柱附连基板,所述铜柱附连基板包括:

介电层;

覆盖在所述介电层上的阻焊层,所述阻焊层在其内具有多个开口并且具有阻焊层厚度;和

形成在所述介电层上的多条平行迹线,每条迹线具有第一端部分、第二端部分和中间部分,所述第一端部分和第二端部分被所述阻焊层覆盖,所述中间部分被设置在所述阻焊层内的所述开口内,所述中间部分中的每个在其上具有至少一个导电涂覆层,并且具有从所述介电层到所述至少一个导电涂覆层中的最顶端的导电涂覆层的测量的高度,所述高度至少和所述阻焊层厚度一样大,其中所述至少一个导电涂敷层覆盖所述中间部分的至少两个相对侧。

2. 根据权利要求1所述的组装件,所述至少一个导电涂覆层包括第一导电涂覆层和第二导电涂覆层。

3. 根据权利要求2所述的组装件,所述第一导电涂覆层包括铜。

4. 根据权利要求2所述的组装件,所述第二导电涂覆层包括锡。

5. 根据权利要求1所述的组装件,所述迹线包括铜。

6. 根据权利要求1所述的组装件,所述阻焊层内的所述开口被交错。

7. 根据权利要求1所述的组装件,所述多条平行的迹线中相邻的平行迹线被迹线间隔距离分隔开,所述阻焊层开口被交错,并且所述组装件进一步包括具有多个铜柱的管芯,所述铜柱中的每个具有连接到所述多条迹线中相关联的一条迹线的所述中间部分的头部;所述铜柱中的每个具有垂直于所述平行迹线测量的横截面尺寸,所述横截面尺寸大于垂直于所述平行迹线测量的所述阻焊开口中相关联的一个阻焊开口的尺寸。

8. 根据权利要求7所述的组装件,所述铜柱中的每个的所述头部被键合到所述多条迹线中相关联的一条迹线的中间部分上的至少一个涂覆层。

9. 根据权利要求8所述的组装件,所述多条迹线中每条迹线的所述中间部分上的所述至少一个导电涂覆层包括第一涂覆层和在所述第一涂覆层之上的第二涂覆层,所述铜柱的所述头部被键合到所述第二涂覆层。

10. 根据权利要求9所述的组装件,所述第一涂覆层比所述第二涂覆层更厚。

11. 根据权利要求7所述的组装件,所述头部中的每个均具有圆形横截面。

12. 根据权利要求1所述的组装件,所述多条平行的迹线被设置在由第一线和第二线限定的区域中,其中所述第一线垂直于所述迹线并且与所述迹线第一端部分中的最外侧的一个相交,所述第二线垂直于所述迹线并且与所述迹线第二端部分中的最外侧的一个相交,并且其中所述多条迹线中的每条均具有比所述第一线和所述第二线之间的距离小的长度。

13. 根据权利要求12所述的组装件,其中所述多条迹线中的每条均具有比所述第一线和所述第二线之间的所述距离的一半小的长度。

14. 根据权利要求12所述的组装件,其中所述阻焊层在从所述多条平行的迹线中的至少第一条迹线延伸到所述多条平行迹线中的至少最后一条迹线的区域内延伸至少到所述第一线 and 所述第二线。

15. 一种电子组装件,其包括:

铜柱附连基板,所述铜柱附连基板包括:

介电层;

覆盖到所述介电层上的阻焊层,所述阻焊层在其内具有多个开口,并且具有阻焊层厚度;和

形成在所述介电层上的多条平行的迹线,每条迹线具有第一端部分、第二端部分和中间部分,所述第一端部分和第二端部分被所述阻焊层覆盖,所述中间部分被设置在所述阻焊层的开口内,所述多条平行的迹线被设置在由第一线和第二线限定的区域内,其中所述第一线垂直于所述迹线并且与所述迹线第一端部分中的最外面的一个相交,所述第二线垂直于所述迹线并且与所述迹线第二端部分中的最外面的一个相交,并且其中所述多个迹线中的每条均具有比所述第一线和所述第二线之间的距离小的长度,

其中所述中间部分中的每个在其上具有至少一个导电涂覆层,并且其中所述至少一个导电涂敷层覆盖所述中间部分的至少两个相对侧。

16. 根据权利要求15所述的组装件,其中所述多条迹线中的每条均具有比所述第一线和所述第二线之间的所述距离的一半小的长度。

17. 根据权利要求15所述的组装件,其中所述阻焊层在从所述多条平行的迹线中的至少第一条迹线延伸到所述多条平行的迹线中的至少最后一条迹线的区域内至少延伸到所述第一线和所述第二线。

18. 一种形成铜柱附连基板的方法,其包括:

提供带有介电层的基板;

在所述介电层上形成多条平行的迹线;

在所述多条平行的迹线上施加阻焊层,

在所述阻焊层内形成暴露每条迹线的中间部分的开口;以及

用延伸到超过所述阻焊层的高度的高度的导电材料涂覆所述迹线中每条迹线的所暴露的中间部分。

19. 根据权利要求18所述的方法,其中所述在所述介电层上形成多条平行的迹线包括使平行的迹线的起始点和终止点交错,使得相邻的迹线的长度不重叠。

20. 根据权利要求18所述的方法,其中所述在所述阻焊层内形成暴露每条迹线的中间部分的开口包括形成交错的开口。

铜柱附连基板

背景技术

[0001] 在过去的十年里,倒装芯片技术已经作为引线键合的受欢迎的替代物而出现,用来将半导体器件(例如,集成电路(IC)管芯)互连至基板(例如,印刷电路板、载体基板、插入层(interposer)以及其他管芯)。

[0002] “倒装芯片”也被称为“可控坍塌芯片连接”或其首字母缩写“C4”。通过倒装芯片技术,焊接球/凸点被附连到管芯/芯片的一面上的电接触焊盘。倒装芯片管芯通常在晶元级被加工,即,当多个相同的管芯仍然是大“晶元”的一部分时被加工。焊接球被沉积到晶元的顶侧上的芯片焊盘上。晶元有时在此时被“单立化(singulated)”或“切片(diced)”(切割成独立的管芯),以提供多个独立的倒装芯片管芯,其中每个倒装芯片管芯在顶面表面上具有焊接球。然后,芯片可以被“翻转”以将焊接球连接到倒装芯片将被安装到其上的基板(例如,印刷电路板或载体基板)的顶表面上的匹配接触焊盘。焊接球附连通常通过回流加热来提供。

[0003] 随着IC管芯变得越来越复杂,倒装芯片上的焊接点/球的数量也急剧地增加。但是在过去,焊接球通常由附连到芯片接触焊盘的相对大的圆焊接球来提供,最近,铜柱(“CuP”)已经被用来代替焊接球。CuP是在其一端附连到倒装芯片管芯上的接触焊盘的细长铜条构件。CuP以垂直于管芯的面的方向从管芯向外延伸。每个CuP具有附连到其远端的大致子弹形或半球形的焊块。CuP's由该焊块诸如通过回流加热来键合到基板上的对应的接触焊盘。CuP能够被更密集地设置,即,以比常规焊接球/凸点“更高的节距(higher pitch)”来设置。例如,用于倒装芯片焊接球阵列的典型节距为150 μm ,然而用于倒装芯片CuP阵列的典型节距为40 μm 。一种便于将基板连接到具有这种高CuP密度的管芯的方式是在倒装芯片将被安装到的基板上提供键合“迹线”(也被称为“梳状线(finger)”),而不是常规的接触焊盘。迹线是可以以紧密平行的关系被设置的细长接触焊盘,其中在其之间通常没有任何绝缘材料。

附图说明

[0004] 图1是具有铜柱的常规的倒装芯片管芯的顶视等距图。

[0005] 图2是图1的倒装芯片管芯的一部分的详细的横截面图。

[0006] 图3是图1和图2中所示类型的倒装芯片管芯可以被连接到的常规的基板的一部分的俯视图。

[0007] 图4是图1和图2中所示类型的倒装芯片管芯可以被连接到的另一类型的基板的一部分的俯视图。

[0008] 图5是图4中所示类型的另一基板的横截面图。

[0009] 图6是是图1和图2中所示类型的倒装芯片管芯可以被连接到的另一基板的横截面正视图。

[0010] 图7是诸如图6中所示的附连到诸如图1和2中所示的倒装芯片管芯的基板的横截面正视图。

[0011] 图8是安装到如图7中所示的基板的倒装芯片管芯的俯视图,其中除了铜柱的横截面部分之外整个倒装芯片均被切掉。

[0012] 图9是形成CuP附连基板的方法的流程图。

具体实施方式

[0013] 电子组装件包括CuP附连基板210,该CuP附连基板具有介电层212和覆盖到介电层212上的阻焊层230。阻焊层212在其内具有多个阻焊开口232。多条平行迹线214、220、222被形成在介电层212上。每条迹线具有第一端部分262、第二端部分264和中间部分266。第一端和第二端部分262、264被阻焊层230覆盖。中间部分被设置在阻焊层230内的开口232内。每个中间部分264在其上具有至少一个导电涂覆层216、218。从介电层212的顶表面213到最顶端的导电涂覆层218的顶部测量的每个中间部分264的高度至少与阻焊层230的厚度一样大。

[0014] 如图1所说明的,常规的倒装芯片管芯10包括半导体基板12,该半导体基板12包括内部电路。基板具有第一或工作面(active face)14和与第一面14相对的第二或非工作面(inactive face)15。铜柱的阵列16从管芯10的工作面表面14突出。铜柱阵列16包括多个独立的铜柱18,该多个独立的铜柱18可以以任何期望的配置被布置在第一面14上。

[0015] 图2说明从管芯10的第一面14突出的一对常规的铜柱18的典型的结构。每个独立的铜柱18可以包括大致子弹形或半球形的焊接头部20,该焊接头部20被安装在大致圆柱形的铜桩部分(copper post portion)22上。每个铜桩部分22被安装到在硅基板12的顶表面处形成的接触焊盘24上。接触焊盘24被连接到硅基板12内的内部电路(未示出)。铜桩部分22可以按照惯例以本领域熟知的方式诸如通过下部凸金属层(under bump metal layer)26被物理连接并电连接到接触焊盘24。因此,每个铜柱18通过接触焊盘24和下部凸金属层26被电连接到半导体基板12内的内部电路。管芯10的顶表面14上的钝化层(passivation layer)17包围每个铜柱18。

[0016] 图3是基板30的一部分的俯视图,其中基板30适合于被连接到倒装芯片管芯10的一些铜柱(“CuP”)18。基板30可以是印刷电路板、IC封装载体板(IC package carrier board)、插入件(interposer)或其他类型的电连接基板。基板30具有顶表面32,通过使用常规或其他方法在顶表面32上提供多条大致平行的迹线(在文中有时被简称为“迹线”)34、36、38、40。迹线34、36、38、40可以由铜或其他导电金属制成。迹线可以涂覆有其他材料,诸如锡或银,以便于与铜柱的焊接头键合。迹线34、36、38、40被间隙44、46、48分隔开,间隙44、46、48可以都具有相同的宽度。迹线34、36、38、40也可以具有相同的宽度。用于现有技术迹线34等的典型的宽度范围是15 μm 到20 μm 。迹线之间的间隙44、46、48可以具有40 μm 到80 μm 的典型宽度范围。迹线的宽度与其之间的间隙的宽度的比率通常为2.5到4。将相关联的CuP 18的焊接头部20连接到独立的迹线34、36、38、40的位置由52、54、56、58处的虚线圈和十字准线来说明。迹线34、36等相对的纵向端分别由阻焊剂的条62、64覆盖。阻焊剂是用来屏蔽导电焊盘和迹线与焊料或其他导电材料的非导电材料。阻焊剂有时在本领域中被称为“焊接掩模”。在迹线的端部分上提供的阻焊剂条的典型宽度(在平行于迹线延伸方向的方向上)范围约为70 μm 到170 μm 。

[0017] 图4是基板31的一部分的俯视图,基板31如图3的基板30一样,适合被连接到倒装

芯片管芯10的一些铜柱 (“CuP”) 18。基板31的结构与基板30的结构类似,不同之处在于除了每条迹线上的小的阻焊开口之外阻焊层完全覆盖迹线。半导体基板31具有在其上顶表面33上形成的平行间隔开的迹线或“迹线” 35、37、39、41。除了阻焊开口51、53、55、57在其处被提供的每条迹线35、37、39、41的中间部分之上的小的开口51、53、55、57之外,阻焊层63覆盖迹线的相对的两端之间的所有迹线。开口略大于每条迹线的宽度,并且以交错的关系被提供。开口51、53、55、57也比CuP 52、54、56、58的直径更宽,CuP 52、54、56、58被键合到由开口51、53、55、57暴露的相应的迹线的部分。

[0018] 图5是具有与图4中示出的基板31基本相同的结构的基板110的横截面正视图。基板110具有介电层112。第一迹线114被形成在介电层112的顶表面111上。迹线114可以是铜迹线或可以由另一适合的导体(例如,金)形成。如图5中所示,容易与诸如锡或银的焊料键合的导体涂层116覆盖迹线114的一部分的顶表面和侧表面。涂层116被施加到的迹线114的该部分被设置在阻焊开口132内。第二迹线118邻近迹线112的一侧被设置,并且第三迹线122邻近第一迹线112的另一侧被设置。除了每条迹线的中间部分之上的阻焊开口(例如,设置在第一迹线114的中间部分115之上的阻焊开口132)的区域之外,阻焊层130覆盖迹线114、118、122的全部。阻焊开口被交错,诸如图4中所示的阻焊开口51、53、55、57。因此,在图5中,在迹线118和122上邻近迹线114上的开口132的位置处在迹线118和122上没有开口。阻焊剂130覆盖邻近位于阻焊开口132中的迹线114的中间部分115的迹线118和122的顶面和侧面部分。在开口132处的阻焊层130的高度“ s_1 ”大于从基板表面111到第一迹线114上的导电涂层116的顶部测量的高度“ t_1 ”。具有焊接头142的CuP 140被直接设置在迹线114中间部分115之上,并且可以通过将其向下移动到与涂层116接触并随后回流焊接头142和涂层116来将其键合到迹线114。CuP的头到涂覆迹线的键合是本领域所熟知的,并且因此在本文中不再进一步描述。

[0019] 申请人已经发现与倒装芯片管芯安装基板(例如,以上参考图4和5所描述的基板)相关联的某些问题。一个问题是此类基板的制造公差非常小,并且偏离这些公差可能以几种不同的方式使倒装芯片/基板组装件发生故障。例如,如果阻焊层130在介电层112上从图5中所示的位置被向左移动小的距离,则迹线118的一部分可能被暴露,并且在回流期间可能进入到阻焊开口132内的CuP 140中的任意焊料142可能使迹线114和118短路。到左侧的同样的移动可能使迹线114和迹线122之间的开口132的一部分减少以至于围绕迹线122的阻焊剂将阻止CuP 140自由移动到与迹线114的头的接触关系内。随着CuP 140下降,其可能刮掉围绕迹线122的阻焊剂的一部分,其中阻焊剂的被刮掉的部分落到涂覆层116上并且干扰焊接头142和涂覆层116之间的键合。使阻焊开口132太小产生类似的问题,并且导致阻焊剂残渣落到阻焊开口132的区域内的迹线122的涂覆层116上。而且,减小阻焊剂的开口尺寸增加了不能使CuP头142和迹线114之间良好接触的风险。为了防止这些问题出现,阻焊开口132的尺寸可以被增加。然而,增加阻焊开口132的尺寸可能导致不同的故障模式,即所谓的“阻焊剂下部切割”。下部切割通常在覆盖在相邻的Cu迹线(例如,118和122)上的阻焊剂的宽度减小时发生。优化形成阻焊开口的工艺以使得阻焊开口不过大也过小是成本非常高的。下面描述的结构和过程可以被用于消除诸如以上描述的问题。

[0020] 图6是具有带有顶表面213的介电层212的半导体基板210的侧视图。第一迹线214在表面213上形成。迹线214可以是铜、金或其他适合的导体。第一迹线214在其长度上具有

中间部分215,中间部分215被设置在阻焊层230的阻焊开口232内。第一导电涂覆层216覆盖第一迹线214的中间部分215。该层216由导电材料(例如,铜)形成,该导电材料具有足够高以至于在下列进一步描述的回流加热期间不会熔化的熔化温度。第二涂覆层218可以在第一迹线214的中间部分215中被施加在第一迹线214上的第一涂覆层216上。两个涂覆层216、218都是导电涂覆层。第一涂覆层216可以具有与迹线214类似的组分,例如,迹线和第一涂覆层216都可以是铜。在一个实施例中,第一涂覆层216比第二涂覆层218厚。第一涂覆层216可以从良好地粘附到迹线214并且在回流温度下不会熔化的材料中选择。第二涂覆层218可以从良好地粘附到第一涂覆层、良好地键合到焊料并且在回流温度下熔化的导体材料中选择。例如,第二层可以是锡或银或适合的合金。涂层216、218可以在阻焊开口232形成之后以常规方式被施加至中间部分215。第二迹线220被设置成平行且邻近第一迹线214的一侧。第三迹线222被设置成平行且邻近第一迹线214的另一侧。第二和第三层216、218的组合厚度“ t_2 ”大于开口232处的阻焊层230的高度“ s_1 ”。因此,随着铜柱240下降,其与迹线214的第二层216(而不是阻焊层230)首先接触,即使铜柱240没有在迹线214中精确地居中。这发生是因为第二层216的顶部是基板210上接近铜柱240的最高的表面。该结果是CuP 240的焊接头242在具有任何机会接触阻焊层230之前与第二层216接触。因此,如图7所示,涂覆层218和焊接头242之间的键合250被形成,如图7所图示说明的,该键合250没有来自阻焊层230的任何残屑。通过将迹线214的接触表面提升超过阻焊层230,也实现另一有利影响。可以相对于CuP 240的尺寸来减小阻焊层开口232的尺寸,因为CuP 240不再必需适合阻焊开口。因此,防止了阻焊剂下部切割。另外,可以相对于阻焊开口的尺寸增加CuP 240的直径。CuP的直径增加使得更易于接合每个CuP与对应的迹线。也就是说,在图6和7中所示的结构中,CuP和对应的迹线之间的对齐不必如图3-5中所示的结构中的那样精确,因为每个CuP可以在不引起其他问题的情况下被给定较宽的底面积(footprint)。例如,如图6和7中所示,可以使CuP具有比对应的阻焊开口232更宽的底面积,该CuP可在功能上被连接到基板(例如,210),基板在对应的阻焊开口232内具有整体迹线高度 t_2 (包括涂层),该高度 t_2 比阻焊层230的高度 s_1 更大。也将要理解的是,即使CUP的截面形状不是圆形的,(例如,为椭圆形或矩形或其他几何形状),CuP也可以被给定较宽的底面积。因此,通过图6和7中示出和描述的结构,有缺陷的组装件可以被减少并且产品产出率可以被提高。

[0021] 图8是倒装芯片管芯和基板组装件的俯视图,其中基板组装件的类型具有可以与图6和7中所图示说明的横截面构造相同的横截面构造。在该实施例中,线迹214、220、222等,每个具有第一端262和第二端264。相邻迹线(例如,214、222)的第一端262和第二端264被交错。因此,每隔一条的迹线(例如220、222等)的第一端262在相同的虚线AA处终止,并且其他迹线214等的第二端264被设置在线AA的大体向内侧。关于迹线的第二端264和虚线BB,存在相同的关系。阻焊层230的边缘可以沿着线AA和BB或在线AA和BB的向外侧。迹线的这种设置相对于现有技术设置的优点是图8的基板210上的迹线的总长度被大幅度减小,其中现有技术设置中平行迹线的任意阵列中的迹线全部在相同的虚线处开始且在相同的虚线处结束。而且,如果相邻的迹线的向内设置的端262或264被终止使得相邻的迹线之间没有重叠,如图8所示,那么相邻的迹线之间短路的可能性被大幅度地降低。(本文所用的短语“相邻的迹线”指代具有相邻的轴的迹线,即使是在迹线本身具有甚至不部分地共同延伸的长度的情况下。)因此,迹线之间的横向距离可以被减小,从而实现更密集的设计,并且因此实

现较高节距的有关CuP倒装芯片管芯的使用。而且,更短长度的迹线可以降低Cu迁移和某些不期望的电效应(例如,寄生电容)的可能性。这同样能够使用更大的阻焊开口,并因此能够使用比现有技术的制造更易于制造的基板设计。

[0022] 图9是形成铜柱附连基板的方法的方框图。该方法包括如在302处所示的提供带有介电层的基板。该方法还包括如在304处所示的在介电层上形成多条平行迹线。该方法进一步包括如在306处所示的在多条平行迹线上施加阻焊层,并且包括如在308处所示的在阻焊层中形成暴露每条迹线的中间部分的开口。该方法进一步包括如在310处所示的用导电材料涂覆每条迹线的暴露的中间部分,该导电材料延伸到超过阻焊层的高度的高度。

[0023] 本领域的技术人员将领会到,可以对多描述的实施例进行修改,以及在所要求保护的发明的范围内许多其他实施例是可能的。

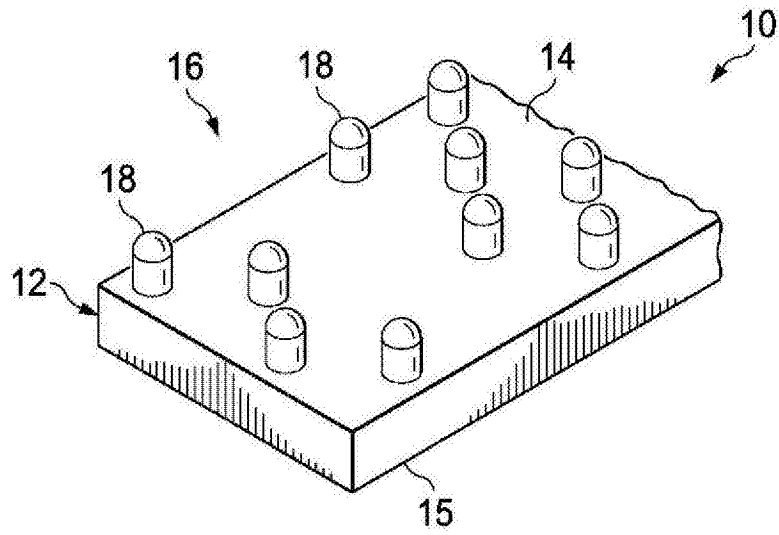


图1 (现有技术)

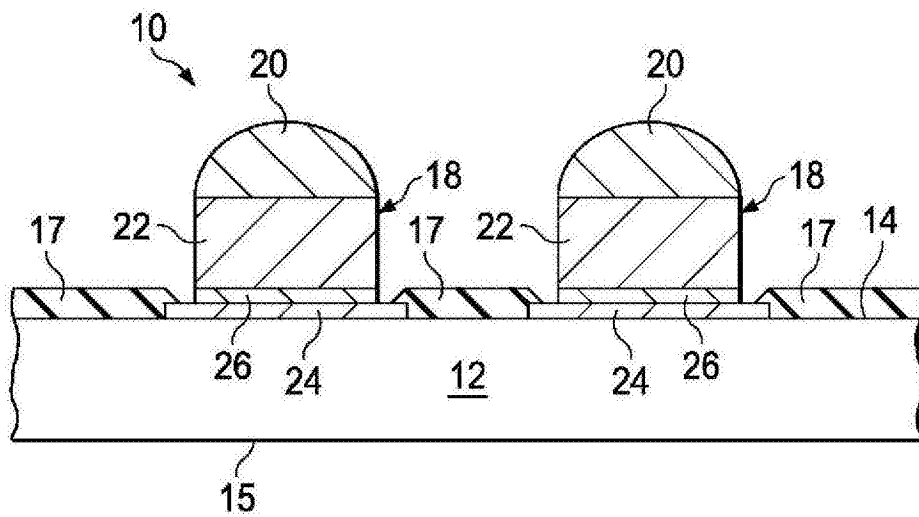


图2 (现有技术)

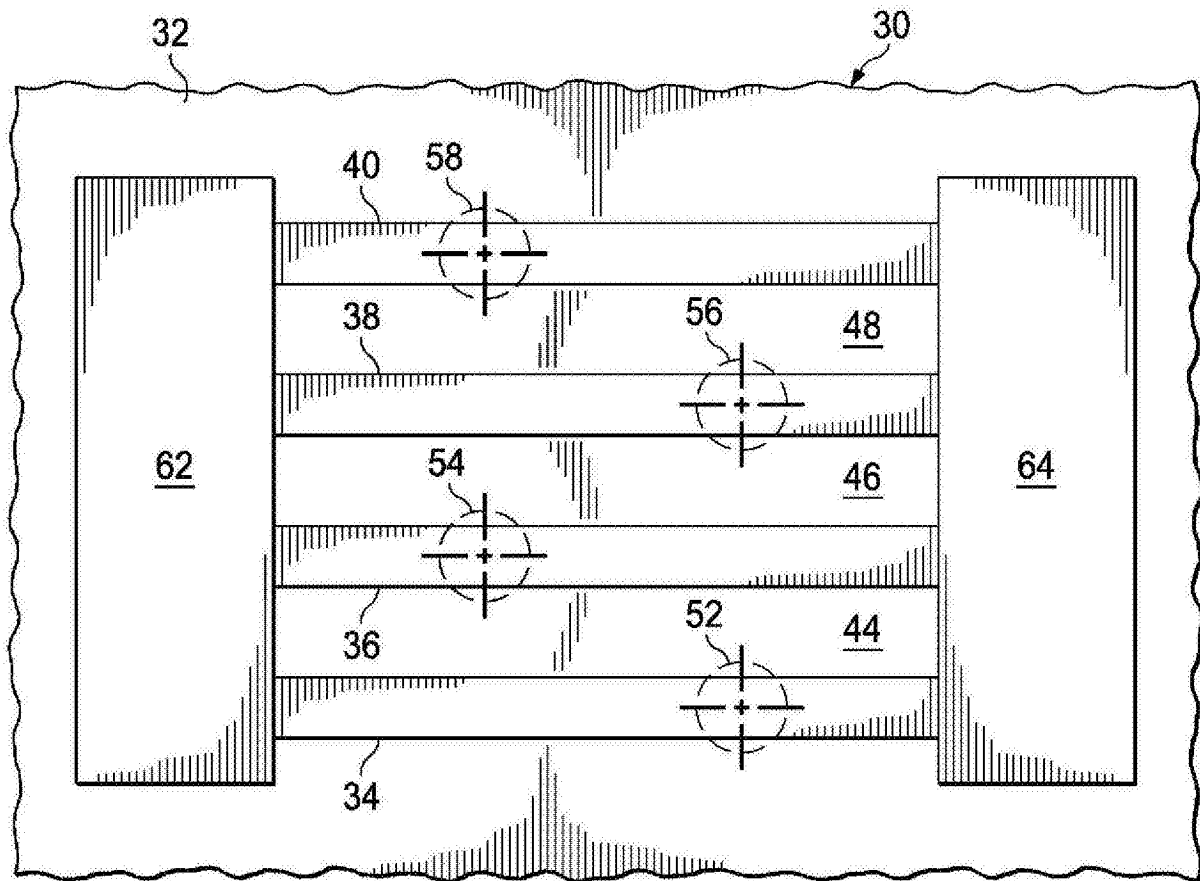


图3(现有技术)

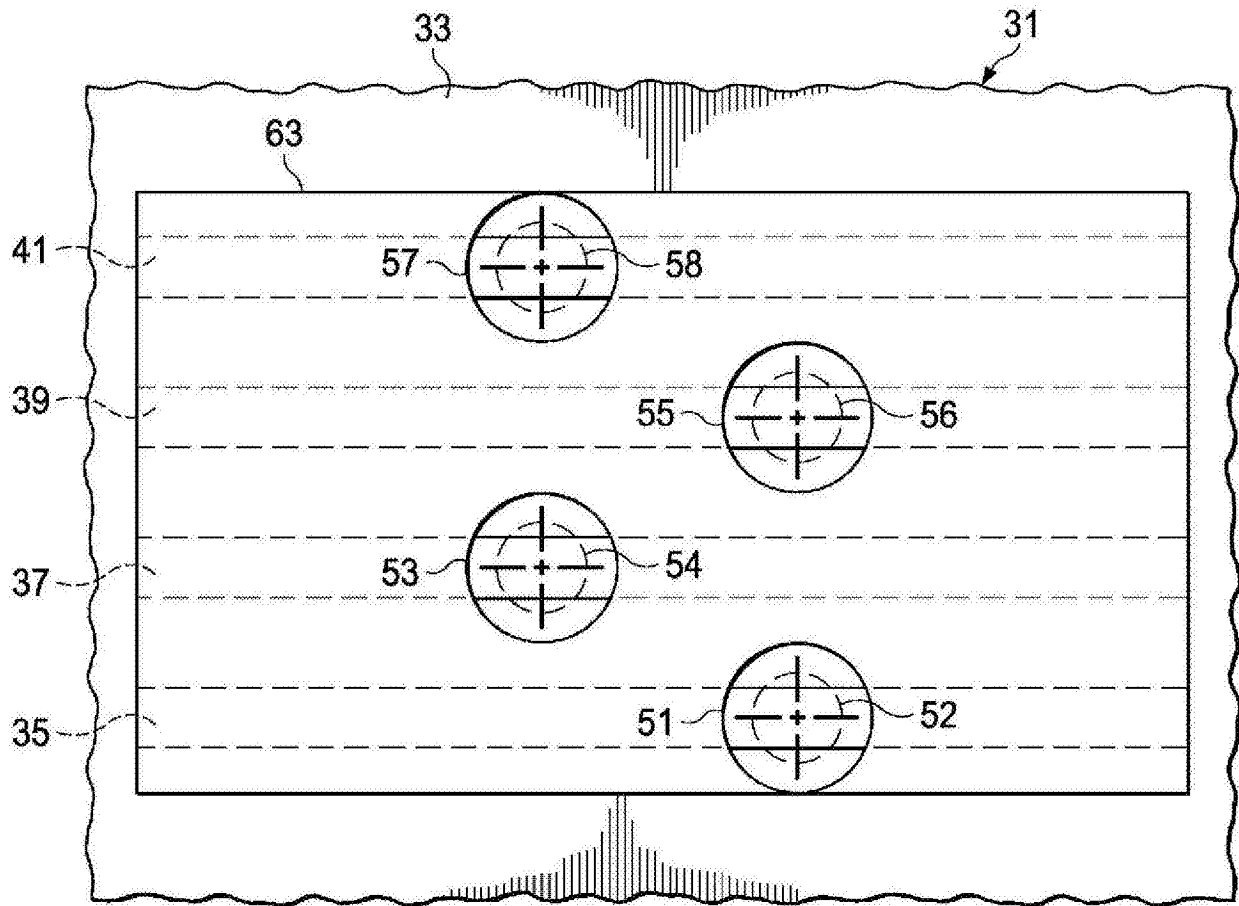


图4 (现有技术)

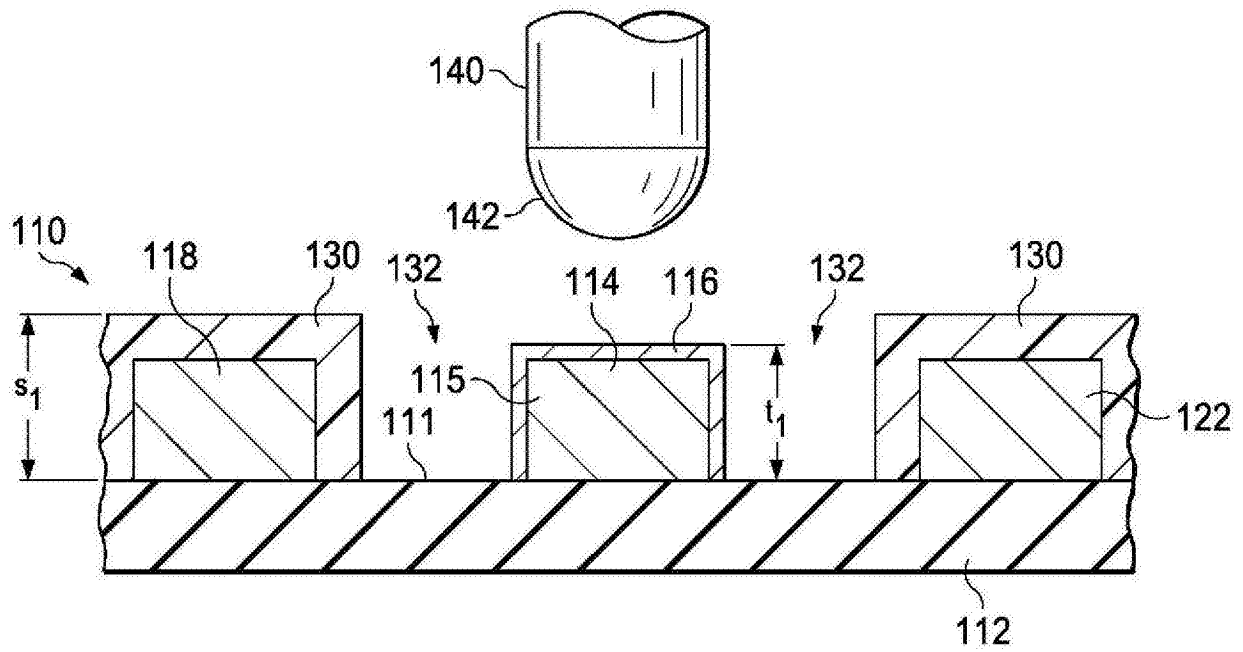


图5 (现有技术)

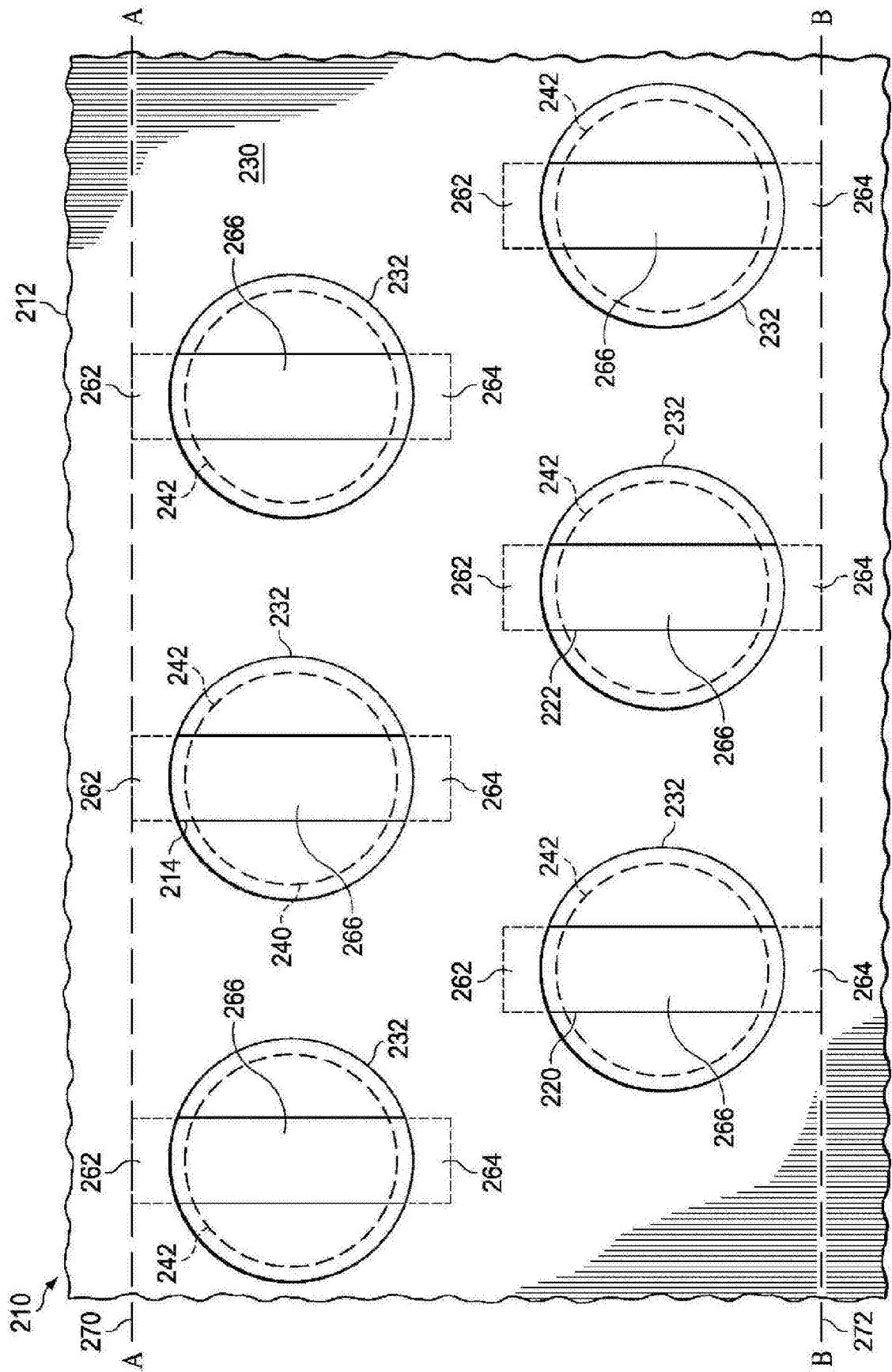


图8

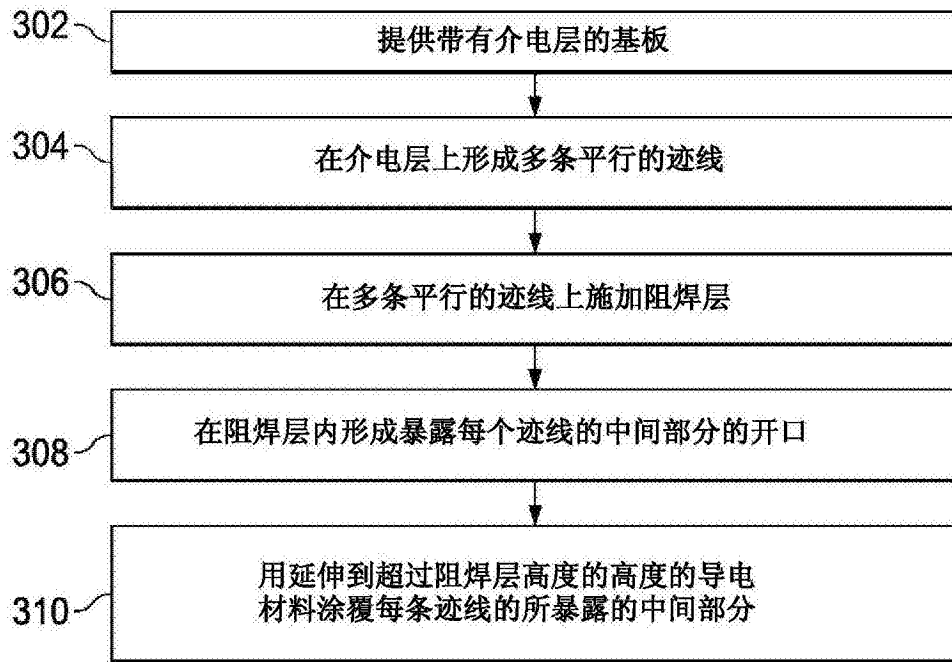


图9