



(12) 发明专利

(10) 授权公告号 CN 102341906 B

(45) 授权公告日 2014. 10. 15

(21) 申请号 200980157723. X

(22) 申请日 2009. 12. 29

(30) 优先权数据

102008063402. 6 2008. 12. 31 DE

12/637, 112 2009. 12. 14 US

(85) PCT国际申请进入国家阶段日

2011. 08. 30

(86) PCT国际申请的申请数据

PCT/EP2009/009307 2009. 12. 29

(87) PCT国际申请的公布数据

W02010/076018 EN 2010. 07. 08

(73) 专利权人 先进微装置公司

地址 美国加利福尼亚州

(72) 发明人 S·克朗霍尔兹 A·奥特

(74) 专利代理机构 北京戈程知识产权代理有限公司 11314

代理人 程伟 王锦阳

(51) Int. Cl.

H01L 21/8234(2006. 01)

H01L 21/8238(2006. 01)

(56) 对比文件

US 2008/0227250 A1, 2008. 09. 18, 说明书第 8-11、19-29, 图 2-10.

US 2003/0203560 A1, 2003. 10. 30, 说明书第 14、42 段.

US 2008/0111155 A1, 2008. 05. 15, 说明书第 32-48, 图 1-6.

CN 1623234 A, 2005. 06. 01, 全文.

US 2008/0227250 A1, 2008. 09. 18, 说明书第 8-11、19-29, 图 2-10.

审查员 周文龙

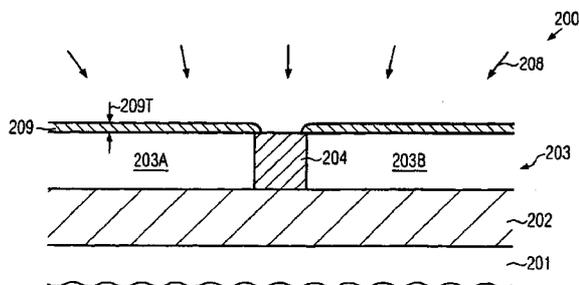
权利要求书2页 说明书10页 附图9页

(54) 发明名称

通过减少非均匀性沉积的包括沟道半导体合金的晶体管中的阈值电压变异的减少

(57) 摘要

在增强沉积均匀性的基础上, 为晶体管的一类型可选择性提供阈值调整半导体材料, 如硅/锗合金。为此目的, 可沉积半导体合金在任何晶体管的有源区, 随后可在高度可控的图案化模式的基础上图案化。因此, 可降低阈值变异。



CN 102341906 B

1. 一种制造半导体器件的方法,包括下列步骤:

在第一含硅结晶半导体区域和第二含硅结晶半导体区域上形成含硅半导体合金层;

从所述第二含硅结晶半导体区域选择性地移除所述含硅半导体合金层;

在所述含硅半导体合金层上形成第一晶体管的第一栅电极结构,所述第一栅电极结构包含高 k 电介质栅极绝缘层和形成在所述高 k 电介质栅极绝缘层上的含金属栅电极材料;

在所述第二含硅结晶半导体区域上面形成第二晶体管的第二栅电极结构,所述第二栅电极结构包括高 k 电介质栅极绝缘层和形成在所述第二栅电极结构的所述高 k 电介质栅极绝缘层上的含金属栅电极材料;以及

在所述第一和第二含硅结晶半导体区域中分别形成所述第一和第二晶体管的源极和漏极区域。

2. 如权利要求 1 所述的方法,其中,移除所述含硅半导体合金层包括在所述第一含硅结晶半导体区域上面选择性形成硬掩膜层和在所述硬掩膜层的基础上执行蚀刻工艺。

3. 如权利要求 2 所述的方法,其中,执行所述蚀刻工艺包括施以湿化学蚀刻方法。

4. 如权利要求 3 所述的方法,其中,执行所述蚀刻工艺包括四甲基氢氧化铵 TMAH 的基础上施以湿化学蚀刻方法。

5. 如权利要求 2 所述的方法,进一步包括执行进一步的蚀刻工艺,以移除所述硬掩膜层。

6. 如权利要求 1 所述的方法,其中,形成所述含硅半导体合金层包含执行选择性外延生长工艺,以抑制横向分离所述第一和第二含硅结晶半导体区域的隔离结构上的材料沉积。

7. 如权利要求 1 所述的方法,进一步包括在形成所述含硅半导体合金层之前形成隔离结构,其中,所述隔离结构横向分离所述第一和第二含硅结晶半导体区域。

8. 如权利要求 1 所述的方法,进一步包括在形成所述含硅半导体合金层之后形成隔离结构,其中,所述隔离结构横向分离所述第一和第二含硅结晶半导体区域。

9. 如权利要求 1 所述的方法,进一步包括在形成所述含硅半导体合金层后,引入第一掺杂种至所述第一含硅结晶半导体区域中和引入第二掺杂种至所述第二含硅结晶半导体区域中。

10. 如权利要求 9 所述的方法,进一步包括在引入所述第一和第二掺杂种之前在所述含硅半导体合金层上面形成掩膜层。

11. 如权利要求 10 所述的方法,进一步包括通过穿透在引入所述第一掺杂种使用的注入掩膜的所述掩膜层,从所述第二含硅结晶半导体区域上面移除所述掩膜层。

12. 如权利要求 11 所述的方法,进一步包括在形成所述含硅半导体合金层之前,形成在所述第一和第二含硅结晶半导体区域之间横向的隔离结构。

13. 如权利要求 11 所述的方法,进一步包括在形成所述含硅半导体合金层之后,形成在所述第一和第二含硅结晶半导体区域之间横向的隔离结构。

14. 如权利要求 1 所述的方法,其中,所述半导体合金包括硅 / 锗合金。

15. 一种制造半导体器件的方法,包括:

在第一和第二含硅半导体区域上形成阈值调整半导体材料;

通过使用注入掩膜覆盖所述第一含硅半导体区域,引入掺杂种至所述第二含硅半导体

区域中；

通过蚀刻穿透所述注入掩膜的所述阈值调整半导体材料，从所述第二含硅半导体区域选择性地移除所述阈值调整半导体材料；

在所述阈值调整半导体材料上形成第一晶体管的第一栅电极结构和在所述第二含硅半导体区域上形成第二晶体管的第二栅电极结构，所述第一和第二栅电极结构包括高 k 介电质材料和形成在所述高 k 电介质材料上的含金属电极材料；以及

在所述第一和第二含硅半导体区域中分别形成所述第一和第二晶体管的源极和漏极区域。

16. 如权利要求 15 所述的方法，其中，从所述第二含硅半导体区域选择性地移除所述阈值调整半导体材料包括形成掩膜层，通过使用所述注入掩膜图案化所述掩膜层和通过使用所述图案化掩膜层作为蚀刻掩膜蚀刻所述阈值调整半导体材料。

17. 如权利要求 16 所述的方法，其中，蚀刻所述阈值调整材料包括执行湿化学蚀刻工艺。

18. 如权利要求 17 所述的方法，其中，在四甲基氢氧化铵 TMAH 的基础上进行所述湿化学蚀刻工艺。

19. 如权利要求 15 所述的方法，进一步包括在形成所述阈值调整半导体材料之前，形成在所述第一和第二含硅半导体区域之间横向的隔离结构。

20. 如权利要求 15 所述的方法，进一步包括在形成所述阈值调整半导体材料之后，形成在所述第一和第二含硅半导体区域之间横向的隔离结构。

21. 如权利要求 15 所述的方法，其中，所述阈值调整半导体材料包括硅 / 锗合金。

通过减少非均匀性沉积的包括沟道半导体合金的晶体管中的阈值电压变异的减少

技术领域

[0001] 总的来说,本发明是有关包含先进的晶体管元件的复杂的集成电路,其包括包含金属电极和相比栅极电介质(如二氧化硅以及氮化硅)增加的介电常数的高-K栅极电介质的高电容栅极结构。

背景技术

[0002] 先进的集成电路的制造,如CPU,储存器件,ASICs(application specific integrated circuits,专用集成电路)和之类的,需要大量的电路元件以依据指定的电路布局形成在给定的芯片区域上,其中场效应晶体管代表电路元件之一重要类型,其实质确定集成电路的性能。一般来说,目前实行的多个工艺技术,其中对于包括场效应晶体管的复杂的电路的很多种类而言,鉴于运行速度和/或功耗和/或成本效益,MOS技术由于优越的特性,是目前前途最有希望的方法之一。在制造复杂集成电路,使用例如,MOS技术,数百万晶体管,例如,n-沟道晶体管和/或p-沟道晶体管,形成在包括结晶半导体层的衬底上。场效应晶体管,不论是否考虑n-沟道晶体管或p-沟道晶体管,通常包括所谓的PN结,通过高掺杂区域的接口形成,称为漏和源区域,稍掺或不掺区域,如沟道区域,置于毗邻高掺杂的区域。在场效应晶体管,沟道区域的导电,即导电沟道的驱动电流能力,是通过邻近沟道区域形成的栅电极控制和通过薄绝缘层由此分离。导电沟道形成后沟道区域的导电性,由于适当的控制电压应用于栅电极,取决于掺杂浓度,电荷载体的流动性,和-在晶体管宽度方向的沟道区域的给定扩展-源极和漏极区域之间的距离,也被称为沟道长度。因此,控制电压应用于栅电极之后,在绝缘层下,结合迅速创建导电沟道的能力,沟道区域的导电性实质影响MOS晶体管的性能。因此,创建沟道的速度,此取决于栅电极的导电性,和沟道电阻率实质确定晶体管特性,沟道长度的缩放-与其相关的沟道电阻率的减少和栅极电阻率的减少-是占主导地位的设计标准,以完成集成电路的运行速度的增加。目前,由于硅实质的无限可用性,硅和相关材料的特点,和在过去50年积累的工艺和经验,绝大多数集成电路在硅的基础上制造。因此,在可预见的将来为大众产品设计的电路产生,硅可保持选择的材料。在制造半导体器件,硅的重要性的原因之一是硅/二氧化硅接口的优越的特点,可实现不同的区域彼此的可靠的电气绝缘。在高温,硅/二氧化硅接口稳定,从而使随后高温工艺的性能,如需要的例如为退火周期,以激活掺杂物和固化晶体损伤,而不牺牲接口的电气特性。

[0003] 对于上文指出的原因,最好使用二氧化硅作为场效应晶体管的分离栅电极的栅极绝缘层,常由从硅沟道区域的多晶硅或其他含金属材料组成。在稳定提高场效应晶体管的器件性能,沟道区域的长度不断下降以提高切换速度和驱动电流能力。因通过提供栅电极的电压控制晶体管性能以反转沟道区域的表面到足够高的电荷密度,对于给定的供应电压提供了所需的驱动电流,通过栅电极形成的电容器提供的一定程度的电容耦合,沟道区域和之间的二氧化硅必须被维持。结果,减少沟道长度需要增加的电容耦合,以避免在晶体管

操作的所谓的短沟道行为。短沟道行为可能导致增加的泄漏电流和沟道长度上的阈值电压的显著依赖。用相对较低的供应电压活性缩小晶体管器件,从而降低的阈值电压可能受到漏电流的指数增加,同时也需要栅电极的增强电容耦合到沟道区域。因此,为栅极和沟道区域之间的所需的电容必须相应减少二氧化硅层的厚度。例如,约为 $0.08 \mu\text{m}$ 的沟道长度,可能需要二氧化硅制成的栅极电介质薄约 1.2 纳米。虽然有极短沟道的高速晶体管元件的普遍使用可能限制高速应用,而有较长的沟道的晶体管元件可用于不太重要的应用,如存储晶体管元件,通过超薄二氧化硅栅极绝缘层的电荷载体的直接隧穿造成的相对较高的漏电流可能达到在范围的氧化层厚度的值或 1-2nm,可能不再兼容性能驱动电路的要求。

[0004] 因此,取代二氧化硅,或其至少一部分,已考虑栅极绝缘层的材料,特别是极薄的二氧化硅栅极层。可能的替代电介质包括显示显著较高的介电常数的材料,使相应形成栅极绝缘层的物理上较大厚度尽管如此提供电容耦合,通过非常薄的二氧化硅层获得。一般情况下,实现指定的电容耦合二氧化硅要求的厚度,被称为电容等效厚度 (CET)。因此,在乍看之下,似乎只以高 $-k$ 材料更换二氧化硅是直接的方式来获取 1 纳米和更小的范围的电容等效厚度。

[0005] 因此建议,以高介电常数的材料,如 K 约 25 的氧化钽 (Ta_2O_5), K 约 150 的锆钛氧化物 (SrTiO_3), 氧化铪 (HfO_2), HfSiO , 氧化锆 (ZrO_2), 以及类似的取代二氧化硅。

[0006] 此外当推进到先进的基于高 k 电介质的栅极结构,晶体管性能也可通过为栅电极提供适当的导电材料而提高,以取代通常使用的多晶硅材料,因为多晶硅可能遭受接口至栅极介质邻域的电荷载体耗尽,从而减少沟道区域和栅电极之间的有效电容。因此,已建议栅极堆栈,其中高 k 介电材料提供增强的电容,即使相比二氧化硅层不是太关键的厚度,而另外维持漏电流在可接受的水平。另一方面可形成含金属非多晶硅材料,如氮化钛,氧化铝和之类的,从而直接连接到高 k 电介质材料,因此实质避免了耗尽区的存在。因为通常晶体管的低阈值电压代表导电沟道形成在沟道区域的电压,希望获得高驱动电流,通常各自沟道的可控性要求复杂的横向掺杂轮廓和掺杂梯度,至少在 PN 结邻域。因此,通过离子注入通常形成所谓的光环区域,以引进掺杂种其导电类型对应其余沟道的导电类型和半导体区域,从而形成各自的扩展和深的漏极和源区域后“加强”产生的 PN 结掺杂梯度。这样,晶体管的阈值电压明显决定沟道的可控性,其中可为减少的栅极长度观察阈值电压的重大变异。因此,通过提供适当的光环注入区域沟道的可控性增强,从而也减少阈值电压的变异,也称为阈值滚降 (roll off),也减少具有在栅极长度变异的晶体管性能的显著变异。由于通过接触栅极电介质材料的栅极材料的功函数,显著的影响晶体管的阈值电压,必须保证关于晶体管的导电类型的有效的功函数的适当的调整。

[0007] 例如,适当的含金属栅电极材料如氮化钛,氧化铝之类的频繁使用,其中可调整相应的功函数,以适当晶体管的一类型,如 n - 沟道晶体管,而 p - 沟道晶体管可需要不同的功函数和因此不同处理的含金属电极材料,以获得所需的阈值电压。

[0008] 在这种情况下,需要复杂和精良的制造模式以提供不同的栅电极材料在符合不同晶体管类型的要求。基于这个原因,通过在高 $-k$ 电介质材料和晶体管器件的沟道区域之间的接口提供专门设计的半导体材料,也已建议适当调整晶体管器件的阈值电压以适当地“适应”专门设计的半导体材料的带隙至含金属栅电极材料的功函数,从而获得晶体管所需的低阈值电压。通常情况下,通过外延生长技术,可提供相应的专门设计的半导体材料,如

硅 / 锗和之类的,可能也存在一个额外的复杂的工艺步骤,但相比不同的含金属栅极电极材料的提供,可以提供降低的整体工艺复杂性或在获得适当的晶体管特性可提供更大的灵活性。

[0009] 然而,事实证明,提供阈值调整半导体合金的制造序列,在半导体芯片或衬底,阈值变异上可有重大影响,将在参考图 1A 至 1D 详细解释。

[0010] 图 1A 示意说明半导体器件 100 的横截面视图,包括衬底 101,其上形成具有适当的厚度的含硅半导体材料 103,其中和其上形成晶体管元件。在这个例子所示,埋绝缘层 102,例如二氧化硅材料的形式,位在衬底 101 和含硅半导体层 103 之间。此外,隔离结构 104,如浅沟槽隔离,形成在半导体层 103 之中以定义第一结晶“有源”区域 103A 和第二有源区 103B。在这背景下,有源区理解为一种半导体材料,在其中创建适当的掺杂轮廓,从而为一或更多的晶体管元件形成 PN 结。在这个例子所示,第一有源区 103A 可对应 p- 沟道晶体管,而第二有源区 103B 可对应于 n- 沟道晶体管。此外,可形成掩膜层 105,例如,在二氧化硅材料之类的形式,以至少覆盖第一和第二有源区 103A, 103B, 而取决于形成掩膜层 105 的工艺可暴露隔离结构 104。此外,提供蚀刻掩膜 106,例如,抗蚀掩模 (resist mask) 的形式,其覆盖第二有源区 103B 和暴露第一有源区 103A。

[0011] 如图 1A 所示的半导体器件 100 通常是在以下工艺技术的基础上形成。首先,行之有效的光刻,蚀刻,沉积,平坦化和退火技术的基础上形成隔离结构 104,其中,例如,光刻工艺的基础上在半导体层 103 形成沟槽,随后以合适的绝缘材料(如二氧化硅,氮化硅,等等)填充。移除多余材料和平坦化表面构形后,通常是使用适当的掩膜模式,通过执行活性注入序列,继续进一步的处理,以引入相应的掺杂种在有源区 103A, 103B 产生基本掺杂浓度对应其中以及其上形成的晶体管的类型。激活掺杂种和重结晶注入引起的损伤后,通过形成掩膜层 105(例如氧化工艺等等的基础上)继续进一步处理。接下来,通过采用光刻技术形成抗蚀掩模 106,以暴露部分掩膜层 105,其在蚀刻工艺 107 移除,其可执行为当掩膜层 105 是由二氧化硅组成时使用例如氢氟酸 (HF) 湿化学蚀刻步骤。此外,移除蚀刻掩膜 106 后,可处理暴露的表面区以为硅 / 锗合金的选择性沉积准备第一有源区 103A, 硅 / 锗合金为结合在后制造阶段形成的含金属电极材料用于调整阈值电压或带隙能量的适当设计。

[0012] 图 1B 示意的说明在选择性外延生长工艺 108 的半导体器件 100,其中按照行之有效的方法选择工艺参数,使显着材料沉积可限制在暴露的有源区 103A, 而电介质表面区的材料沉积可能是微不足道的。因此,在选定的外延生长工艺 108 中,硅 / 锗合金 109 可选择性地在有源区 103A 上形成,而可抑制隔离结构 104 上和掩膜层 105 上其沉积。例如,在复杂的应用,硅 / 锗合金 109 可提供厚度约 10nm 或更小,而锗浓度可约 25 原子百分比。应该意识到硅 / 锗合金 109 的材料组成以及其厚度,对最后得到的阈值电压和因此最后得到的晶体管特性可有重大影响。

[0013] 图 1C 示意图说明在进一步先进的制造阶段的半导体器件 100。如图所示,器件 100 暴露在蚀刻环境 110,例如,在湿化学蚀刻环境的形式提供,其中掩膜层 105(参见图 1B) 选择性移除有关有源区 103B 的材料和以前沉积的硅 / 锗合金 109。例如,氢氟酸的基础上执行蚀刻工艺 110,其可以关于材料 103B 和 109 的高度的选择性移除二氧化硅材料。此后,通过形成栅电极结构和完成基本的晶体管配置可继续进一步的处理。

[0014] 图 1D 示意说明了在先进的制造阶段的半导体器件 100。在这个阶段,p- 沟道晶体

管 150A 形成在有源区 103A 中和之上和 n 沟道晶体管 150B 形成在有源区 103B 中和之上。晶体管 150A, 150B 包括包含栅极绝缘层 151B 的电极结构 151, 如前所述, 包括高 k 电介质材料。此外, 含金属电极材料, 如氧化铝, 氮化钛之类的, 可形成在栅极绝缘层 151B 上, 接着是进一步的电极材料如多晶硅 151C。如图所示, 在 p- 沟道晶体管 150A, 栅极绝缘层 151B 形成在硅 / 锗合金 109 上, 使晶体管 150A 的阈值电压, 即形成在沟道区域 153 的导电沟道上的电压, 可通过合金 109 和材料 151B 和 151A 的特性结合漏极和源极区域 154 相应的特性确定, 如前所述, 也可在复杂的掺杂轮廓的基础上形成。另一方面, 晶体管 150B 的沟道区域 153 的带隙配置是适当的接合材料 151B, 151A。

[0015] 行之有效的制造技术的基础上, 包括栅极绝缘层 151B, 电极材料 151A 和多晶硅材料 151C 的沉积和使用先进的光刻和蚀刻技术的使其图案化, 可形成晶体管 150A, 150B。此后, 可以结合形成间隔结构 152 的制造序列执行相应的注入序列, 以为漏和源区域 154 适当定义纵向和横向的掺杂轮廓。在用于激活掺杂物和重结晶注入损伤的相应退火工艺后, 如果需要, 通过在漏极和源极区域 154 和多晶硅材料 151C 形成金属硅化区域 (未显示), 可完成基本晶体管配置。

[0016] 通过提供硅 / 锗合金 109 也可有效地调整 p- 沟道晶体管 150A 的阈值电压, 可观察到 p- 沟道晶体管的阈值电压显著的变异, 特别是可观察在高密度封装器件区和器件区的 p- 沟道晶体管的阈值电压的重大偏差。因此, 对于复杂的应用需要 50 纳米和更小的栅极长度的高缩放晶体管元件, 由于在传统的工艺流程中获得的高阈值变异, 调整包括先进的高 -K 金属栅电极结构的晶体管的阈值电压的传统的战略可能不甚理想。

[0017] 鉴于上述情况, 本发明是针对制造技术和半导体器件, 其中沟道区域中提供的半导体合金的基础上可实现有效的阈值调整, 同时可避免或至少减少以上所指出的或多个问题的影响的各种方法。

发明内容

[0018] 一般情况下, 本发明提供半导体器件和制造技术, 其中包括阈值调整半导体合金的晶体管的阈值变异, 可通过减少在阈值调整半导体材料的沉积的工艺非均匀性而显著减少。为此, 在外延生长工艺中“图案负载 (pattern loading) 的程度”用于沉积阈值调整半导体材料可降低, 从而在个别半导体芯片和整个衬底获得高度均匀性。在这方面, “图案负载”一词, 可以被理解为在沉积工艺取决于区的“邻域”的层度和 / 或材料成分的变异的效果, 其上沉积相应的材料。也就是说, 通常情况下, 沉积行为可取决于局部的沉积条件, 反过来可通过沉积区的邻域确定, 其中, 尤其是可观察到高密度封装器件区和非高密度封装器件区之间的显著差异。因此, 依据披露的原则, 通过以更“全局”的方式沉积阈值调整材料和在随后的均匀和可控图案化序列的图案化, 相应的局部沉积条件可更均匀。

[0019] 在此披露的例示的方法包括在第一含硅结晶半导体区域和第二含硅结晶半导体区域上形成含硅半导体合金层。该方法还包括从所述第二含硅结晶半导体区域选择性地移除所述含硅半导体合金层。此外, 该方法包括在所述含硅半导体合金层上形成第一晶体管的第一栅电极结构, 其中所述第一栅电极结构包含高 k 电介质栅极绝缘层和形成在所述高 k 电介质栅极绝缘层上的含金属栅电极材料。最后, 该方法包括在所述第二含硅结晶半导体区域上面形成第二晶体管的第二栅电极结构, 其中所述第二栅电极结构包括高 k 电介质栅

极绝缘层和形成其上的含金属栅电极材料。

[0020] 在此披露的另例示的方法包括在第一和第二含硅半导体区域形成阈值调整半导体材料。此外,通过使用注入掩膜覆盖所述第一含硅半导体区域,引入掺杂种至所述第二含硅半导体区域中。该方法还包括在所述注入掩膜的基础上,从所述第二含硅半导体区域选择性地移除所述阈值调整半导体材料。最后,该方法包括在所述阈值调整半导体材料上形成第一晶体管的第一栅电极结构和在所述第二含硅半导体区域上形成第二晶体管的第二栅电极结构,所述第一和第二栅电极结构包括高-k介电质材料和形成在所述高k电介质材料上的含金属电极材料。

[0021] 在此披露的又另例示的半导体器件包括第一器件区包括定义大约100纳米或更小的间距的多个密集第一p-沟道晶体管。每个所述第一p-沟道晶体管形成在第一含硅半导体区域内及上面,并包含阈值调整半导体合金的第一层在每一所述第一p-沟道晶体管的沟道区域内。所述半导体器件还包括第二器件区包括定义大于100纳米的间距的多个第二p-沟道晶体管,其中每个所述第二p-沟道晶体管形成在第二含硅半导体区域内及上面,并包含所述阈值调整半导体合金的第二层在每一所述第二p-沟道晶体管的沟道区域内。此外,至少一材料组成的均匀程度和阈值调整半导体合金的第一和第二层的层厚度约为 $\pm 2\%$ 。

附图说明

[0022] 本明的进一步实施方式定义于附加的权利要求以及参考以下结合附加图式的说明会更理解,且其中:

[0023] 图A至1D示意性的说明依据现有技术的提供阈值调整硅/锗合金的各个制作阶段的包括p-沟道和n-沟道晶体管的先进的半导体器件的横截面视图;

[0024] 图2A至2E示意性的说明依据说明性的实施例的具有增强的均匀在相应的半导体区域上选择性地形成阈值调整半导体合金的各个制作阶段的半导体器件的横截面视图;

[0025] 图2F示意性的说明依据进一步说明性的实施例的形成相应的隔离结构之前可形成阈值调整半导体合金的半导体器件的横截面视图;

[0026] 图2G到2K示意性的说明依据说明性的实施例的用于在有源区定义基本掺杂使用的注入掩膜的基础上可形成阈值调整半导体合金的各个生产阶段的半导体器件的横截面视图;

[0027] 图2L示意性的说明依据说明性的实施例的半导体器件,其中提供阈值调整半导体合金后可形成隔离结构;

[0028] 图2M示意性的说明在进一步的先进的制作阶段的半导体器件的横截面视图,其中依据说明性的实施例多个p-沟道晶体管可相对于材料成分和/或层厚度的具有减少的变异程度的阈值调整半导体合金。

具体实施方式

[0029] 虽然本发明是参阅以下具体实施方式所述的实施方式及附图来说明,应了解以下具体实施方式及附图并非用以限制本文所披露的具体说明的实施方式的主要内容,而所述的说明实施方式仅示范本发明的各种态样,其范畴是通过附加的权利要求来定义。

[0030] 一般而言,本文中所披露的标的提供了半导体器件和技术,其中复杂的栅电极结构,可在高k电介质材料和电极包含电极材料的基础上在早期制造阶段形成。在这种情况下,通过在相应晶体管的沟道区域提供适当的半导体材料可调整一种晶体管类型的阈值电压,可在具有增强均匀性的制造工艺的基础上完成,从而减少阈值的变异,其可通过在层厚度即使是很小的偏差和/或约 $\pm 5\%$ 的材料组成造成。也就是说,如前参照半导体器件100所解释,在传统的制造战略中,相对于相应目标值对于层厚度和/或锗浓度具有约5%的变异的硅/锗合金的提供可能会导致显著的阈值变异,可能无法兼容复杂的集成电路的要求,其中约50纳米及以下的关键尺寸的基础上可形成晶体管。人们已经认识到,在形成阈值调整半导体合金的沉积工艺中这种图案(pattern)相关的均匀性可重大影响产生的阈值变异,特别是关于包括高密度封装晶体管元件的器件区和具有不太关键的堆积密度的器件区。因此,依据一些说明性的实施例,可在先进的表面条件的基础上执行形成阈值调整半导体合金的关键的外延沉积工艺,即关于沉积表面区和非沉积区的均匀性增加程度,使可增加半导体合金的均匀性的产生的程度。在这方面,均匀性程度可理解为相应参数的给定目标值的约 $\pm 3\%$ 的偏差。例如,阈值调整半导体材料材料组成可变化约3%或以下,即 $\pm 3\%$ 相比于目标值,可取自大量的相应的材料样品定义平均值。在其他情况下,关于相应目标厚度,层的厚度可偏离约 $\pm 3\%$ 或以下。

[0031] 在一些说明的实施例中,均匀性增强程度可通过以“非选择性”的方式沉积阈值调整半导体合金而完成,其中,半导体合金可沉积在任何类型的晶体管的有源区域上和随后可从一种类型晶体管(如,可控良好的蚀刻工艺的基础上的n沟道晶体管)移除。应该明白这个词“非选择性”沉积也可指其中虽然结晶半导体表面和电介质的表面区之间可实现选择性的程度的情况,其可以隔离结构等的形式提供。因此,即使半导体合金的沉积可能限于结晶半导体表面,可实现在整个半导体芯片或包括多个半导体芯片的衬底显着提高沉积条件,因为在局部范围上可实现非常相似的沉积条件如晶体管通常的两种类型可位在靠近,不论是考虑高密度封装或非高密度封装的器件区域。在其他说明的实施例,以高度非选择性的方式沉积半导体合金后可形成隔离结构,从而进一步增强沉积条件的均匀性。在本文中所披露的一些说明性的实施例,可实现半导体合金的图案化,而无需额外的光刻步骤,从而提供高效的整体生产流程。

[0032] 参考图2A至2N,现在将更详细的描述实施例,其中如果需要,也可参考图1A至1D。

[0033] 图2A示意性的说明半导体器件200的横截面视图,包括衬底201和含硅半导体层203。此外,在一些说明性的实施例,例如如图2a所示,器件200的至少一部分包括SOI架构,其中埋绝缘层202可在衬底201和含硅半导体层203之间。然而,应察知本文中所披露的原理也容易适用于“大块(bulk)”的配置,其中可以省略埋绝缘层202,至少在器件200一些器件区。此外,隔离结构204,如浅沟槽隔离,可提供在半导体层203中,从而定义第一有源区203A和第二有源区203B。在图中所示的实施例,有源区203A,203B可包括用于定义仍形成在有源区203A,203B之中及之上的相应的晶体管的导电类型的基本掺杂。在说明性的实施例,有源区203A可代表n-掺杂区域,以形成p-沟道晶体管。同样,有源区域203B可代表n-沟道晶体管的有源区。在以下,将讨论制造序列,其中阈值调整半导体合金可选择性形成在有源区203A上,以为其中形成的晶体管提供相应的阈值电压。然而,应察知,依据

不同的整体器件和工艺要求,用于调整阈值电压的相应机制可被应用在形成在有源区 203B 的晶体管或两个晶体管。

[0034] 此外,关于迄今描述的组件和关于其形成的任何制造技术,相同的准则可适用如前参考半导体器件 100 所述的。在所示的实施例,形成隔离结构 204 和在有源区 203A, 203B 定义基本掺杂之后,器件 200 可受清洗工艺 200,其可在建立良好的湿化学配方的基础上进行。例如,可移除在前面的生产步骤已形成的任何原生氧化物。

[0035] 图 2B 示意性的说明在外延生长工艺 208 的半导体器件 200,其中半导体合金 209,例如以硅 / 锗材料和之类的形式,可在相对于传统战略增强均匀性的表面状况的基础上沉积。也就是说,在说明性的实施例,可在良好建立的工艺参数的基础上进行外延生长工艺 208,如“选择性”沉积方法,其中在暴露的晶体表面区域上可实质上出现材料附着,如,区域 203A, 203B,而电介质表面区上明显的材料沉积,如隔离结构 204 可被抑制。从这个意义上说,工艺 208 可作为选择性外延生长工艺,然而,其中,半导体合金 209 可相对于有源区 203A, 203B 以非选择性的方式形成。也就是说,与传统方法相反,直接在区域 203A, 203B 的表面区的任何前驱材料的沉积速率和 / 或存在可很类似,甚至整个衬底 201,因为有源区 203A 的沉积的局部邻域可以是类似的,不论在相应的器件区的整体堆积密度,因为通常一个或多个进一步晶体管元件或有源区是位在靠近区域 203A,如区域 203B,其上材料 209 的沉积是传统方式抑制。因此,相应的“边缘条件“对于对应晶体管型的任何有源区,可以是相似的,而材料 209 的沉积是必需的。因此,材料 209 的厚度 209T 相比整个衬底 201 的相应的代表性的平均值,可有高度均匀性且变化约 $\pm 3\%$ 或更低。在其他说明性的实施例,厚度的变化可甚至为约 2% 更少。例如,半导体合金 209 可代表具有约 10 纳米更少的厚度的硅 / 锗合金,例如 9nm 而锗浓度可约 25at. % 和更少,取决于结合相应的含金属电极材料提供的二极管带隙偏离 (off-set)。因此,由于在沉积工艺 208 中气体流量的增强的均匀性,也可增强材料组成的变异,即,取决于使用的半导体合金 209 型,可减少各组件 (如硅,锗和之类的) 的比例,并相对代表性的平均值或目标值可在约 $\pm 3\%$ 或更少之内。

[0036] 图 2C 示意性的说明在进一步先进的制造阶段的半导体器件 200 的横截面视图。如图所示,掩膜层 205 形成在半导体层 209 上和可包括任何适当的材料,如二氧化硅,氮化硅,等等。在一些说明性的实施例,掩膜层 205 可形成材料 209 的氧化物,因此相应的组件也可沉积在掩膜层 205。完善沉积技术的基础上,可形成层 205,如等离子辅助 CVD (化学气相沉积) 热激活 CVD 和之类的。在其他情况下,可执行氧化工艺例如,热氧化,等离子体辅助氧化,湿化学氧化之类的,其中相应氧化工艺的高度可控,可使初始层 209 的材料消耗精确控制。也就是说,由于多个氧化方法的众所周知的和稳定的氧化率,材料消耗的程度可事先确定和可在沉积适当的初始厚度的层 209 时考虑。由于相应的氧化工艺的高度均匀性,其在氧化工艺的基础上,掩膜层 205 的氧化可实质没有助于额外的总体工艺非均匀性。

[0037] 图 2D 示意性的说明在制造阶段的半导体器件 200,其中可提供掩膜 206 以便覆盖有源区 203A 和形成其上的相应的材料层 209 和 205,而暴露的有源区 203B 和形成其上的相应的材料至蚀刻环境 207,此设计以移除至少掩膜层 205 的材料。在实施例中所示,可进行蚀刻工艺 207 以相对于材料 209 选择性地移除材料 205,当掩膜层 205 是由二氧化硅组成时,例如在氢氟酸的基础上,材料 209 可完成。在其他情况下,可以使用任何其他的选择性蚀刻方法以便有选择性地移除层 205 的暴露部分。

[0038] 图 2E 示意性的说明半导体器件 200, 当暴露在进一步的蚀刻环境 212, 其可在相对于至少掩膜层 205 选择性移除层 209 的材料的适当蚀刻化学的基础上建立。在说明性的实施例, 化学剂的基础上, 蚀刻工艺 212 可进行为湿化学蚀刻工艺使去除材料 209, 如硅 / 锗合金选择性对于可由二氧化硅, 氮化硅等组成的掩膜层 205。在蚀刻工艺 212 中可以适当地选择工艺参数, 如化学剂的浓度, 处理时间和之类的, 因此不会过分消耗有源区 203B 的材料。在一说明性的实施例, 在已知的移除抗蚀材料的化学品, 四甲基氢氧化铵 (TMAH) 的基础上可进行蚀刻工艺 212, 然而, 四甲基氢氧化铵 (TMAH) 也可有效地去除硅基材料并在较高浓度与在高温下提供。此外, 相对于二氧化硅和氮化硅材料, TMAH 也可出现明显的选择性。因此, 以高度的可控性可移除层 209 而不影响有源区 203A 上的材料层 209 的完整性, 即使可在蚀刻工艺 212 移除抗蚀掩模 206 (参见图 2D)。在其他情况下, 开始蚀刻工艺 212 前可移除抗蚀掩模以进一步提高整个工艺均匀性。因此, 在暴露有源区 203B 的图案化序列时, 可在掩膜层 205 的基础上保持材料 209 的整体完整性。此后, 掩膜层 205 可从有源区 203A 上面移除, 其中可应用类似的工艺技术, 如之前参照半导体器件 100 解释蚀刻工艺 110 (参见图 1C)。暴露半导体合金 209 后, 形成复杂的栅电极结构的工艺技术的基础上可继续进一步处理, 如前所述。

[0039] 图 2F 示意性的说明依据进一步的说明性的实施例的半导体器件 200, 其中形成隔离结构之前, 可建立对区域 203A, 203B 的基本掺杂。此外, 器件 200 可暴露到外延生长工艺 208 以在任何适当沉积方法的基础上形成半导体合金 209, 其中由于缺少隔离结构则可实现进一步沉积条件的强化程度。因此, 也在这种情况下, 相对于材料的组成和层的厚度, 可提供具高度均匀性的材料 209, 如前所述。形成半导体合金 209 后, 通过图案化层 209 和形成隔离结构可继续进一步处理, 其中, 用于维持增强的工艺均匀性的适当的制造战略可在后面参考图 2L 说明。

[0040] 参考图 2G 到 2J, 现在进一步描述说明的实施例, 其中, 阈值调整半导体合金的图案化可在用于定义在有源区之一的的基本掺杂浓度的注入掩膜基础上完成。

[0041] 图 2G 示意性的说明在制造阶段的半导体器件 200, 其中一说明性的实施例, 可形成隔离结构 204 以分离有源区 203A, 203B, 然而, 同时, 可能尚未建立相应的基本掺杂水平。在其他说明性的实施例, 在这制造阶段可不形成隔离结构 204, 如虚线所示, 而可在以后的制造阶段形成, 如前参考图 2F 所述, 将参考图 2L 详细解释。此外, 器件 200 暴露到工艺 208 的沉积环境, 以形成具有优越均匀性的半导体合金 209, 如前解释。应该认识到半导体合金 209 可不形成在隔离结构 204 上, 如果在这制造阶段已经存在。

[0042] 图 2H 示意性的说明在进一步先进的制造阶段的半导体器件 200。如图所示, 掩膜层 205 可形成在半导体合金 209 上, 其中掩膜层 205 可由任何适当的材料组成, 如前所述。此外, 可以抗蚀掩模的形式提供注入掩膜 214A 以暴露有源区 203A, 即其上形成掩膜层 205, 而覆盖有源区 203B。此外, 器件 200 受离子注入工艺 213A 旨在引入掺杂种到有源区 203A, 其可在行之有效的注入方法的基础上完成, 然而, 其中, 可相对于半导体合金 209 和掩膜层 205 的存在适当地调整相应的工艺参数, 如注入能源, 等等。然而, 通常可提供适度小的层厚度的两种材料层, 使相应的适应可在传统战略的基础上很容易地就完成。

[0043] 图 2I 示意性的说明在进一步先进的制造阶段的半导体器件 200, 其中注入掩膜 214A (参见图 2H) 去除后, 进一步的注入掩膜 214B 可暴露有源区域 203B, 即形成其上的材

料层 205, 209, 而覆盖形成在有源区 203A 上的相应材料层。此外, 可执行注入工艺 213B 以依据整体器件要求引入掺杂种到有源区 203B。

[0044] 图 2J 示意性的说明当暴露在蚀刻环境 207 的半导体器件 200, 例如以湿化学蚀刻环境的形式提供, 其中注入掩膜 214B 的基础上可图案化掩膜层 205。因此, 可避免图案化掩膜层 205 的任何额外的光刻步骤, 从而有助于非常高效的整体工艺流程。

[0045] 图 2K 示意性的说明当暴露在蚀刻环境 212 的半导体器件 200, 用于掩膜层 205 的基础上从有源区 203B 上移除半导体合金 209 的暴露部分。相对于蚀刻工艺 212 的任何工艺方法, 可适用相同的准则, 如前所述。另外, 在这种情况下, 在高效率的制作流程的基础上可提供具高度均匀性的半导体合金 209, 而无需任何额外的光刻步骤。蚀刻工艺 212 后, 可继续进一步的处理, 如前所述, 即可移除掩膜层 205 和可通过形成先进的栅电极结构继续进一步处理, 如前参考晶体管元件 150A, 150B (参见图 1D) 解释。

[0046] 图 2L 示意性的说明依据进一步说明的实施例的半导体器件 200, 其中图案化半导体合金 209 后的隔离结构 204。例如, 在上面参考图 2G 到 2K 描述的工艺序列中, 形成隔离结构之前, 半导体合金 209 可在注入掩膜的基础上图案化, 而在另一些情况下, 在区域 203A, 203B 中形成基本掺杂浓度后可图案化半导体合金 209, 如参考图 2F 解释。在任何的这些情况中, 在半导体合金 209 和掩膜层 205 的剩余部分的基础上, 可继续进一步的处理, 其可保持从而提高材料 209 的完整性, 以在提供隔离结构 204 的制造序列中减少任何可能存在的工艺非均匀。在一说明性的实施例中, 如图 2L 说明的停止层 215, 即可形成蚀刻停止材料和 / 或 CMP (化学机械抛光) 停止材料, 如氮化硅材料, 其可在任何适当的沉积方法的基础上沉积。依据整个工艺的策略, 如果需要的话, 器件 200 的表面构形可平坦化, 而在其他情况下, 层 215 的基础上可继续进一步处理而不用进一步表面处理。因此, 该层 215 可作为进一步处理的平台, 即行之有效的沉积方法的基础上定义蚀刻掩膜和蚀刻沟槽到半导体层 203 和填充此物的序列。此后, 可移除任何多余的材料, 例如通过 CMP, 其中层 215 可以为停止层。此后, 层 215 的残留可被移除, 其中掩膜层 205 可仍然保持半导体合金 209 的完整。此后, 掩膜层 205 可被移除, 举例来说, 任何工艺技术的基础上, 如前面描述的, 并在此后可继续进一步的处理形成复杂的栅电极结构。

[0047] 图 2M 示意性的说明在先进制作阶段的半导体器件 200。如图所示, 器件 200 可包括包含多个第一晶体管 250A 的第一器件区域 270A, 如 p- 沟道晶体管, 以及一个或多个 n- 沟道晶体管, 250B。此外, 可提供第二器件区 270B, 其中可形成多个第三晶体管 250C, 如 p- 沟道晶体管, 可能组合一个或多个 n- 沟道晶体管 (未显示)。在实施例中所示, 晶体管 250A, 250C 可代表其中有形成阈值调整半导体合金 209 的先进的晶体管元件, 以提供如前面所讨论的所需的晶体管特性。在另一方面, 晶体管 250B 可以代表晶体管, 其中半导体合金的基础上相应的阈值调整可以不是必需的。晶体管 250A, 250B 和 250C 可各包括栅电极结构 251, 其可依序包括高 k 电介质材料的基础上形成的栅极绝缘层 251A, 如前所述。此外, 含金属电极材料 251A, 如氧化铝, 氮化钛和之类可形成在相应的栅极绝缘层 251B 上, 其中, 如果需要的话, 额外的电极材料, 如多晶硅材料和之类 251C 可形成在电极材料 251A 上。此外可提供先进的漏极和源极区域 254 以获得所需的整体晶体管特性, 如前面所讨论的。

[0048] 任何适当的制造策略的基础上可形成晶体管 250A, 250B 和 250C, 例如, 正如前面所讨论的, 其中, 在每个晶体管 250A, 250C 的半导体合金 209 的增强的均匀可提供产生的晶

晶体管特性的优越的均匀性。例如，在器件 270A，相邻的晶体管 250A 之间的距离或间距 250P，可对应到最低临界距离，以获得所需的高堆积密度。例如，在复杂的应用，间距 250P 可约 100 纳米及以下，而栅极长度，即在图 2M 电极材料 251A 的横向延伸可约 50 纳米和更小。另一方面，取决于整体器件的要求，相邻的晶体管 250C 之间的相应的距离或间距可显著更高，然而不论相应的距离 250P，250Q，相应半导体合金 209 的均匀的强化程度可提供减少的晶体管变异。如前所述，在半导体合金 209 的沉积期间，可在增强的工艺条件的基础上完成，因为在局部来说，对每个晶体管 250C，250A 可实现非常相似的邻域。例如，晶体管 250B 可以代表对各自晶体管 250C，250A 之一的“下一”邻域，从而在形成材料 209 的沉积工艺中提供类似的局部邻域，如先前解释。

[0049] 因此，目前的披露提供半导体器件和制造技术，其中通过为每种类型的晶体管沉积材料在有源区上和其后在高度可控的图案化序列的基础上图案化半导体合金，可减少形成阈值调整半导体合金的沉积有关的非均匀。因此，包括高 k 电介质材料和含金属电极材料的复杂的栅电极结构可在早期制作阶段形成，即形成漏和源区域之前，阈值调整半导体合金的基础上，如硅 / 锗材料，其中在阈值调整材料的选择性形成的增强均匀可导致减少的阈值变异，即使考虑极其规模的半导体器件。

[0050] 鉴于此说明，本发明的其它修改及变化对于此技术领域具有通常技艺人士是明显的。因此，可理解此说明仅为说明且为教示此技术领域具有通常技艺人士执行本文所教示的一般方法的目的。应了解的是，本文所描述及显示的内容的形式是视为目前较佳的实施方式。

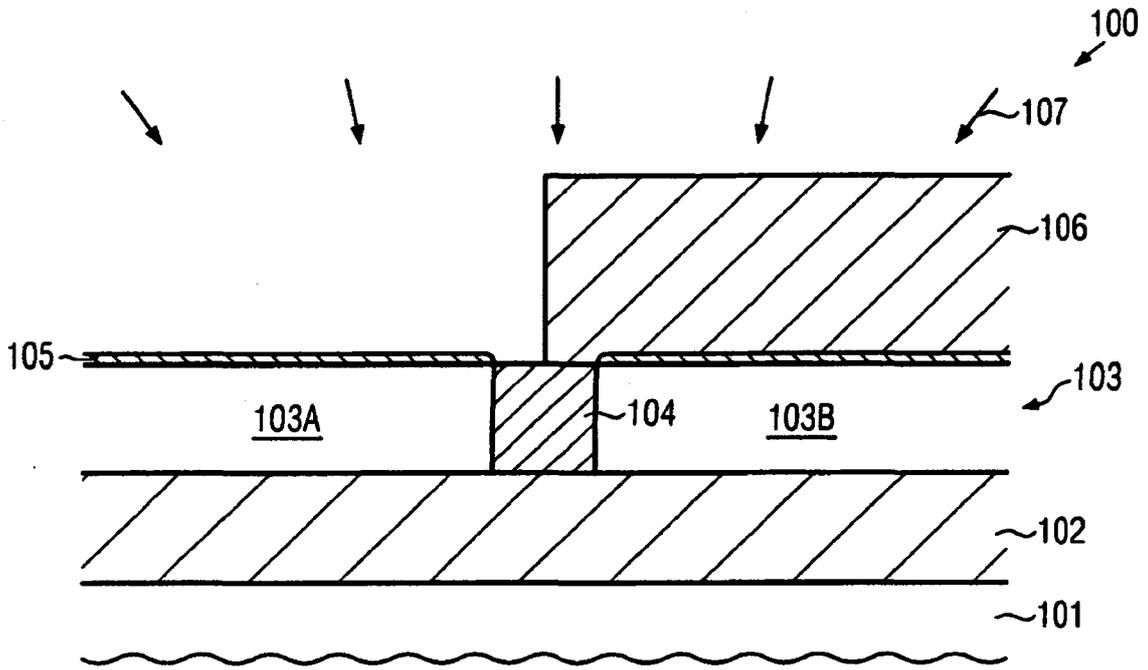


图 1a(现有技术)

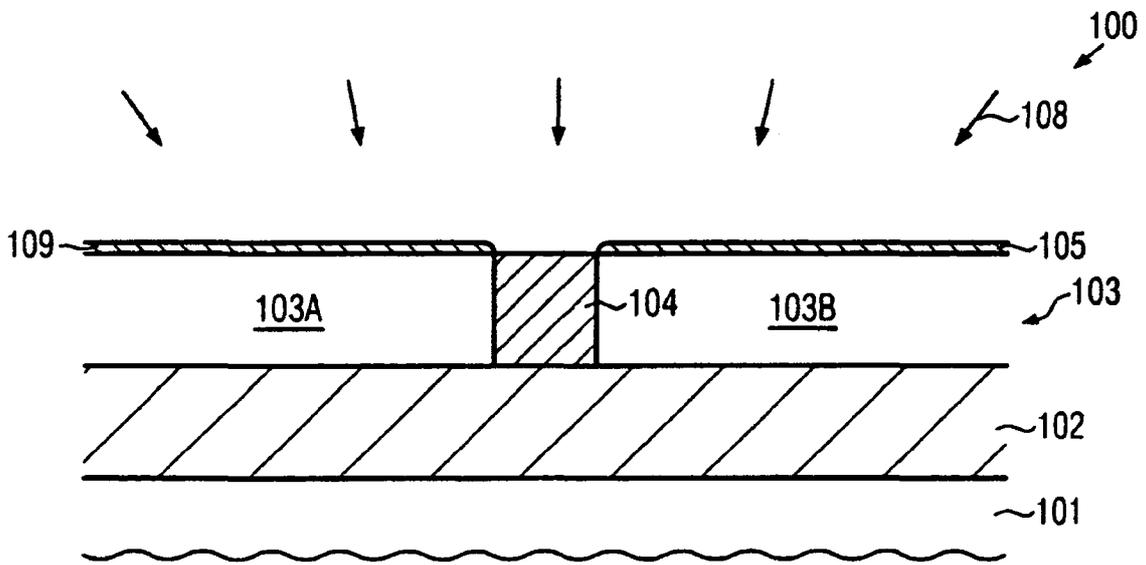


图 1b(现有技术)

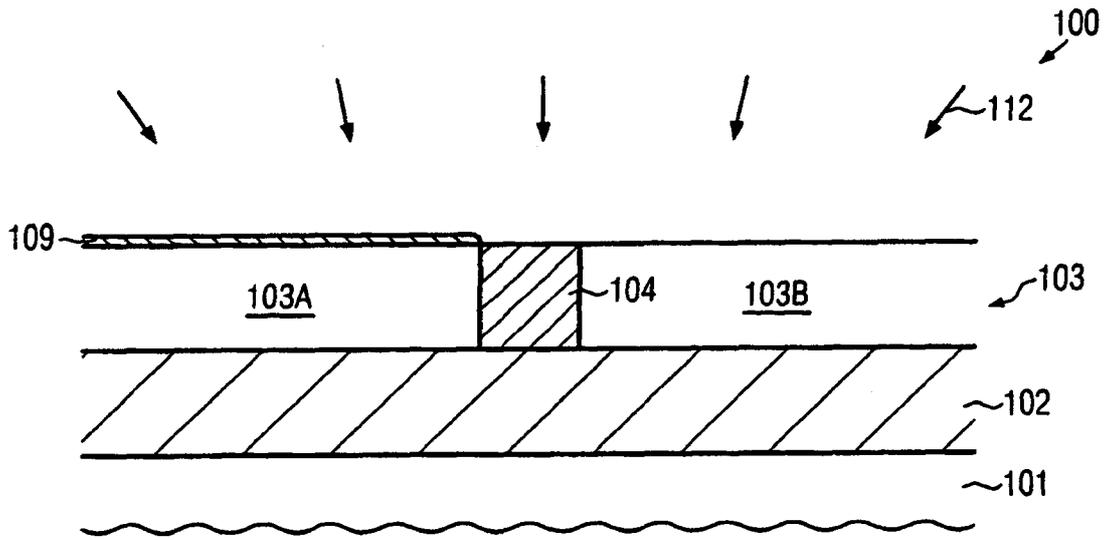


图 1c(现有技术)

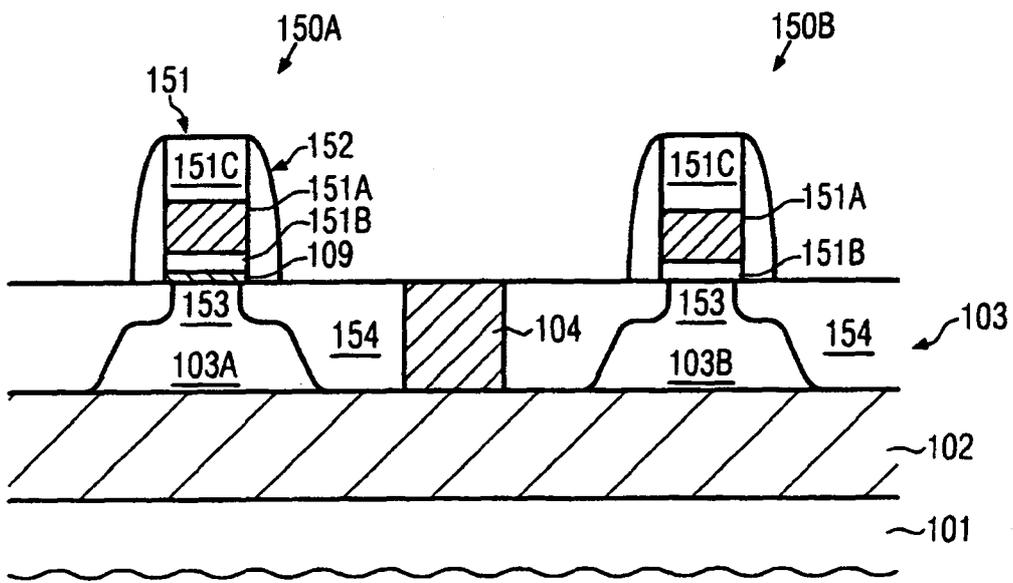


图 1d(现有技术)

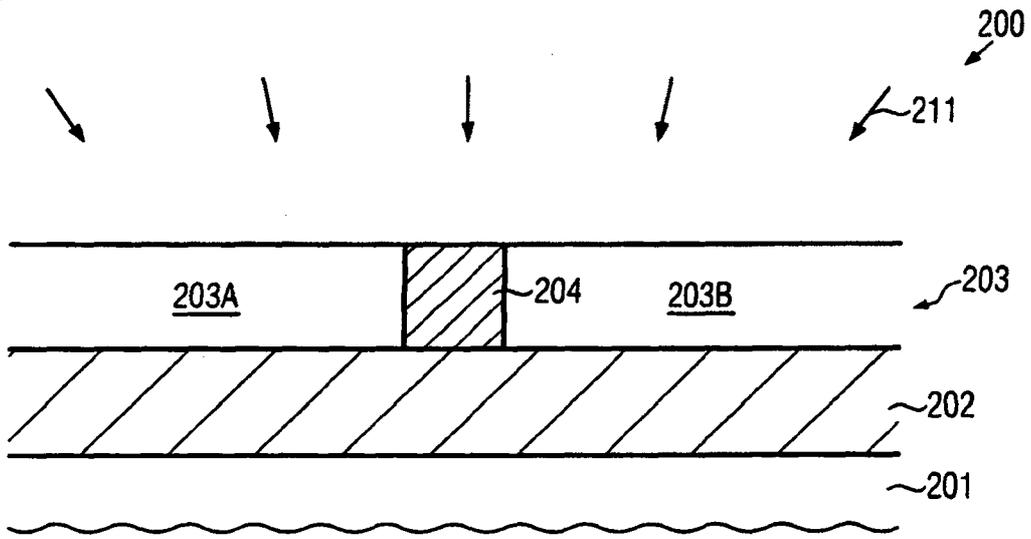


图 2a

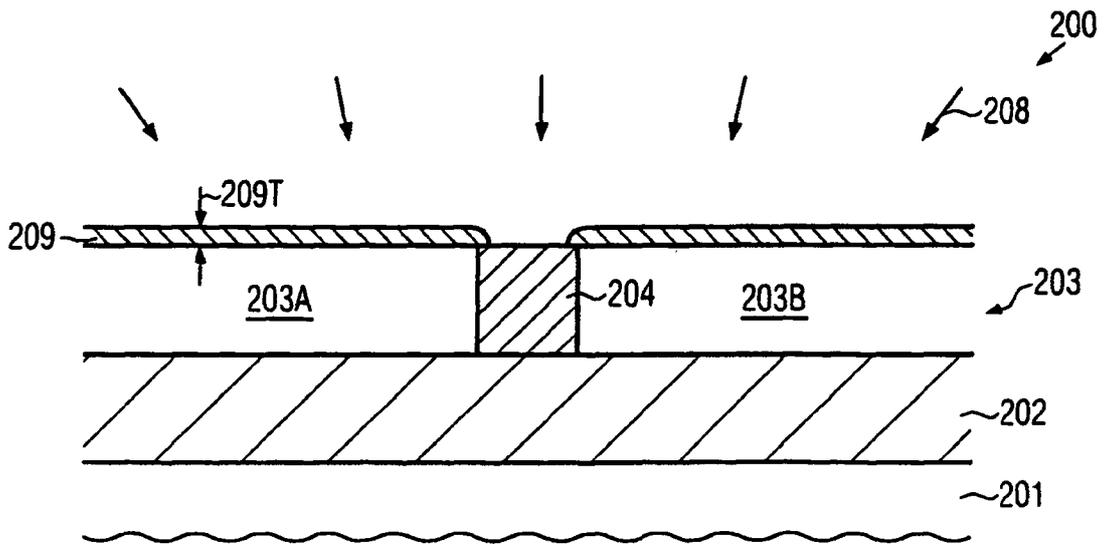


图 2b

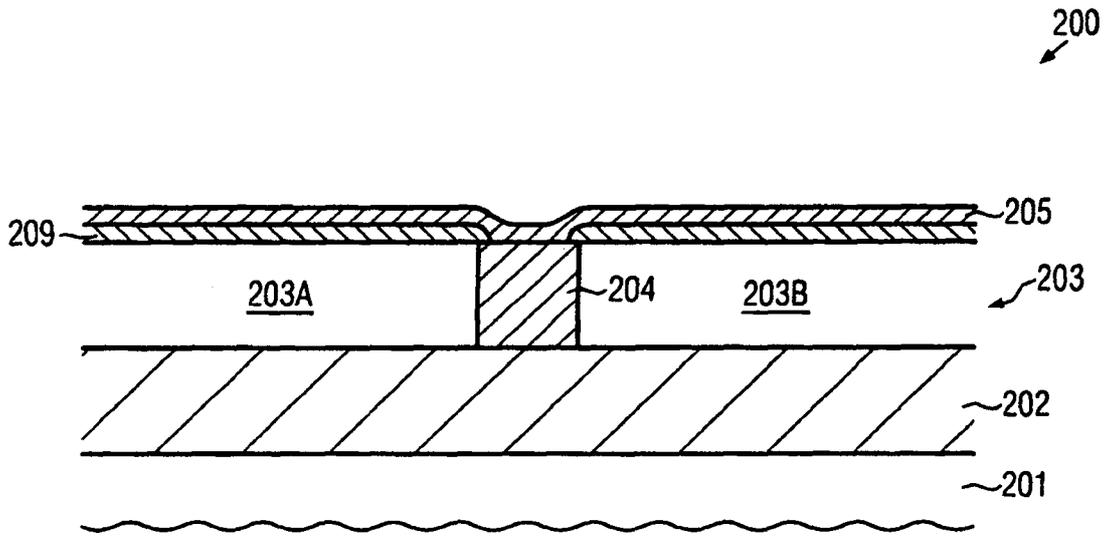


图 2c

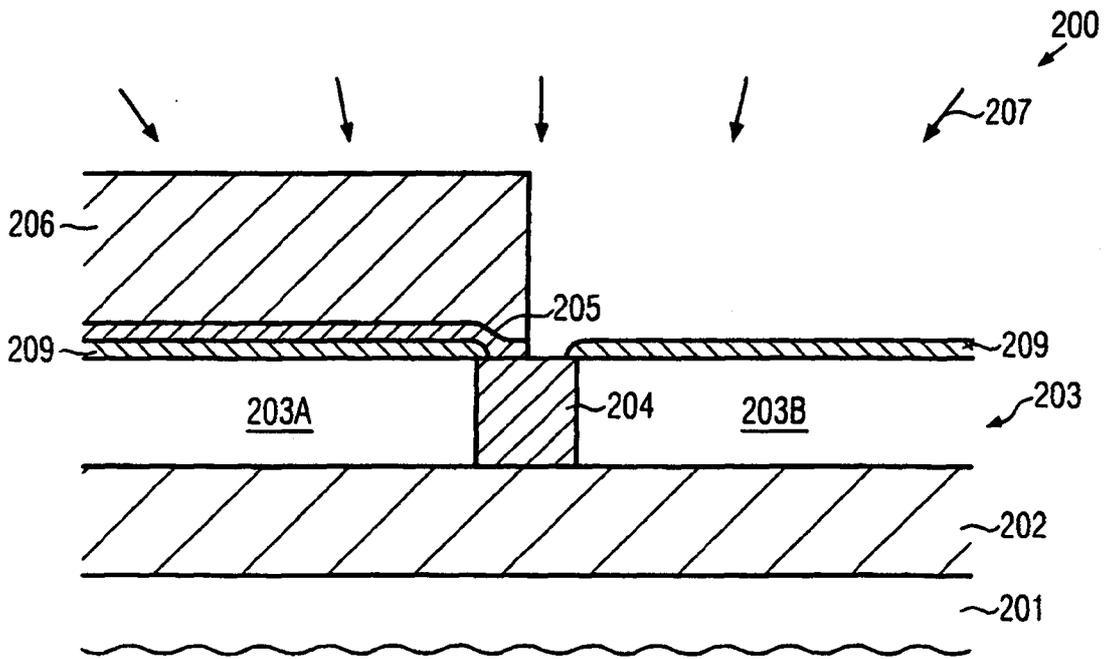


图 2d

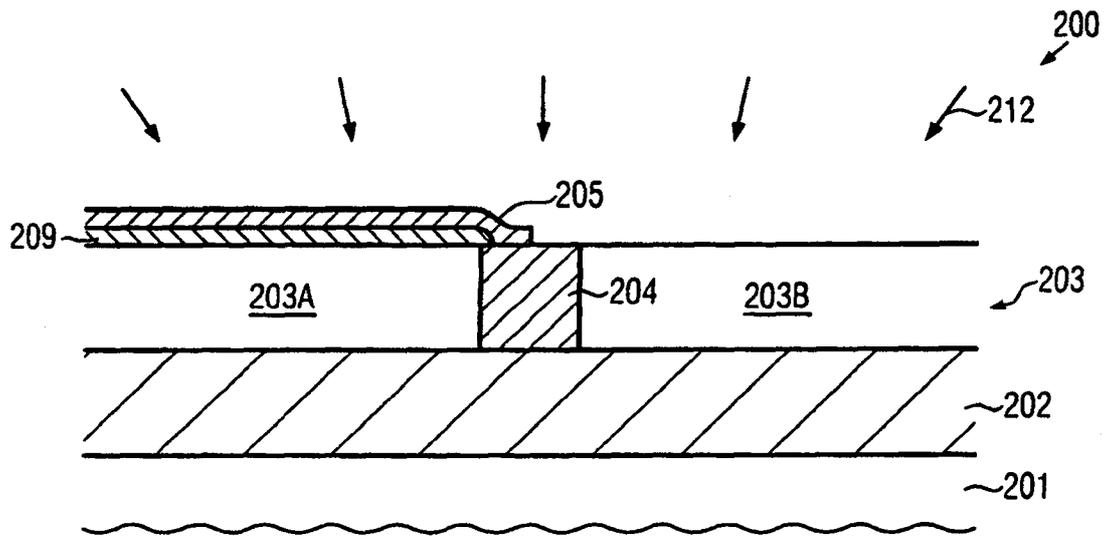


图 2e

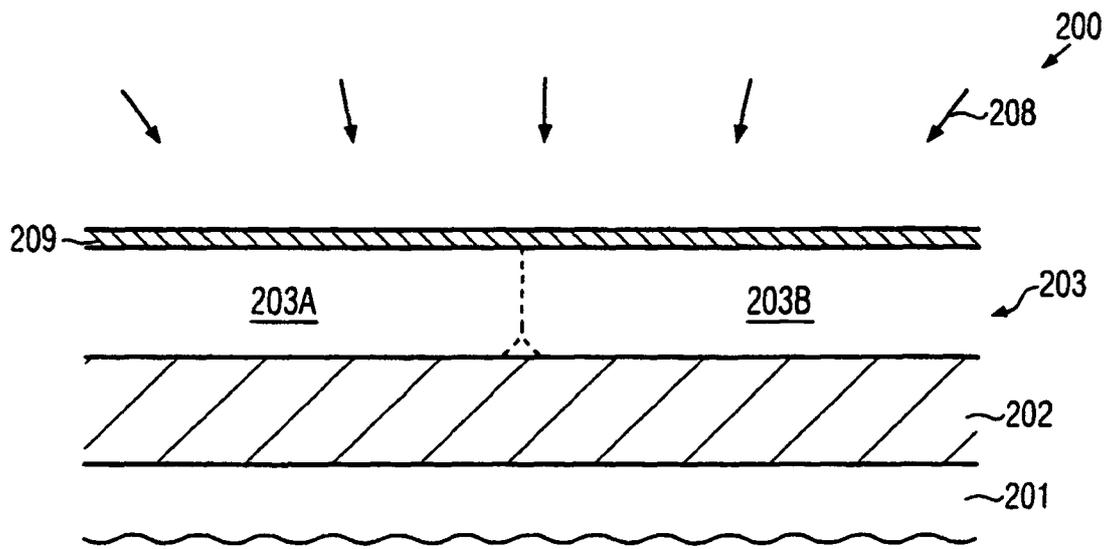


图 2f

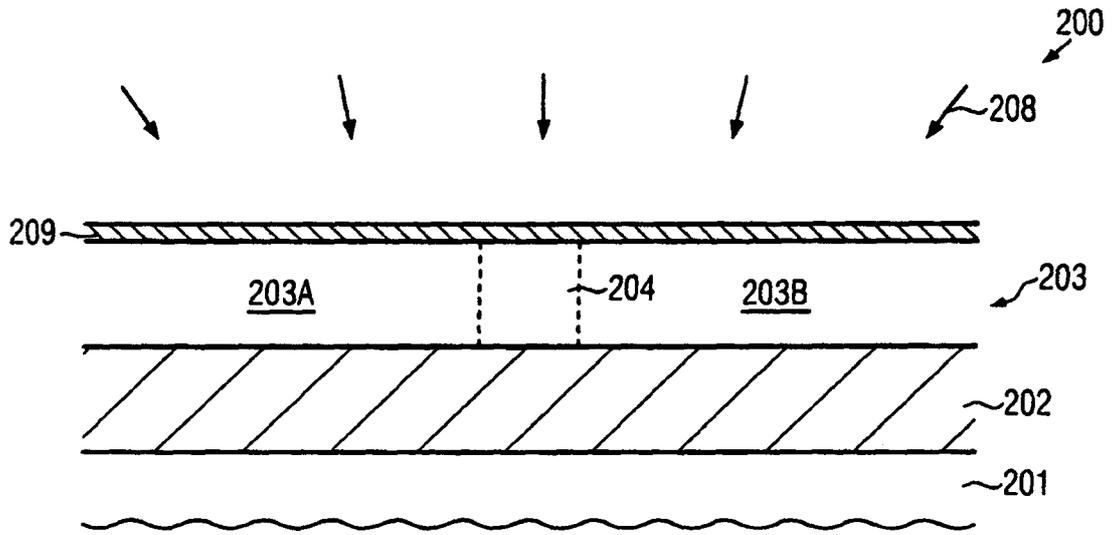


图 2g

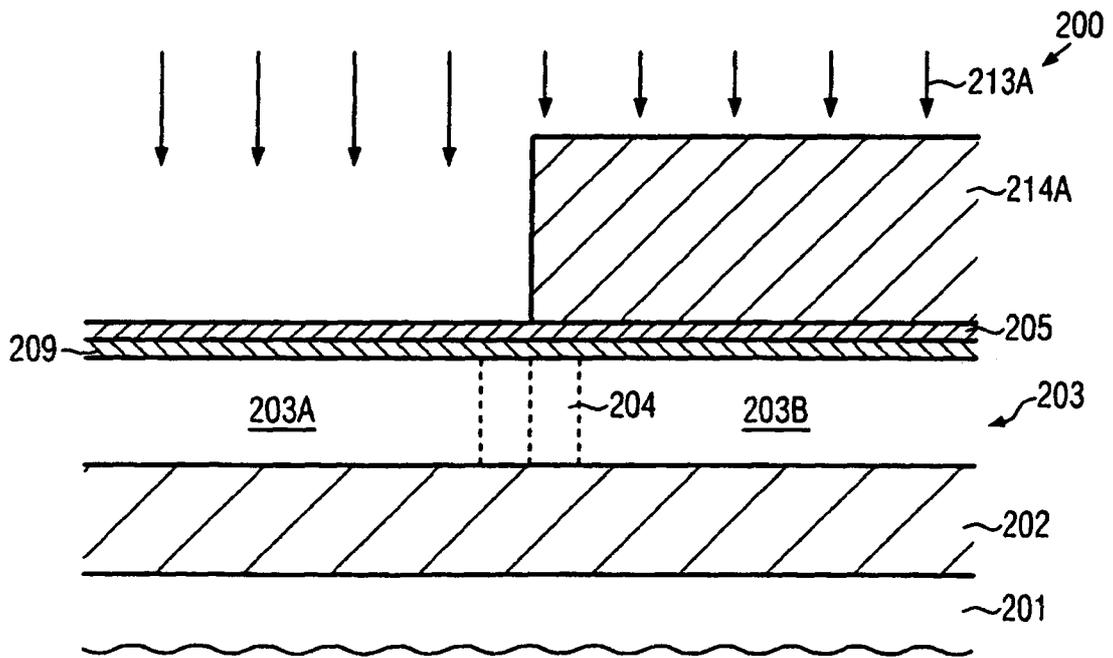


图 2h

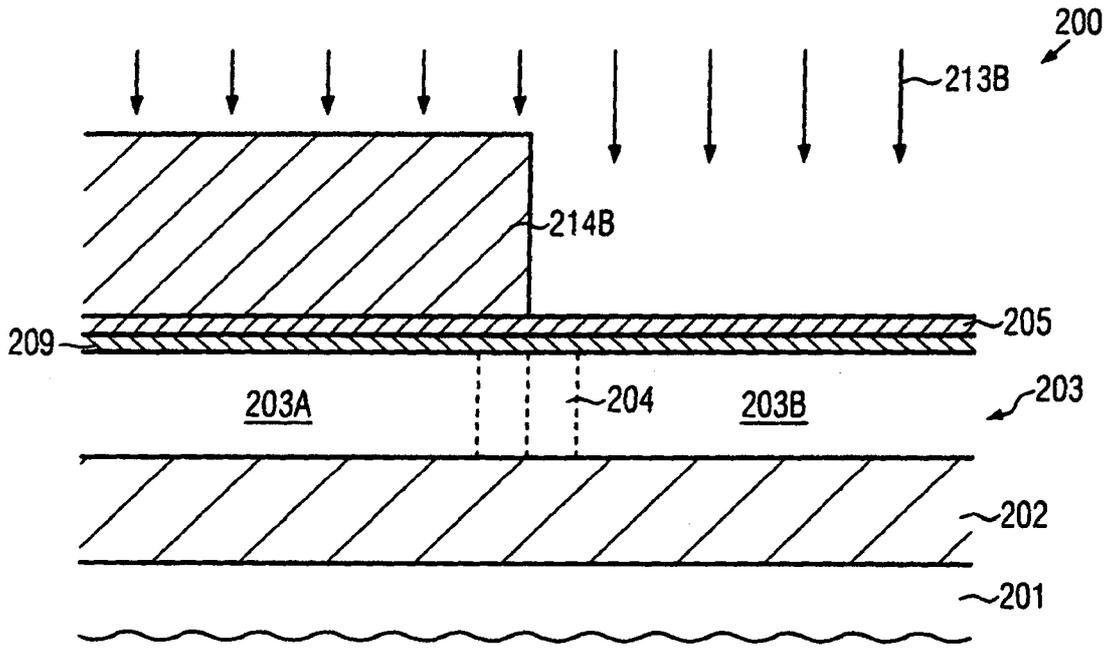


图 2i

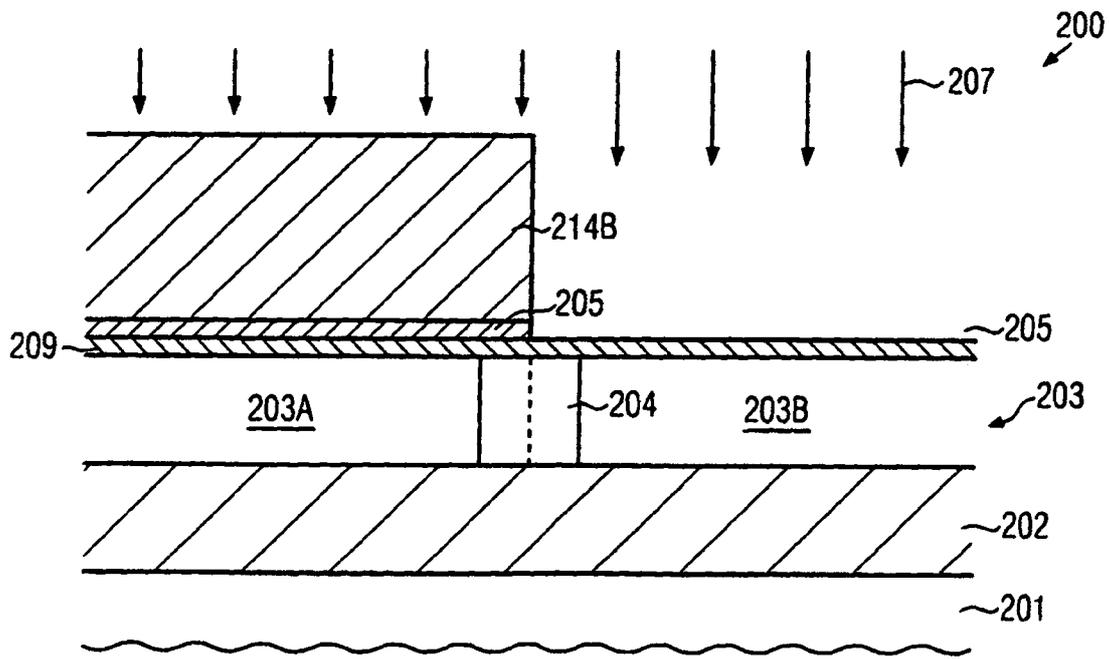


图 2j

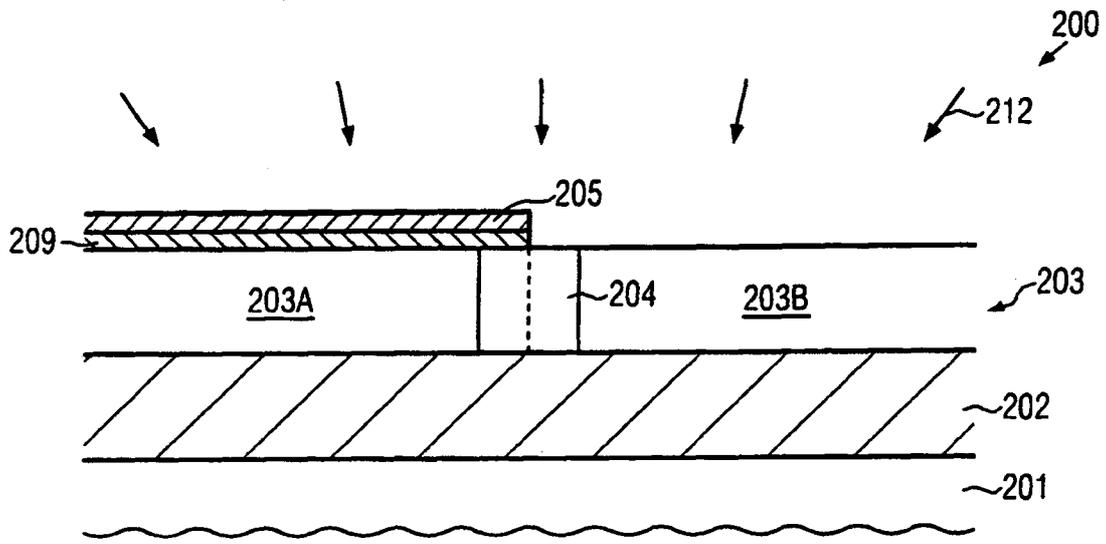


图 2k

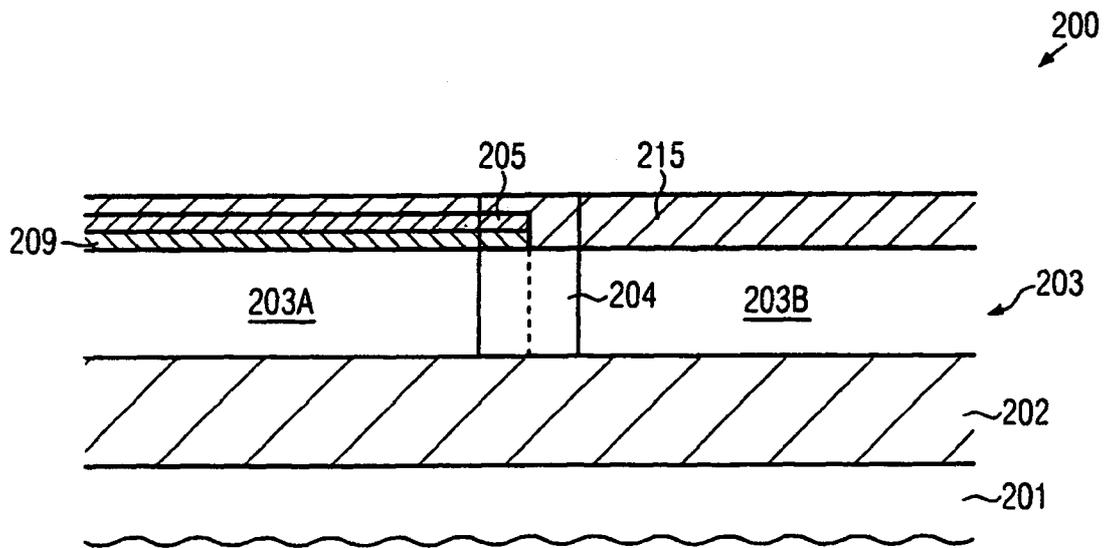


图 21

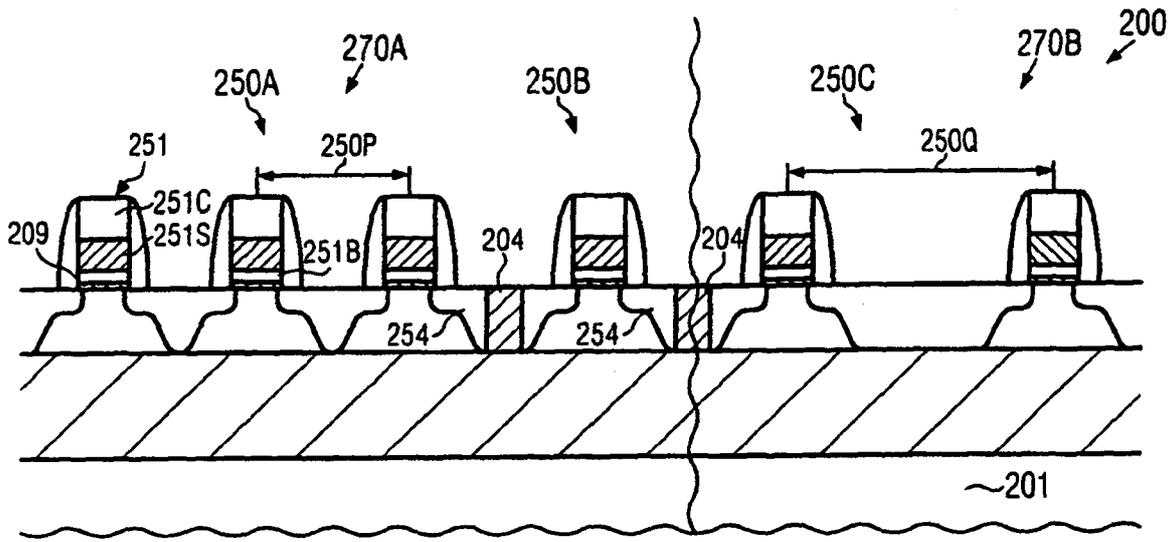


图 2m