

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年9月22日(22.09.2022)



(10) 国際公開番号

WO 2022/196262 A1

- (51) 国際特許分類:
H05K 1/02 (2006.01) *H05K 3/46* (2006.01)
- (21) 国際出願番号: PCT/JP2022/007194
- (22) 国際出願日: 2022年2月22日(22.02.2022)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2021-046032 2021年3月19日(19.03.2021) JP
- (71) 出願人: T D K株式会社(TDK CORPORATION)
[JP/JP]; 〒1036128 東京都中央区日本橋二丁目5番1号 Tokyo (JP).
- (72) 発明者: 露谷 和俊 (TSUYUTANI Kazutoshi);
〒1036128 東京都中央区日本橋二丁目5番1号 T D K株式会社内 Tokyo (JP). 石川 直之 (ISHIKAWA Naoyuki); 〒1036128 東京都中央区日本橋二丁目5番1号 T D K

株式会社内 Tokyo (JP). 青木 琢朗 (AOKI Takuro); 〒1036128 東京都中央区日本橋二丁目5番1号 T D K株式会社内 Tokyo (JP). 花田 玲央 (HANADA Reo); 〒1036128 東京都中央区日本橋二丁目5番1号 T D K株式会社内 Tokyo (JP).

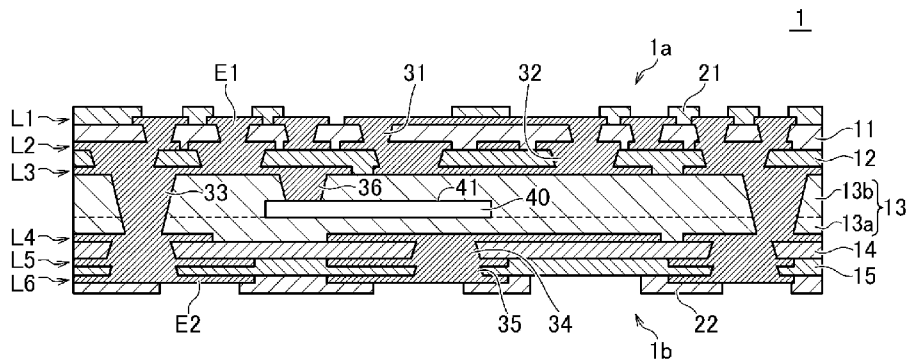
(74) 代理人: 鷲頭 光宏, 外 (WASHIZU Mitsuhiro et al.); 〒1040061 東京都中央区銀座一丁目5番1号第三太陽ビル7F Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JM, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,

(54) Title: ELECTRONIC-COMPONENT-EMBEDDED SUBSTRATE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 電子部品内蔵基板及びその製造方法

[図1]



(57) Abstract: [Problem] To increase the flexibility in design of an outermost conductor layer in an electronic-component-embedded substrate. [Solution] An electronic-component-embedded substrate 1 is provided with conductor layers L1-L6, insulating layers 11-15 positioned between the conductor layers L1-L6, and an electronic component 40 embedded in the insulating layer 13. The conductor layer L1 is positioned as the uppermost layer and includes a plurality of terminal electrodes E1 exposed on one surface 1a side. The insulating layers 12, 14, 15 comprise a core material obtained by impregnating a core with a resin material, and the insulating layers 11, 13 comprise a resin material that does not contain a core. In this way, the diameter of a via conductor 31 formed in the insulating layer 11 can be reduced given that the insulating layer 11 comprises a resin material that does not contain a core. This makes it possible to reduce wiring routing even when a plurality of terminal electrodes E1 having a narrow pitch are formed in the conductor layer L1.



QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

(57) 要約: 【課題】電子部品内蔵基板において最表層の導体層の設計自由度を高める。【解決手段】電子部品内蔵基板1は、導体層L1~L6と、導体層L1~L6間に位置する絶縁層11~15と、絶縁層13に埋め込まれた電子部品40とを備える。導体層L1は最上層に位置し、一方の表面1a側に露出する複数の端子電極E1を含む。絶縁層12, 14, 15は芯材に樹脂材料を含浸させたコア材料からなり、絶縁層11, 13は芯材を含まない樹脂材料からなる。このように、絶縁層11が芯材を含まない樹脂材料からなることから、絶縁層11に形成するビア導体31の径を縮小することができる。これにより、導体層L1にピッチの狭い複数の端子電極E1を形成する場合であっても、配線の引き回しを抑えることが可能となる。

明 細 書

発明の名称： 電子部品内蔵基板及びその製造方法

技術分野

[0001] 本発明は電子部品内蔵基板及びその製造方法に関し、特に、多層配線構造を有する電子部品内蔵基板及びその製造方法に関する。

背景技術

[0002] 特許文献 1 には多層配線構造を有する電子部品内蔵基板が開示されている。特許文献 1 に開示された電子部品内蔵基板は、電子部品が埋め込まれた絶縁層と、電子部品が埋め込まれた絶縁層の一方の表面側に設けられた 2 層の配線層と、電子部品が埋め込まれた絶縁層の他方の表面側に設けられた 2 層の配線層とを有している。そして、上記 2 層の配線層間に位置する絶縁層は、ガラスクロスなどの芯材に樹脂材料を含浸させたコア材料が用いられており、これにより基板全体の機械的強度を確保している。

先行技術文献

特許文献

[0003] 特許文献1：特開 2 0 0 6 － 3 3 9 4 2 1 号公報

発明の概要

発明が解決しようとする課題

[0004] しかしながら、芯材に樹脂材料を含浸させたコア材料に微細なビアホールを形成することは困難であるため、コア材料の表面に形成された配線層に対してはレイアウト上の設計自由度が低く、特に、ピッチの狭い複数の端子電極を形成するためには配線の引き回しが必要であり、配線距離が長くなるという問題があった。

[0005] したがって、本発明は、端子電極を含む最表層の導体層の設計自由度が高められた電子部品内蔵基板及びその製造方法を提供することを目的とする。

課題を解決するための手段

[0006] 本発明による電子部品内蔵基板は、複数の導体層と、複数の導体層のうち

積層方向に隣接する２つの導体層間にそれぞれ位置する複数の絶縁層とを備え、複数の絶縁層は電子部品が埋め込まれた第１の絶縁層を含み、複数の導体層は、第１の絶縁層の一方の表面側に積層された第１、第２及び第３の導体層と、第１の絶縁層の他方の表面側に積層された第４、第５及び第６の導体層を含み、複数の絶縁層は、第１の導体層と第２の導体層間に位置する第２の絶縁層と、第２の導体層と第３の導体層間に位置する第３の絶縁層と、第４の導体層と第５の導体層間に位置する第４の絶縁層と、第５の導体層と第６の導体層間に位置する第５の絶縁層とをさらに含み、第１の導体層は一方の表面側に露出する複数の端子電極を含み、第６の導体層は他方の表面側に露出する複数の端子電極を含み、第３及び第４の絶縁層は芯材に樹脂材料を含浸させたコア材料からなり、第２及び第５の絶縁層の少なくとも一方は、芯材を含まない樹脂材料からなることを特徴とする。

[0007] 本発明によれば、第２及び第５の絶縁層の少なくとも一方が芯材を含まない樹脂材料からなることから、第２及び第５の絶縁層の少なくとも一方に形成するビア導体の径を縮小することができる。これにより、第１又は第６の導体層にピッチの狭い複数の端子電極を形成する場合であっても、配線の引き回しを抑えることが可能となる。

[0008] 本発明において、第２及び第５の絶縁層の両方が芯材を含まない樹脂材料からなるものであっても構わない。これによれば、第２及び第５の絶縁層に形成するビア導体の径を縮小できることから、第１及び第６の導体層にピッチの狭い複数の端子電極を形成する場合であっても、配線の引き回しを抑えることが可能となる。

[0009] 本発明において、第２及び第３の導体層は電子部品に接続される複数の信号配線パターンを含み、第３の絶縁層は局所的に芯材を含まない無芯材領域を含み、無芯材領域は平面視で電子部品と重なりを有し、第２の導体層に含まれる複数の信号配線パターンと、第３の導体層に含まれる複数の信号配線パターンは、無芯材領域を貫通する複数のビア導体を介して互いに接続されるものであっても構わない。これによれば、無芯材領域を貫通する複数のビア

ア導体の径を縮小することが可能となる。

[0010] 本発明において、第1及び第3の導体層は電子部品に接続される複数の信号配線パターンを含み、第3の絶縁層は開口部を有し、開口部は平面視で前記電子部品と重なりを有し、第1の導体層に含まれる複数の信号配線パターンと、第3の導体層に含まれる複数の信号配線パターンは、開口部を貫通する複数のビア導体を介して互いに接続されるものであっても構わない。これによれば、開口部を貫通する複数のビア導体の径を縮小することが可能となる。

[0011] 本発明による電子部品内蔵基板の製造方法は、電子部品が埋め込まれた第1の絶縁層と、第1の絶縁層の一方の表面側に積層された第1及び第2の導体層と、第1の絶縁層の他方の表面側に積層された第3及び第4の導体層と、第1の導体層と第2の導体層間に位置し、芯材に樹脂材料を含浸させたコア材料からなる第2の絶縁層と、第3の導体層と第4の導体層間に位置し、芯材に樹脂材料を含浸させたコア材料からなる第3の絶縁層とを含む前駆体を作製する工程と、第1及び第4の導体層の表面にそれぞれ第4及び第5の絶縁層を介して第5及び第6の導体層を形成する工程とを備え、第4及び第5の絶縁層の少なくとも一方は、芯材を含まない樹脂材料からなることを特徴とする。

[0012] 本発明によれば、第4及び第5の絶縁層の少なくとも一方が芯材を含まない樹脂材料からなることから、第4及び第5の絶縁層の少なくとも一方に形成するビア導体の径を縮小することができる。これにより、第5又は第6の導体層にピッチの狭い複数の端子電極を形成する場合であっても、配線の引き回しを抑えることが可能となる。

[0013] 本発明において、第4及び第5の絶縁層の両方が芯材を含まない樹脂材料からなるものであっても構わない。これによれば、第4及び第5の絶縁層に形成するビア導体の径を縮小できることから、第5及び第6の導体層にピッチの狭い複数の端子電極を形成する場合であっても、配線の引き回しを抑えることが可能となる。

[0014] 本発明による電子部品内蔵基板の製造方法は、第１の導体層に含まれる複数の信号配線パターンと、第２の導体層に含まれる複数の信号配線パターンを、第２の絶縁層のうち局所的に芯材を含まない無芯材領域を貫通する複数のビア導体を介して互いに接続する工程をさらに備えるものであっても構わない。これによれば、無芯材領域を貫通する複数のビア導体の径を縮小することが可能となる。

[0015] 本発明による電子部品内蔵基板の製造方法は、第５の導体層に含まれる複数の信号配線パターンと、第２の導体層に含まれる複数の信号配線パターンを、第２の絶縁層に設けられた開口部を貫通する複数のビア導体を介して互いに接続する工程をさらに備えるものであっても構わない。これによれば、開口部を貫通する複数のビア導体の径を縮小することが可能となる。

発明の効果

[0016] このように、本発明によれば、端子電極を含む最表層の導体層の設計自由度が高められた電子部品内蔵基板及びその製造方法を提供することが可能となる。

図面の簡単な説明

[0017] [図１]図１は、本発明の第１の実施形態による電子部品内蔵基板１の構造を説明するための模式的な断面図である。

[図２]図２は、電子部品内蔵基板１の製造方法を説明するための工程図である。
。

[図３]図３は、電子部品内蔵基板１の製造方法を説明するための工程図である。
。

[図４]図４は、電子部品内蔵基板１の製造方法を説明するための工程図である。
。

[図５]図５は、電子部品内蔵基板１の製造方法を説明するための工程図である。
。

[図６]図６は、電子部品内蔵基板１の製造方法を説明するための工程図である。
。

[図7]図7は、電子部品内蔵基板1の製造方法を説明するための工程図である。

[図8]図8は、電子部品内蔵基板1の製造方法を説明するための工程図である。

[図9]図9は、電子部品内蔵基板1の製造方法を説明するための工程図である。

[図10]図10は、電子部品内蔵基板1の製造方法を説明するための工程図である。

[図11]図11は、本発明の第2の実施形態による電子部品内蔵基板2の構造を説明するための模式的な断面図である。

[図12]図12は、本発明の第3の実施形態による電子部品内蔵基板3の構造を説明するための模式的な断面図である。

[図13]図13は、電子部品内蔵基板3の製造方法を説明するための工程図である。

[図14]図14は、電子部品内蔵基板3の製造方法を説明するための工程図である。

[図15]図15は、電子部品内蔵基板3の製造方法を説明するための工程図である。

[図16]図16は、電子部品内蔵基板3の製造方法を説明するための工程図である。

[図17]図17は、本発明の第4の実施形態による電子部品内蔵基板4の構造を説明するための模式的な断面図である。

[図18]図18は、電子部品内蔵基板4の製造方法を説明するための工程図である。

[図19]図19は、電子部品内蔵基板4の製造方法を説明するための工程図である。

[図20]図20は、電子部品内蔵基板4の製造方法を説明するための工程図である。

発明を実施するための形態

[0018] 以下、添付図面を参照しながら、本発明の好ましい実施形態について詳細に説明する。

[0019] <第1の実施形態>

図1は、本発明の第1の実施形態による電子部品内蔵基板1の構造を説明するための模式的な断面図である。

[0020] 図1に示すように、第1の実施形態による電子部品内蔵基板1は、6層の導体層L1～L6と、積層方向に隣接する2つの導体層間にそれぞれ位置する絶縁層11～15とを備えている。ここで、絶縁層11は導体層L1，L2間に位置し、絶縁層12は導体層L2，L3間に位置し、絶縁層13は導体層L3，L4間に位置し、絶縁層14は導体層L4，L5間に位置し、絶縁層15は導体層L5，L6間に位置する。絶縁層11～15はいずれも表裏に導体層が存在する層間膜であり、その意味においてソルダーレジスト21，22は絶縁層に該当しない。

[0021] 導体層L1は最上層に位置し、その一部はソルダーレジスト21で覆われている。ソルダーレジスト21で覆われていない導体層L1の露出部分は、電子部品内蔵基板1の一方の表面1a側に位置する端子電極E1を構成する。導体層L6は最下層に位置し、その一部はソルダーレジスト22で覆われている。ソルダーレジスト22で覆われていない導体層L6の露出部分は、電子部品内蔵基板1の他方の表面1b側に位置する端子電極E2を構成する。電子部品内蔵基板1の表面1aには、図示しない半導体ICや受動部品などの電子部品が搭載される。電子部品内蔵基板1の表面1bは、図示しない別の回路基板に対する実装面として用いられ、或いは、図示しない半導体ICや受動部品などの電子部品が搭載される。

[0022] 絶縁層11～15のうち、絶縁層12，14，15は、ガラス繊維などの芯材にエポキシなどの樹脂材料を含浸させたコア材料からなる。コア材料は強度が高いことから、電子部品内蔵基板1の機械的強度は主に絶縁層12，14，15によって確保される。これに対し、絶縁層11，13は、ガラス

クロスなどの芯材を含まない樹脂材料からなる。ガラスクロスなどの芯材を含まない樹脂材料は、コア材料と比べて加工性に優れており、小径のビアホールを狭ピッチで形成することが可能である。

[0023] 絶縁層 1 3 は 2 層の絶縁層 1 3 a, 1 3 b からなり、両者の界面には半導体 IC などの電子部品 4 0 が埋め込まれている。電子部品 4 0 は、電極パッドが設けられた主面 4 1 が表面 1 a 側を向くよう、フェイスアップ方式で絶縁層 1 3 a の表面に搭載されている。電子部品 4 0 が半導体 IC である場合、チップの厚みは 200 μ m 以下、例えば 50 ~ 100 μ m 程度に薄型化されていても構わない。

[0024] 図 1 に示すように、積層方向に隣接する 2 つの導体層は、ビア導体によって相互に接続される。例えば、導体層 L 1, L 2 は絶縁層 1 1 を貫通して設けられたビア導体 3 1 を介して接続され、導体層 L 2, L 3 は絶縁層 1 2 を貫通して設けられたビア導体 3 2 を介して接続され、導体層 L 3, L 4 は絶縁層 1 3 を貫通して設けられたビア導体 3 3 を介して接続され、導体層 L 4, L 5 は絶縁層 1 4 を貫通して設けられたビア導体 3 4 を介して接続され、導体層 L 5, L 6 は絶縁層 1 5 を貫通して設けられたビア導体 3 5 を介して接続される。さらに、導体層 L 3 と電子部品 4 0 は、絶縁層 1 3 b を貫通して設けられたビア導体 3 6 を介して接続される。

[0025] ここで、コア材料からなる絶縁層 1 2, 1 4, 1 5 と、ガラスクロスなどの芯材を含まない樹脂材料からなる絶縁層 1 1, 1 3 は、加工性が大きく異なる。つまり、樹脂材料からなる絶縁層 1 1, 1 3 は加工性に優れるため、小径のビアホールを容易に形成することができる一方、コア材料からなる絶縁層 1 2, 1 4, 1 5 は、ガラスクロスなどの芯材の存在により、小径のビアホールを形成することが困難である。このため、絶縁層 1 2, 1 4, 1 5 を貫通するビア導体 3 2, 3 4, 3 5 は、絶縁層 1 1, 1 3 を貫通するビア導体 3 1, 3 3 よりも必然的に径が大きくなる。このように、ビア導体 3 1, 3 3 と比べると、ビア導体 3 2, 3 4, 3 5 を狭ピッチで形成することは困難である。

[0026] そして、本実施形態においては、最上層に位置する導体層L 1がガラスクロスなどの芯材を含まない樹脂材料からなる絶縁層1 1の表面に形成されていることから、小径のビア導体3 1を狭ピッチで多数形成することができる。このため、一方の表面1 a側に搭載される電子部品の電極ピッチが狭い場合であっても、導体層L 1に形成する配線の引き回しを短くすることができ、レイアウト設計が容易となる。

[0027] このように、本実施形態による電子部品内蔵基板1は、6層の導体層L 1～L 6を有していることから、より複雑な配線を形成することができる。しかも、一方の表面1 a側に位置する最表層の絶縁層1 1がガラスクロスなどの芯材を含まない樹脂材料によって構成されていることから、一方の表面1 a側に端子ピッチの狭い電子部品を搭載する場合であっても、レイアウト設計が容易となる。この効果は、内蔵される電子部品4 0の回路面側に位置する表層、すなわち内蔵される電子部品4 0がフェイスアップ方式であれば表面1 a側に、多くの端子を要するワイヤーボンディングパッドを備えた電子部品が搭載される場合に顕著となる。この場合、電子部品間を相互に接続する多くの配線が必要となるが、本実施形態によれば、これらの配線を高密度にレイアウトできることから、小型化に大きく貢献する。しかも、絶縁層1 2, 1 4, 1 5については、芯材に樹脂材料を含浸させたコア材料からなることから、電子部品内蔵基板1の機械的強度を十分に確保することが可能となる。

[0028] 本実施形態においては、絶縁層1 1と絶縁層1 5の材料が異なることから積層方向に対する対称性がなく、その結果、電子部品内蔵基板1に反りが生じるおそれがある。これは、絶縁層1 1には芯材が含まれていないため、芯材を含む絶縁層1 5よりも熱膨張係数が大きいからである。このような反りを抑制するためには、絶縁層1 4, 1 5の熱膨張係数よりも、絶縁層1 2の熱膨張係数が小さくなるよう、樹脂材料を選択すればよい。これに代えて、或いはこれに加えて、絶縁層1 4, 1 5よりも絶縁層1 2の厚みを薄くしても構わない。これにより、積層方向における熱膨張係数の対称性が高まるこ

とから、電子部品内蔵基板 1 に反りが生じにくくなる。

[0029] 次に、本実施形態による電子部品内蔵基板 1 の製造方法について説明する。

[0030] 図 2～図 10 は、本実施形態による電子部品内蔵基板 1 の製造方法を説明するための工程図である。

[0031] まず、図 2 に示すように、コア材料からなる絶縁層 14 の両面に Cu 箔等からなる導体層 L4, L5 が形成された基材を用意し、これを支持体 50 に固定する。次に、図 3 に示すように、フォトリソグラフィー法など公知の手法を用いて導体層 L4 をパターニングすることによって、所望のパターン形状を有する導体層 L4 を完成させる。次に、図 4 に示すように、パターニングされた導体層 L4 を埋め込むよう、絶縁層 14 の表面に例えば未硬化（B ステージ状態）の樹脂シート等を真空圧着等によって積層することにより、絶縁層 13a を形成する。次に、絶縁層 13a の表面上に電子部品 40 を載置する。電子部品 40 は、電極パッドが露出する主面 41 が上側を向くよう、フェイスアップ方式で搭載する。

[0032] 次に、図 5 に示すように、電子部品 40 を覆うように絶縁層 13b 及び導体層 L3 を形成する。絶縁層 13b の形成は、例えば、未硬化又は半硬化状態の熱硬化性樹脂を塗布した後、未硬化樹脂の場合それを加熱して半硬化させ、さらに、プレス手段を用いて導体層 L3 とともに硬化成形することが好ましい。絶縁層 13b に用いる材料は、絶縁層 13a と同じであっても構わない。一般的に、端子電極 E1, E2 と比べると内蔵される電子部品 40 のパッドサイズは小さく、パッドピッチは狭い設計を要求されることから、内蔵される電子部品 40 の上部に形成される絶縁層には径の小さいビアを形成する必要がある。この点を考慮すれば、絶縁層 13b としては、ガラスクロスなどの芯材を含まない樹脂材料を用いることが望ましい。

[0033] 次に、図 6 に示すように、絶縁層 13 にビアホールを形成した後、ビアホールを埋めるビア導体 33, 36 を形成し、さらに、フォトリソグラフィー法など公知の手法を用いて導体層 L3 をパターニングすることによって、所

望のパターン形状を有する導体層L 3を完成させる。これにより、導体層L 3の一部はビア導体3 3を介して導体層L 4に接続され、導体層L 3の別の一部はビア導体3 6を介して電子部品4 0に接続される。

[0034] 次に、図7に示すように、導体層L 3を埋め込むよう、絶縁層1 2と導体層L 2が積層されたシートを真空熱プレスする。絶縁層1 2に用いる材料及び厚みは、絶縁層1 4と同じであっても構わない。その後、図8に示すように支持体5 0を剥離する。

[0035] 次に、図9に示すように、絶縁層1 2, 1 4にビアホールを形成した後、ビアホールを埋めるビア導体3 2, 3 4を形成し、さらに、フォトリソグラフィ法など公知の手法を用いて導体層L 2, L 5をパターニングすることによって、所望のパターン形状を有する導体層L 2, L 5を完成させる。これにより、導体層L 2の一部はビア導体3 2を介して導体層L 3に接続され、導体層L 5の一部はビア導体3 4を介して導体層L 4に接続される。絶縁層1 2, 1 4にビアホールを形成する際には、当該位置に存在する芯材を除去する必要があるため、ビアホールの径は必然的に大きくなる。これに応じて、ビア導体3 2, 3 4も径も大きくなる。以上により、4層の導体層L 2～L 5を有する電子部品内蔵基板の前駆体が完成する。

[0036] 次に、図10に示すように、絶縁層1 1と導体層L 1が積層されたシートと絶縁層1 5と導体層L 6が積層されたシートを用意し、これらによって導体層L 2～L 5を有する前駆体を挟み込み、真空熱プレスする。そして、絶縁層1 1, 1 5にビアホールを形成した後、ビアホールを埋めるビア導体3 1, 3 5を形成し、さらに、フォトリソグラフィ法など公知の手法を用いて導体層L 1, L 6をパターニングし、ソルダーレジスト2 1, 2 2を形成すれば、図1に示す電子部品内蔵基板1が完成する。

[0037] ここで、絶縁層1 1にはガラスクロスなどの芯材が含まれていないことから、絶縁層1 1にビアホールを形成する工程においては、レーザー加工やブラスト加工によって小径のビアホールを狭ピッチで形成することができる。これにより、絶縁層1 1の材料としてコア材料を用いた場合と比べ、導体層

L 1 のレイアウトの設計自由度が向上する。

[0038] <第 2 の実施形態>

図 1 1 は、本発明の第 2 の実施形態による電子部品内蔵基板 2 の構造を説明するための模式的な断面図である。

[0039] 図 1 1 に示すように、第 2 の実施形態による電子部品内蔵基板 2 は、最下層側に位置する絶縁層 1 5 がガラスクロスなどの芯材を含まない樹脂材料からなる点において、第 1 の実施形態による電子部品内蔵基板 1 と相違する。その他の基本的な構成については第 1 の実施形態による電子部品内蔵基板 1 と同一であることから、同一の要素には同一の符号を付し、重複する説明は省略する。

[0040] 本実施形態においては、最下層に位置する導体層 L 6 がガラスクロスなどの芯材を含まない樹脂材料からなる絶縁層 1 5 の表面に形成されていることから、小径のビア導体 3 5 を狭ピッチで多数形成することができる。このため、一方の表面 1 a 側だけでなく、他方の表面 1 b 側に搭載される電子部品の電極ピッチが狭い場合であっても、導体層 L 6 のレイアウト設計が容易となる。

[0041] <第 3 の実施形態>

図 1 2 は、本発明の第 3 の実施形態による電子部品内蔵基板 3 の構造を説明するための模式的な断面図である。

[0042] 図 1 2 に示すように、第 3 の実施形態による電子部品内蔵基板 3 は、絶縁層 1 2 に芯材を含まない無芯材領域 1 2 A が局所的に設けられている点において、第 2 の実施形態による電子部品内蔵基板 2 と相違する。その他の基本的な構成については第 2 の実施形態による電子部品内蔵基板 2 と同一であることから、同一の要素には同一の符号を付し、重複する説明は省略する。

[0043] 図 1 2 に示す例では、平面視で電子部品 4 0 と重なる位置に無芯材領域 1 2 A が設けられており、電子部品 4 0 の信号端子がビア導体 3 6 を介して導体層 L 3 に含まれる複数の信号配線パターン S 3 に接続され、導体層 L 3 の信号配線パターン S 3 がビア導体 3 2 S を介して導体層 L 2 に含まれる複数

の信号配線パターンS 2に接続される。そして、信号配線パターンS 2とS 3は、無芯材領域1 2 Aを貫通する複数のビア導体3 2 Sを介して互いに接続される。上述の通り、無芯材領域1 2 Aには芯材が含まれていないことから、無芯材領域1 2 Aに形成されるビア導体3 2 Sの径及びピッチは、絶縁層1 2の他の領域に形成されるビア導体3 2の径及びピッチよりも縮小することができる。

[0044] これにより、電子部品4 0が多数の信号端子を有している場合であっても、信号配線パターンS 2, S 3を迂回させることなく、最短距離で導体層L 1に接続することが可能となる。

[0045] 次に、本実施形態による電子部品内蔵基板3の製造方法について説明する。

[0046] 図1 3～図1 6は、本実施形態による電子部品内蔵基板3の製造方法を説明するための工程図である。

[0047] まず、図2～図6を用いて説明した工程を経た後、図1 3に示すように、無芯材領域1 2 Aを有する絶縁層1 2と導体層L 2が積層されたシートを真空熱プレスする。無芯材領域1 2 Aは、導体層L 3に含まれる信号配線パターンS 3と重なるよう位置決めされる。その後、図1 4に示すように支持体5 0を剥離する。絶縁層1 2は、真空熱プレスする前の未硬化の状態で金型プレスによる打ち抜き加工、もしくはドリルやレーザー等の加工によって無芯材領域1 2 Aを形成しても構わない。

[0048] 次に、図1 5に示すように、絶縁層1 2, 1 4にビアホールを形成した後、ビアホールを埋めるビア導体3 2, 3 4を形成し、さらに、フォトリソグラフィ法など公知の手法を用いて導体層L 2, L 5をパターンニングすることによって、所望のパターン形状を有する導体層L 2, L 5を完成させる。これにより、導体層L 2に含まれる信号配線パターンS 3は、ビア導体3 2 Sを介して導体層L 3の信号配線パターンS 3に接続される。

[0049] 次に、図1 6に示すように、絶縁層1 1と導体層L 1が積層されたシートと絶縁層1 5と導体層L 6が積層されたシートによって前駆体を挟み込み、

真空熱プレスする。そして、絶縁層 1 1, 1 5 にビアホールを形成した後、ビアホールを埋めるビア導体 3 1, 3 5 を形成し、さらに、フォトリソグラフィ法など公知の手法を用いて導体層 L 1, L 6 をパターニングし、ソルダーレジスト 2 1, 2 2 を形成すれば、図 1 2 に示す電子部品内蔵基板 3 が完成する。

[0050] このように、本実施形態においては、絶縁層 1 2 にガラスクロスなどの芯材を含まない無芯材領域 1 2 A が設けられていることから、絶縁層 1 2 の機械的強度を確保しつつ、ビア導体 3 2 S の径及びピッチを縮小することが可能となる。

[0051] <第 4 の実施形態>

図 1 7 は、本発明の第 4 の実施形態による電子部品内蔵基板 4 の構造を説明するための模式的な断面図である。

[0052] 図 1 7 に示すように、第 4 の実施形態による電子部品内蔵基板 4 は、絶縁層 1 2 に開口部 1 2 B が設けられている点において、第 2 の実施形態による電子部品内蔵基板 2 と相違する。その他の基本的な構成については第 2 の実施形態による電子部品内蔵基板 2 と同一であることから、同一の要素には同一の符号を付し、重複する説明は省略する。

[0053] 図 1 7 に示す例では、平面視で電子部品 4 0 と重なる位置に開口部 1 2 B が設けられている。開口部 1 2 B は、絶縁層 1 2 が存在しない（取り除かれた）領域であり、開口部 1 2 B の内部は絶縁層 1 1 で埋め込まれている。本実施形態においては、電子部品 4 0 の信号端子がビア導体 3 6 を介して導体層 L 3 に含まれる複数の信号配線パターン S 3 に接続され、導体層 L 3 の信号配線パターン S 3 がビア導体 3 1 S を介して導体層 L 1 に含まれる複数の信号配線パターン S 1 に接続される。そして、信号配線パターン S 1 と S 3 は、開口部 1 2 B を貫通する複数のビア導体 3 1 S を介して互いに接続される。上述の通り、開口部 1 2 B には絶縁層 1 2 が存在せず、絶縁層 1 1 で埋め込まれていることから、開口部 1 2 B に形成されるビア導体 3 1 S の径及びピッチは、絶縁層 1 2 に形成されるビア導体 3 2 の径及びピッチよりも縮

小することができる。

[0054] これにより、第3の実施形態と同様、電子部品40が多数の信号端子を有している場合であっても、信号配線パターンS2, S3を迂回させることなく、最短距離で導体層L1に接続することが可能となる。しかも、ビア導体31Sは、信号配線パターンS1とS3を直接接続するため、電子部品40と端子電極E1の配線距離がより短縮される。

[0055] 次に、本実施形態による電子部品内蔵基板4の製造方法について説明する。

[0056] 図18～図20は、本実施形態による電子部品内蔵基板4の製造方法を説明するための工程図である。

[0057] まず、図2～図8を用いて説明した工程を経た後、図18に示すように、導体層L2, L5をパターニングすることによって、所望のパターン形状を有する導体層L2, L5を完成させる。この時、開口部12Bを形成すべき領域においては、絶縁層12上の導体層L2を全て除去する。次に、図19に示すように、ドリル加工やレーザー加工等の周知の技術により絶縁層12を部分的に除去することによって開口部12Bを形成する。

[0058] 次に、図20に示すように、絶縁層11と導体層L1が積層されたシートと絶縁層15と導体層L6が積層されたシートによって前駆体を挟み込み、真空熱プレスする。そして、絶縁層11, 15にビアホールを形成した後、ビアホールを埋めるビア導体31, 35を形成し、さらに、フォトリソグラフィ法など公知の手法を用いて導体層L1, L6をパターニングし、ソルダーレジスト21, 22を形成すれば、図17に示す電子部品内蔵基板4が完成する。

[0059] このように、本実施形態においては、絶縁層12に開口部12Bが設けられていることから、絶縁層12の機械的強度を確保しつつ、ビア導体31Sの径及びピッチを縮小することが可能となる。

[0060] 以上、本発明の好ましい実施形態について説明したが、本発明は、上記の実施形態に限定されることなく、本発明の主旨を逸脱しない範囲で種々の変

更が可能であり、それらも本発明の範囲内に包含されるものであることはいうまでもない。

符号の説明

- [0061] 1 ～ 4 電子部品内蔵基板
- 1 a 電子部品内蔵基板の一方の表面
- 1 b 電子部品内蔵基板の他方の表面
- 1 1 ～ 1 5, 1 3 a, 1 3 b 絶縁層
- 1 2 A 無芯材領域
- 1 2 B 開口部
- 2 1, 2 2 ソルダレジスト
- 3 1 ～ 3 6, 3 1 S, 3 2 S ビア導体
- 4 0 電子部品
- 4 1 電子部品の主面
- 5 0 支持体
- E 1, E 2 端子電極
- L 1 ～ L 6 導体層
- S 1 ～ S 3 信号配線パターン

請求の範囲

[請求項1]

複数の導体層と、

前記複数の導体層のうち積層方向に隣接する2つの導体層間にそれぞれ位置する複数の絶縁層と、を備え、

前記複数の絶縁層は、電子部品が埋め込まれた第1の絶縁層を含み、

前記複数の導体層は、前記第1の絶縁層の一方の表面側に積層された第1、第2及び第3の導体層と、前記第1の絶縁層の他方の表面側に積層された第4、第5及び第6の導体層を含み、

前記複数の絶縁層は、前記第1の導体層と前記第2の導体層間に位置する第2の絶縁層と、前記第2の導体層と前記第3の導体層間に位置する第3の絶縁層と、前記第4の導体層と前記第5の導体層間に位置する第4の絶縁層と、前記第5の導体層と前記第6の導体層間に位置する第5の絶縁層とをさらに含み、

前記第1の導体層は、一方の表面側に露出する複数の端子電極を含み、

前記第6の導体層は、他方の表面側に露出する複数の端子電極を含み、

前記第3及び第4の絶縁層は、芯材に樹脂材料を含浸させたコア材料からなり、

前記第2及び第5の絶縁層の少なくとも一方は、芯材を含まない樹脂材料からなることを特徴とする電子部品内蔵基板。

[請求項2]

前記第2及び第5の絶縁層の両方が芯材を含まない樹脂材料からなることを特徴とする請求項1に記載の電子部品内蔵基板。

[請求項3]

前記第2及び第3の導体層は、前記電子部品に接続される複数の信号配線パターンを含み、

前記第3の絶縁層は、局所的に前記芯材を含まない無芯材領域を含み、

前記無芯材領域は、平面視で前記電子部品と重なりを有し、

前記第2の導体層に含まれる前記複数の信号配線パターンと、前記第3の導体層に含まれる前記複数の信号配線パターンは、前記無芯材領域を貫通する複数のビア導体を介して互いに接続されることを特徴とする請求項1又2に記載の電子部品内蔵基板。

[請求項4] 前記第1及び第3の導体層は、前記電子部品に接続される複数の信号配線パターンを含み、

前記第3の絶縁層は、開口部を有し、

前記開口部は、平面視で前記電子部品と重なりを有し、

前記第1の導体層に含まれる前記複数の信号配線パターンと、前記第3の導体層に含まれる前記複数の信号配線パターンは、前記開口部を貫通する複数のビア導体を介して互いに接続されることを特徴とする請求項1又2に記載の電子部品内蔵基板。

[請求項5] 電子部品が埋め込まれた第1の絶縁層と、前記第1の絶縁層の一方の表面側に積層された第1及び第2の導体層と、前記第1の絶縁層の他方の表面側に積層された第3及び第4の導体層と、前記第1の導体層と前記第2の導体層間に位置し、芯材に樹脂材料を含浸させたコア材料からなる第2の絶縁層と、前記第3の導体層と前記第4の導体層間に位置し、芯材に樹脂材料を含浸させたコア材料からなる第3の絶縁層とを含む前駆体を作製する工程と、

前記第1及び第4の導体層の表面にそれぞれ第4及び第5の絶縁層を介して第5及び第6の導体層を形成する工程と、を備え、

前記第4及び第5の絶縁層の少なくとも一方は、芯材を含まない樹脂材料からなることを特徴とする電子部品内蔵基板の製造方法。

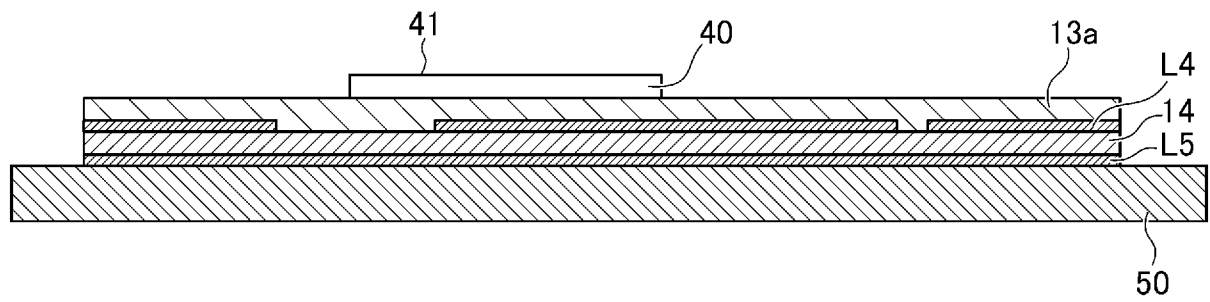
[請求項6] 前記第4及び第5の絶縁層の両方が芯材を含まない樹脂材料からなることを特徴とする請求項5に記載の電子部品内蔵基板の製造方法。

[請求項7] 前記第1の導体層に含まれる複数の信号配線パターンと、前記第2の導体層に含まれる複数の信号配線パターンを、前記第2の絶縁層の

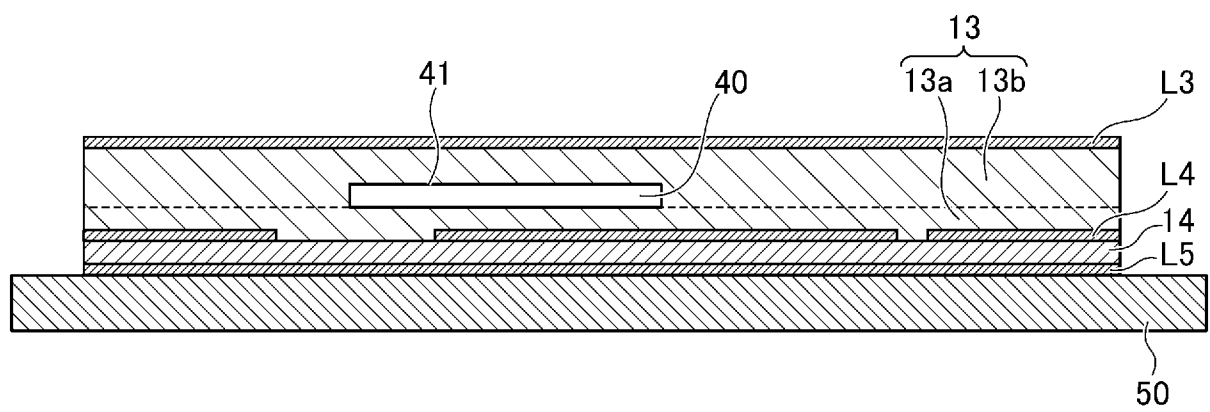
うち局所的に前記芯材を含まない無芯材領域を貫通する複数のビア導体を介して互いに接続する工程をさらに備えることを特徴とする請求項5又は6に記載の電子部品内蔵基板の製造方法。

[請求項8] 前記第5の導体層に含まれる複数の信号配線パターンと、前記第2の導体層に含まれる複数の信号配線パターンを、前記第2の絶縁層に設けられた開口部を貫通する複数のビア導体を介して互いに接続する工程をさらに備えることを特徴とする請求項5又は6に記載の電子部品内蔵基板の製造方法。

[図4]



[図5]



[図6]

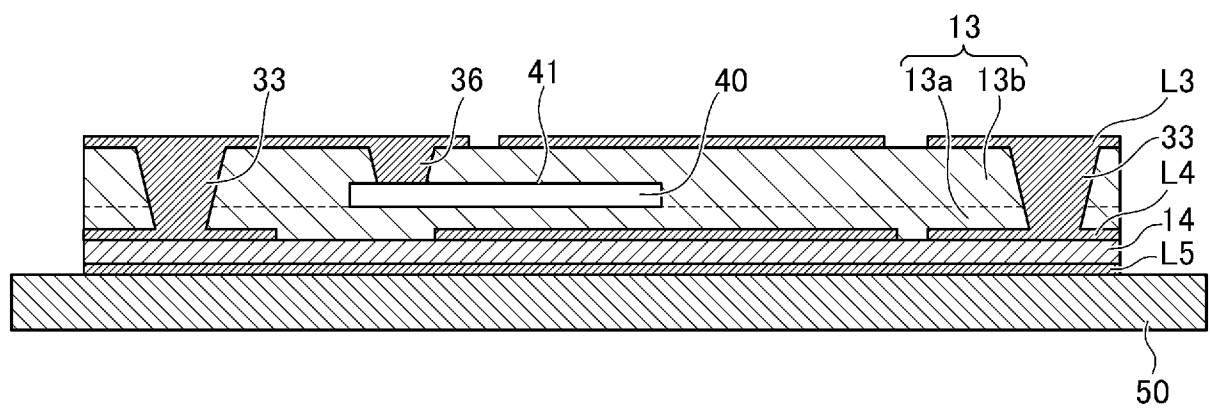
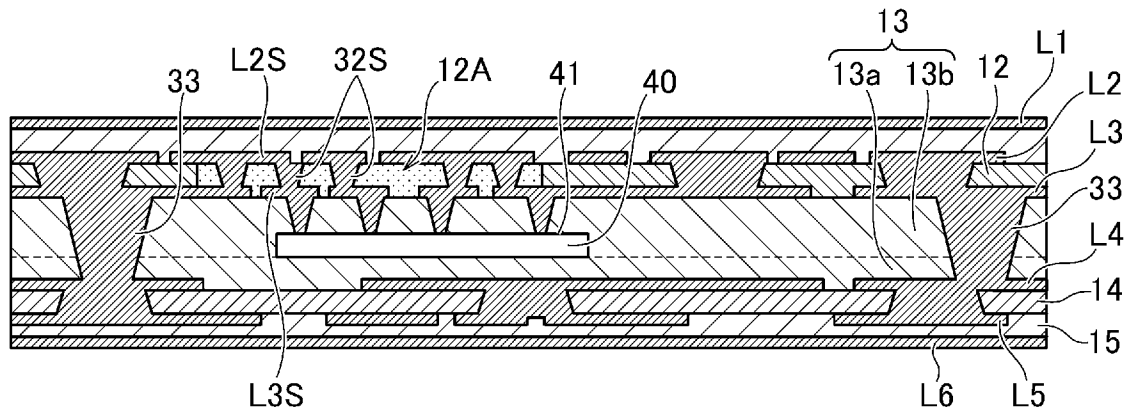
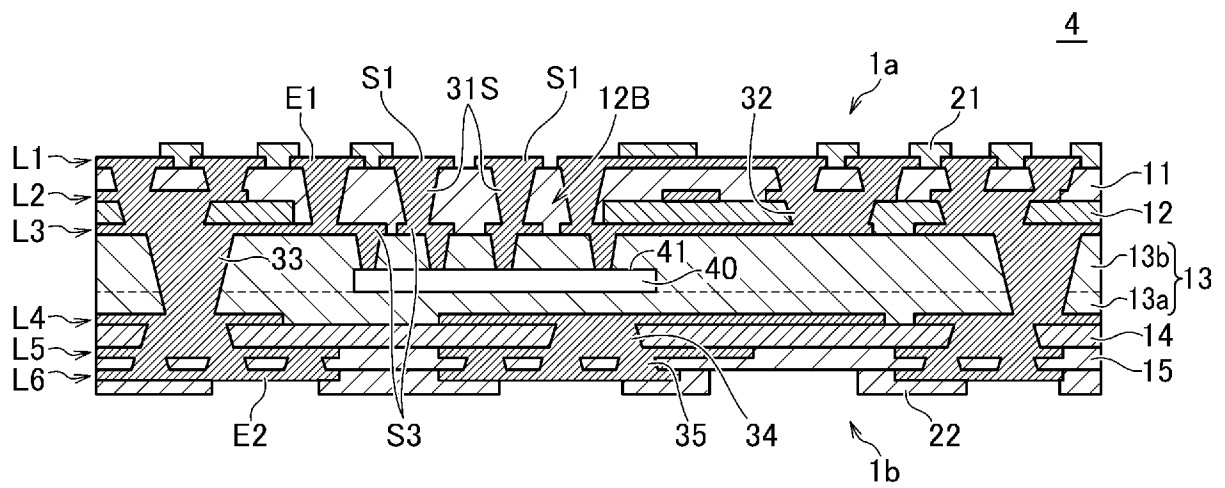


Fig. 1 is a cross-sectional view of a semiconductor device. The device consists of a substrate with multiple layers (L1, L2, L3, L4, L5, L6) and various components (33, 36, 41, 32, 40, 13, 13a, 13b, 12, 34). The layers are stacked vertically, with L1 at the top and L6 at the bottom. The components are distributed across the layers, with some components (33, 36, 41, 32, 40) located in the upper layers and others (13, 13a, 13b, 12, 34) located in the lower layers. The device is shown in a cross-sectional view, with the layers and components labeled with reference numerals.

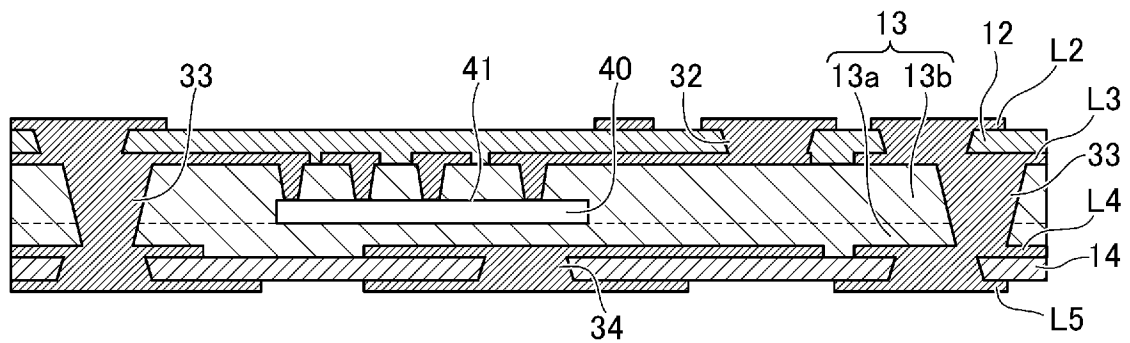
[図16]



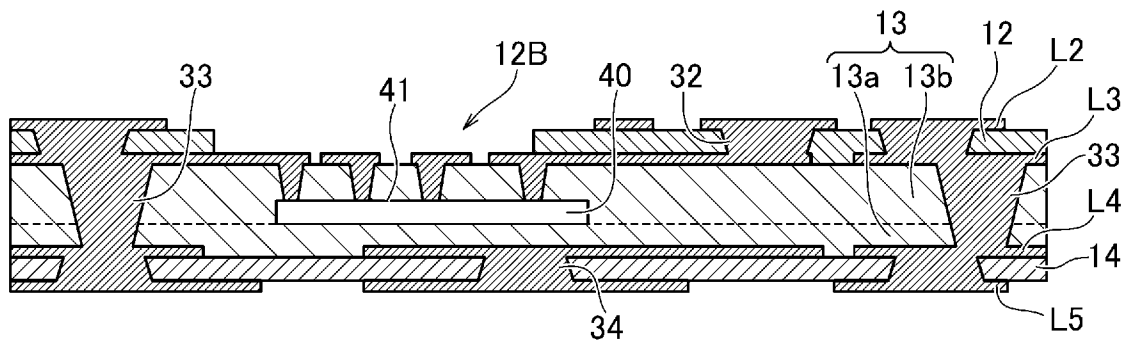
[図17]



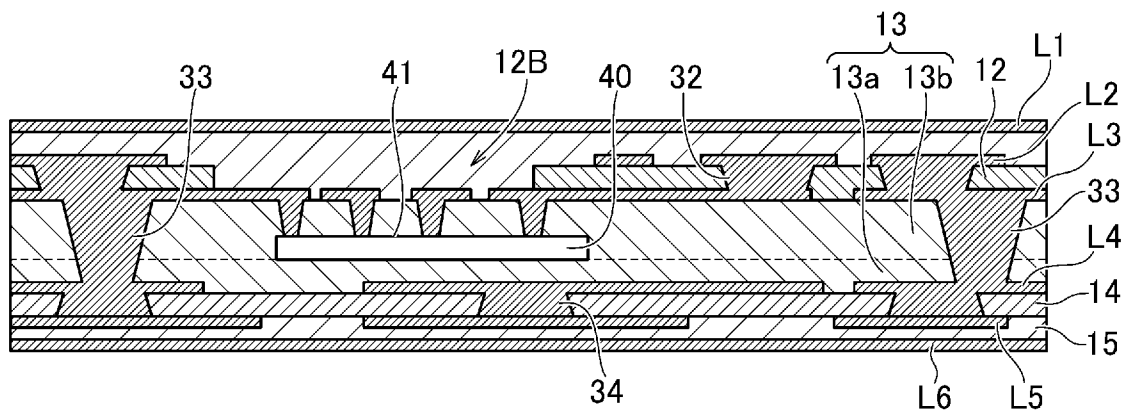
[図18]



[図19]



[図20]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/007194

A. CLASSIFICATION OF SUBJECT MATTER**H05K 1/02**(2006.01)i; **H05K 3/46**(2006.01)i

FI: H05K3/46 Q; H05K1/02 D; H05K3/46 B; H05K3/46 N

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H05K1/02; H05K3/46

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2022

Registered utility model specifications of Japan 1996-2022

Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2016-207940 A (IBIDEN CO LTD) 08 December 2016 (2016-12-08) paragraphs [0008]-[0069], fig. 1-13	5-6, 8
A	paragraphs [0008]-[0069], fig. 1-13	1-4, 7
A	JP 2012-33949 A (IBIDEN CO LTD) 16 February 2012 (2012-02-16) entire text, all drawings	1-8
A	JP 2014-131017 A (SAMSUNG ELECTRO-MECHANICS CO LTD) 10 July 2014 (2014-07-10) entire text, all drawings	1-8
A	JP 2021-22614 A (IBIDEN CO LTD) 18 February 2021 (2021-02-18) entire text, all drawings	1-8

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

10 May 2022

Date of mailing of the international search report

24 May 2022

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/007194

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)		Publication date (day/month/year)
JP	2016-207940	A	08 December 2016	US	2016/0316566 A1	paragraphs [0030]-[0096], fig. 1-13
JP	2012-33949	A	16 February 2012	US	2005/0157478 A1	entire text, all drawings
JP	2014-131017	A	10 July 2014	US	2014/0182889 A1	entire text, all drawings
JP	2021-22614	A	18 February 2021	US	2021/0028342 A1	entire text, all drawings

A. 発明の属する分野の分類（国際特許分類（IPC）） H05K 1/02(2006.01)i; H05K 3/46(2006.01)i FI: H05K3/46 Q; H05K1/02 D; H05K3/46 B; H05K3/46 N		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H05K1/02; H05K3/46		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2022年 日本国実用新案登録公報 1996-2022年 日本国登録実用新案公報 1994-2022年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2016-207940 A（イビデン株式会社）08.12.2016（2016-12-08） 段落0008-0069, 図1-13	5-6, 8
A	段落0008-0069, 図1-13	1-4, 7
A	JP 2012-33949 A（イビデン株式会社）16.02.2012（2012-02-16） 全文, 全図	1-8
A	JP 2014-131017 A（サムソン エレクトロメカニクス カンパニーリミテッド） 10.07.2014（2014-07-10） 全文, 全図	1-8
A	JP 2021-22614 A（イビデン株式会社）18.02.2021（2021-02-18） 全文, 全図	1-8
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 10.05.2022		国際調査報告の発送日 24.05.2022
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 柴垣 宙央 5D 7895 電話番号 03-3581-1101 内線 3551

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2022/007194

引用文献			公表日	パテントファミリー文献			公表日
JP	2016-207940	A	08.12.2016	US	2016/0316566	A1	
				段落0030-0096, 図1-13			
JP	2012-33949	A	16.02.2012	US	2005/0157478	A1	
				全文, 全図			
JP	2014-131017	A	10.07.2014	US	2014/0182889	A1	
				全文, 全図			
JP	2021-22614	A	18.02.2021	US	2021/0028342	A1	
				全文, 全図			