(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2010 年 9 月 16 日(16.09.2010)

PCT

(10) 国際公開番号
WO 2010/103576 A1

(51) 国際特許分類:
H04L 25/02 (2006.01) *H03K 5/00* (2006.01)

(21) 国際出願番号: PCT/JP2009/001136

(22) 国際出願日: 2009 年 3 月 13 日(13.03.2009)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): 富士通株式会社 **(FUJITSU LIMITED)** [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中４丁目１番１号 Kanagawa (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 山端徹次 **(YAMABANA, Tetsuji)** [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中４丁目１番１号 富士通株式会社内 Kanagawa (JP). 井出聡 **(IDE, Satoshi)** [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中４丁目１番１号 富士通株式会社内 Kanagawa (JP).

(74) 代理人: 大菅義之 **(OSUGA, Yoshiyuki)**; 〒1020084 東京都千代田区二番町８番地２０ 二番町ビル３Ｆ Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

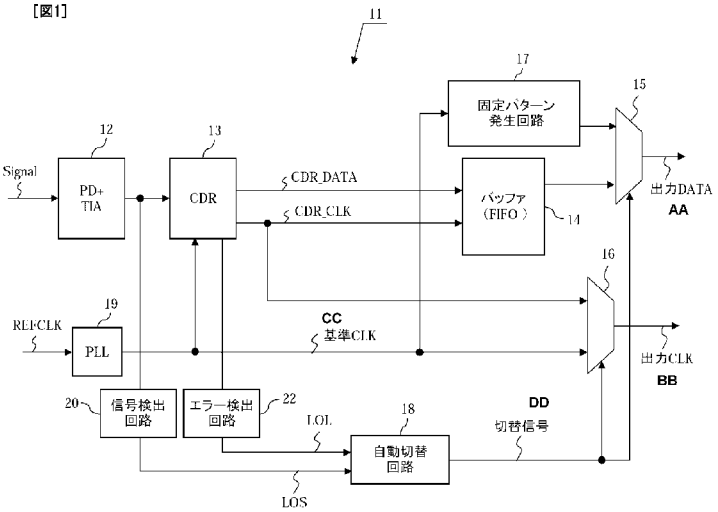
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF,

[続葉有]

(54) **Title**: DATA RECEPTION CIRCUIT

(54) 発明の名称 : データ受信回路

[図1]



17 FIXED PATTERN GENERATION CIRCUIT
14 BUFFER (FIFO)
20 SIGNAL DETECTION CIRCUIT
22 ERROR DETECTION CIRCUIT
18 AUTOMATIC SWITCHING CIRCUIT
AA OUTPUT DATA
BB OUTPUT CLK
CC REFERENCE CLK
DD SWITCHING SIGNAL

(57) **Abstract**: A data reception circuit includes an automatic switching circuit which outputs such a switching signal that a first selector and a second selector select fixed pattern data and a reference clock upon a signal breakdown or a lock loss state. Upon a signal breakdown or a lock loss state, the first selector selects and outputs fixed pattern data outputted from a fixed pattern generation circuit instead of extracted data while the second selector selects and outputs a reference clock generated inside instead of the extracted clock.

(57) 要約: データ受信回路の自動切替回路は、信号断又はロック喪失状態のとき、第１のセレクタと第２のセレクタが、固定パターンデータと基準クロックを選択するような切替信号を出力する。第１のセレクタは、信号断又はロック喪失状態のとき、抽出データの代わりに、固定パターン発生回路から出力される固定パターンデータを選択して出力する。第２のセレクタは、信号断又はロック喪失状態のとき、抽出クロックの代わりに内部で生成した基準クロックを選択して出力する。

WO 2010/103576 A1

CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

明　細　書

データ受信回路

技術分野

[0001] 本発明は、光信号等を受信するデータ受信回路に関する。

背景技術

[0002] 伝送路を伝送されるデータを受信するデータ受信回路は、クロック・データ再生回路を用いて受信した信号からデータとクロックを再生している。データ伝送を行う場合、データレートと伝送距離によってデータとクロックとの位相差が無視できなくなる。そのため、データと参照クロック（データから再生したクロックを分周したクロック）を後段の回路に出力し、後段の回路でクロック・データ再生回路によりデータとクロックを再生している。

[0003] データ受信回路は、信号が入力しないときやＳＮ比が悪いときに、クロック・データ再生回路でデータをロックできない状態になると、後段のクロック・データ再生回路がロックできないような長い期間０又は１が連続するデータを出力してしまう。また、規定範囲外のクロックが出力されてしまう。データ受信回路から０又は１が連続する異常なデータが出力されると、後段のデータ受信回路は正常に動作できなくなる。

[0004] 特許文献１には、光受信増幅回路において、光入力の切断を示す第1の断検出信号と、光受信増幅回路、クロック再生回路又は光検出器のいずれかに関連して検出される第２の断検出信号に基づいて光入力の切断を示す信号を生成することが記載されている。これにより、光信号断が発生した直後の同符号の連続が後段の伝送路に伝搬されないようにしている。

[0005] 特許文献２は、光デジタル伝送装置において、受信側にマーク率１／２であるランダムパターンであるＰＮパターンを発生するＰＮパターン発生回路を設け、低次群信号が入力断のときにＰＮパターンを挿入し、受信側でそのＰＮパターンを検出する。これにより、受信側で、入力断による警報等の付加情報の検出を可能にしている。

特許文献1：特開２０００－３３２７２０号公報

特許文献2：特開２００２－２６１７１８号公報

発明の開示

[0006] 本発明の課題は、データ受信回路において、入力信号断又はクロック・データ再生回路がロック喪失状態となったときに、異常データが出力されないようにすることである。

開示のデータ受信回路は、受信信号からクロックとデータを再生するクロック・データ再生回路と、固定パターンデータを生成する固定パターン発生回路と、前記固定パターン発生回路で生成される前記固定パターンデータと、前記クロック・データ再生回路で抽出される抽出データの一方を選択して出力する第1の選択回路と、基準クロックと、前記クロック・データ再生回路で抽出される抽出クロックの一方を選択して出力する第２の選択回路と、入力信号断又は前記クロック・データ再生回路がロック喪失状態のとき、前記第1の選択回路から前記固定パターンデータを出力させると共に、前記第２の選択回路から前記基準クロックを出力させるように選択動作を制御する切替回路とを備える。

図面の簡単な説明

[0007] [図1]第1の実施の形態のデータ受信回路の構成を示す図である。

[図2]データ受信回路の動作を示すタイムチャートである。

[図3]第1の実施の形態の変形例を示す図である。

[図4]自動切替回路の一例を示す図である。

[図5]データ受信回路の動作を示すタイムチャートである。

[図6]遅延回路を有する自動切替回路と、遅延回路の回路図である。

[図7]遅延回路の動作を示すタイムチャートである（その１）。

[図8]遅延回路の動作を示すタイムチャートである（その２）。

[図9]バッファ回路の一例を示す図である。

[図10]エラー検出回路の一例を示す図である。

[図11]第２の実施の形態のデータ受信回路の構成を示す図である。

[図12]第２の実施の形態のバッファ回路の一例を示す図である。

[図13]バッファ回路の動作を示すタイムチャートである。

発明を実施するための最良の形態

[0008] 以下、本発明の好適な実施の形態について図面を参照して説明する。図１は、第1の実施の形態のデータ受信回路１１の構成を示す図である。この第1の実施の形態は、光信号を受信し、増幅して伝送路に送出する光受信回路に関するものである。

[0009] 図１において、信号変換・増幅回路（ＰＤ+ＴＩＡ）１２は、光信号を電気信号に変換して増幅する回路であり、光信号を電気信号に変換するＰＤ（Photo Diode）と、電気信号を増幅するＴＩＡ（Trans Impedance Amp）を有する。

[0010] クロック・データ再生回路（ＣＤＲ：Clock Data Recovery）１３は、受信データからクロックとデータを復元する。復元したデータ（以下、抽出データＣＤＲ__ＤＡＴＡと呼ぶ）とクロック（以下、抽出クロックＣＤＲ__ＣＬＫと呼ぶ）をバッファ回路１４に出力すると共に、抽出クロックＣＤＲ__ＣＬＫを第２のセレクタ１６に出力する。

[0011] バッファ回路１４は、ＦＩＦＯ形式のバッファであり、クロック・データ再生回路１３から出力される抽出データＣＤＲ__ＤＡＴＡを一時記憶する。バッファ回路１４は、例えば、縦続接続された複数段の記憶回路（レジスタなど）を有し、クロック・データ再生回路１３から出力される抽出データＣＤＲ__ＤＡＴＡを複数の記憶回路に順に記憶する。バッファ回路１４に格納された抽出データＣＤＲ__ＤＡＴＡは、格納順に第１のセレクタ１５に出力される。

[0012] 固定パターン発生回路１７は、例えば、マーク率が１／２の固定パターンデータを生成して第１のセレクタ１５に出力する。

自動切替回路（切替回路に対応する）１８は、光信号断又はロック喪失状態となったとき、第１のセレクタ１５と第２のセレクタ１６が、固定パターンデータと基準クロックを選択するような切替信号を出力する。自動切替回

路１８には、光信号断が検出されたとき、信号検出回路２０から光信号断検出信号ＬＯＳ（Loss of Signal)出力される。また、クロック・データ再生回路１３がロック喪失状態となったとき、エラー検出回路２１からロック喪失信号ＬＯＬ（Loss of Lock）が出力される。

[0013] ＰＬＬ回路１９は、参照クロック（ＲＥＦＣＬＫ）を逓倍した基準クロック（基準ＣＬＫ）を生成して、クロック・データ再生回路１３と第２のセレクタ１６に出力する。

第1のセレクタ（第１の選択回路に対応する）１５は、自動切替回路１８から出力される切替信号に従って、バッファ回路１４から出力されるデータＣＤＲ__ＤＡＴＡと、固定パターン発生回路１７から出力される固定パターンデータの一方を選択して出力する。第１のセレクタ１５の出力データを出力ＤＡＴＡと呼ぶ。

[0014] 第２のセレクタ（第２の選択回路に対応する）１６は、自動切替回路１８から出力される切替信号に従って、抽出クロックＣＤＲ__ＣＬＫと基準クロックの一方を選択して出力する。

[0015] 図２は、図１のデータ受信回路１１の動作を示すタイムチャートである。図２のタイムチャートは、光信号が断となり、信号断検出信号ＬＯＳがハイレベルに変化した後、信号の入力が再開された場合の例を示している。

[0016] 以下、図２を参照して図１の回路の動作を説明する。入力信号断となると、クロック・データ再生回路１３はデータからクロックが抽出できなくなるので、クロック・データ再生回路１３から規定範囲外の周波数のクロックが出力される。また、入力信号断となると、クロック・データ再生回路１３から異常データ（全て１又は０のデータ）が出力される。

[0017] バッファ回路１４からは、入力信号が断となってから、バッファ回路１４の遅延時間 t data_delayを経過した後、異常データが出力される。

図２に示すように、信号検出回路２０の出力信号である信号断検出信号ＬＯＳは、信号断となってから、信号検出回路２０において実際に信号断が検出されるまでの時間 t error_onが経過したときハイレベルに変化する。また

、信号断検出信号ＬＯＳは、信号が再開されてから所定の遅延時間ｔerror_offが経過してからローレベルに変化する。

[0018] 図２の信号断検出信号ＬＯＳがハイレベルとなり、自動切替回路１８から出力される切替信号の状態が変化すると、第１のセレクタ１５は固定パターンデータを選択して出力する。そして、入力信号が再開されて信号断検出信号ＬＯＳがローレベルに変化してから所定の遅延時間ｔrestart_delayが経過すると、第１のセレクタ１５は、抽出データＣＤＲ＿ＤＡＴＡを選択して出力する。

[0019] また、信号断検出信号ＬＯＳがハイレベルとり、自動切替回路１８から出力される切替信号の状態が変化すると、第２のセレクタ１６は、基準クロックを選択して出力する。そして、入力信号が再開されて信号断検出信号ＬＯＳがローレベルに変化してから遅延時間ｔrestart_delayが経過すると、第２のセレクタ１６は、抽出クロックＣＤＲ＿ＣＬＫを選択して出力する。

[0020] 上記の第１のセレクタ１５の出力データと、第２のセレクタ１６の出力クロックは、図示しない電気／光変換器により光信号に変換され伝送路に送出される。

上記の回路動作の説明では、信号断検出信号ＬＯＳがハイレベルとなった場合について説明したが、クロック・データ再生回路１３がロック喪失状態になった場合にも、同様に固定パターンデータと基準クロックを出力することができる。

[0021] 信号断となり、信号断検出信号ＬＯＳがハイレベルになり、その後、ロック喪失信号ＬＯＬがハイレベルに変化したときの第１のセレクタ１５と第２のセレクタ１６の動作は上記と同じである。

[0022] 入力信号が再開されると、信号断検出信号ＬＯＳがローレベルに変換する。さらに、クロック・データ再生回路１３がデータ抽出を再開しロック状態となると、ロック喪失信号ＬＯＬがローレベルに変化する。

[0023] 信号断検出信号ＬＯＳがローレベルになり、かつロック喪失信号ＬＯＬがローレベルに変化すると、自動切替回路１８から第１のセレクタ１５と第２

のセレクタ１６の選択を切り換える切替信号が出力される。この切替信号が第１のセレクタ１５に与えられると、第１のセレクタ１５は出力データを固定パターンデータから抽出データＣＤＲ＿ＤＡＴＡに切り換える。同様に、第２のセレクタ１６は、出力クロックを基準クロックから抽出クロックＣＤＲ＿ＣＬＫに切り換える。

[0024] 上記のデータ受信回路１１によれば、入力信号断となったとき（又はクロック・データ再生回路１３がロック喪失状態となったとき）、出力データを固定パターンデータに切り換えることができる。また、出力クロックを内部のＰＬＬ回路１９で生成される基準クロックに切り換えることができる。

[0025] 図３は、第1の実施の形態の変形例を示す図である。このデータ受信回路３１は、基本的には図２のデータ受信回路１１と同じ回路ブロックを有する。以下、図２と同じ回路ブロックには同じ符号を付けてそれらの説明を省略する。

[0026] 図３のデータ受信回路３１と図２のデータ受信回路１１の異なる点は、図２のエラー検出回路２１がクロック・データ再生回路（ＣＤＲ）３２に内蔵されている点である。分周器３３は、第２のセレクタ１６から出力される抽出クロックＣＤＲ＿ＣＬＫ又は基準クロックを分周して参照クロックとして伝送路に送出する。

[0027] 図３の回路では、クロック・データ再生回路３２から自動切替回路１８にロック喪失信号ＬＯＬが出力される。

図３のデータ受信回路３１は、図１のデータ受信回路１１と同じ効果を得ることができる。

[0028] 図４は、自動切替回路１８の一例を示す図である。図４は、オア回路４１を用いた場合の例である。オア回路４１は、信号断検出信号ＬＯＳ又はロック喪失信号ＬＯＬがハイレベルに変化すると、そのハイレベルの信号を切替信号として第１のセレクタ１５と第２のセレクタ１６に出力する。

[0029] 図５は、オア回路４１を用いた場合のデータ受信回路１１の動作を示すタイムチャートである。

一般に、入力信号が断となると、クロック・データ再生回路１３は、出力データとしてＡＬＬ－Ｈｉｇｈ又はＡＬＬ－Ｌｏｗの異常データを出力する。

[0030] バッファ回路１４は、内部の記憶回路の段数分の遅延時間ｔdata_delayが経過した後、異常データを出力する。

信号検出回路２０の出力信号である信号断検出信号ＬＯＳは、通常はローレベルで、信号断となってから信号検出回路２０が信号断を検出までの遅延時間であるｔerror_on時間経過した後、ハイレベルに変化する。信号断検出信号ＬＯＳがハイレベルに変化すると、オア回路４１からハイレベルの切替信号が第１のセレクタ１５と第２のセレクタ１６に出力される。切替信号がハイレベルに変化すると、第１のセレクタ１５は、固定パターン発生回路１７の出力信号である固定パターンデータを選択して出力する。

[0031] 入力信号断の状態から正常状態に戻ると、クロック・データ再生回路１３の出力信号も正常データに戻る。信号検出回路２０の出力信号は、信号断の状態から正常状態に復帰したことを検出するまでの遅延時間であるｔerror_off時間経過した後、ハイレベルからローレベルに変化する。第１のセレクタ１５は切替信号がローレベルに変化すると、バッファ回路１４の出力データである抽出データＣＤＲ_ＤＡＴＡを選択して出力する。

[0032] 図５のタイムチャートにおいて、信号検出回路２０の出力である信号断検出信号ＬＯＳがローレベルに変化するタイミングまでに、バッファ回路１４の出力データが正常データに復帰していない場合には、次のような不都合が発生する。この場合、信号断検出信号ＬＯＳがローレベルに変化したとき、バッファ回路１４から異常データ（１が連続するデータ又は０が連続するデータ）が出力されると、第１のセレクタ１５はその異常データを選択して出力してしまう。

[0033] 図６（Ａ）は、上記の問題を解決するために遅延回路４２を設けた自動切替回路５１の一例を示す図であり、図６（Ｂ）は、遅延回路４２の回路図である。

図６（Ａ）に示すように、自動切替回路５１は、オア回路４１とその後段に接続された遅延回路４２を有する。

[0034] 図６（Ｂ）に示すように、遅延回路４２は、例えば、２個のインバータ４３、４４とカウンタ４５を有する。

オア回路４１の出力信号はカウンタ４５のリセットＲＳＴ端子に入力すると共に、インバータ４３を介して入力ＩＮ端子に入力している。カウンタ４５のクロックＣＬＫ端子には、基準クロック信号（基準ＣＬＫ）が入力している。カウンタ４５の出力は、インバータ４４を介して第１のセレクタ１５と第２のセレクタ１６に出力される。

[0035] カウンタ４５は、入力ＩＮ端子に入力するデータが「１」（例えば、ハイレベル）のとき、基準クロックに同期したタイミングで内部でカウントアップを行い、カウント値が一定値に達したとき「１」を出力する。

[0036] ここで、自動切替回路５１の動作を、図７及び図８のタイムチャートを参照して説明する。

最初に、信号断となり、信号断検出信号ＬＯＳ（又はロック喪失信号ＬＯＬ）が一定期間ハイレベルとなり、その後ローレベルに変化する場合の回路動作を、図７を参照して説明する。

[0037] 例えば、入力信号断となり信号断検出信号ＬＯＳがハイレベルに変化すると、図７に示すように遅延回路４２の入力信号がハイレベルに変化する。遅延回路４２の入力信号はリセットＲＳＴ端子に入力しているので、そのときカウンタ４５がリセットされ、カウンタ４５の出力信号はローレベルに変化する。カウンタ４５の出力信号はインバータ４４で反転されて出力されるので、信号断検出信号ＬＯＳがハイレベルに変化すると、遅延回路４２の出力信号はハイレベルになる。

[0038] 遅延回路４２の出力信号がハイレベル、つまり自動切替回路５１の出力がハイレベルに変化すると、第１のセレクタ１５は、固定パターン発生回路１７の出力データを選択し、選択した固定パターンデータを出力ＤＡＴＡとして出力する。

[0039] その後、入力信号が再開されて信号断検出信号ＬＯＳがローレベルに変化すると、図７に示すように遅延回路４２の入力信号がローレベルに変化する。遅延回路４２の入力信号はインバータ４３で反転されてカウンタ４５の入力端子に入力しているので、そのときカウンタ４５がカウント動作を開始する。カウンタ４５がカウント動作を行っている間、カウンタ４５の出力信号はローレベルを維持する。

[0040] 従って、第１のセレクタ１５は、固定パターン発生回路１７の出力データの選択を維持し、固定パターンデータを出力する。

カウンタ４５のカウント値が一定値に達すると、カウンタ４５の出力がハイレベルに変化し、遅延回路４２の出力がローレベルに変化する。

[0041] 遅延回路４２の出力、つまり自動切替回路５１の出力がローレベルに変化すると、第１のセレクタ１５は、バッファ回路１４の出力データである抽出データＣＤＲ＿ＤＡＴＡを選択して出力する。

[0042] 上記のようにオア回路４１の後段に遅延回路４２を設けることにより、信号が再開されたときに、バッファ回路１４に記憶されていた異常データが出力されるという問題を解決できる。

[0043] 次に、信号断検出信号ＬＯＳ（又はロック喪失信号ＬＯＬ）が一定期間、ハイレベルととなり、ローレベルになった後、再び一定期間、ハイレベルに変化した場合の回路動作を、図８を参照して説明する。

[0044] 入力信号断となり、信号断検出信号ＬＯＳがハイレベルになった後、ローレベルに変化したときに、カウンタ４５がカウント動作を開始するまでの動作は、図７と同じであるのでその説明は省略する。

[0045] 図８に示すように、カウント動作を開始した後、遅延回路４２の入力信号が再びハイレベルに変化すると、カウンタ４５がリセットされる。このとき、カウンタ４５の出力信号はローレベルを維持する。その後、遅延回路４２の入力信号がローレベルに変化し、入力信号の反転信号がハイレベルに変化すると、カウンタ４５がカウント動作を開始する。カウンタ４５のカウント値が一定値に達すると、カウンタ４５の出力信号がハイレベルに変化する。

このときのカウント時間がｔresrart_delayである。

[0046] カウンタ４５の出力信号がハイレベル、つまり自動切替回路５１の出力信号がローレベルに変化すると、第１のセレクタ１５は、バッファ回路１４の出力データである抽出データＣＤＲ__ＤＡＴＡを選択して出力する。

[0047] 上記のように信号断又はロック喪失状態の期間は、第１のセレクタ１５から固定パターンデータを出力し、第２のセレクタ１６から内部で生成した基準クロックを出力することができる。

[0048] 図９は、バッファ回路１４の一例を示す図である。バッファ回路１４は、複数のＤフリップフロップ６１～６４・・が縦続接続されている。Ｄフリップフロップ６１～６４・・・を縦続接続することでＦＩＦＯ構造のバッファ回路を実現している。

[0049] 図１０は、エラー検出回路２１の一例を示す図である。図１０は、ＰＬＬ回路の閾値判定回路７１を示している。

ＰＬＬ回路は、位相比較器７２と、ループフィルタ７３と、電圧制御発振器（ＶＣＯ：Voltage Controlled Oscillator）７４と、分周器７５と、閾値判定回路７１を有する。

[0050] 閾値判定回路７１は、ループフィルタ７３から電圧制御発振器７４に出力される制御電圧を監視し、制御電圧が一定範囲外となった場合に、ＰＬＬ回路のロックが喪失した状態と判定する。すなわち、電圧制御発振器７４に与えられる制御電圧の値により、ＰＬＬ回路の発振周波数が一定範囲内に収束したロック状態か、それとも一定範囲内に収束していないロック喪失状態かを判定している。この閾値判定回路７１をエラー検出回路２１として用いることで、クロック・データ再生回路１３がロック状態にあるか否かを判定することができる。

[0051] 上述した第1の実施の形態によれば、信号断又はクロック・データ再生回路１３がロック喪失状態になったとき、第１のセレクタ１５が固定パターン発生回路１７の出力データを選択して出力することができる。これにより、信号断又はロック喪失状態のときに、０又は１が連続する異常データが後段の

回路に出力されるのを防止できる。また、信号断又はロック喪失状態になったとき、第２のセレクタ１６が、抽出クロックＣＤＲ＿ＣＬＫの代わりに、内部で生成する基準クロックを選択して出力することができる。これにより、後段の回路は正常なクロックを受信することができる。

[0052] 図１１は、第２の実施の形態のデータ受信回路８１のブロック図である。第２の実施の形態は、バッファ回路８３の複数のデータを固定パターンデータに置換する回路を設けた例である。以下の説明では、図１及び図３と同じブロックには同じ符号を付けてそれらの説明を省略する。

[0053] 図１１において、セレクタ８２は、クロック・データ再生回路３２から出力される抽出クロックＣＤＲ＿ＣＬＫと、ＰＬＬ回路１９から出力される基準クロックの一方を選択してバッファ回路８３に出力する。セレクタ８２は、自動切替回路１８から出力される切替信号に基づいて選択動作を行う。

[0054] バッファ回路８３は、内部に記憶してあるデータを固定パターンデータに置換する回路が組み込まれたものである。通常状態では、クロック・データ再生回路３２から出力される抽出データＣＤＲ＿ＤＡＴＡを内部の複数の記憶回路に記憶して順に出力する。信号断又はロック喪失状態となると、内部に記憶してある複数のデータを固定パターンデータに一括して置き換え、置換した固定パターンデータを順に出力する。

[0055] 分周器８４は、セレクタ８２から出力されるクロック信号を分周して出力する。

図１２は、第２の実施の形態のバッファ回路８３の一例を示す図である。バッファ回路８３は、固定パターン発生器９１と、固定パターン初期状態保持回路９２と、ｎ個のＤフリップフロップＤ１～Ｄｎと、ｎ個のセレクタＳＥＬ１～ｎを有する。また、バッファ回路８３は、第１切替信号発生回路９３と、第２切替信号発生回路９４を有する。固定パターン発生器９１と固定パターン初期状態保持回路９２が、固定パターン発生回路に対応する。

[0056] ｎ個のセレクタＳＥＬ１～ＳＥＬｎは、固定パターンデータと、クロック・データ再生回路３２から出力される抽出データＣＤＲ＿ＤＡＴＡ又は前段

のＤフリップフロップＤ２～Ｄｎの出力の一方を選択してＤフリップフロップＤ１～Ｄｎに出力する。

[0057] ｎ個のＤフリップフロップＤ１～Ｄｎは、前段のセレクタＳＥＬ１～ＳＥＬｎから出力されるデータをラッチして、次段のセレクタＳＥＬ１～ＳＥＬｎ（又は伝送路）に出力する。

[0058] 固定パターン発生器９１は、信号断又はクロック・データ再生回路３２がロック喪失状態となったとき、固定パターンデータP_{n-1}、P_n、P_{n+1}・・・をクロック信号に同期してセレクタＳＥＬ１に出力する。

[0059] 固定パターン初期状態保持回路９２は、信号断又はロック喪失状態となった直後に、複数のＤフリップフロップＤ２～Ｄｎに記憶されているデータを、固定パターンデータに置き換えるための回路である。この固定パターン初期状態保持回路９２には、例えば、固定パターンデータとしてP_0、P_1・・・P_{n-3}、P_{n-2}が保持されている。

[0060] 第１切替信号発生回路９３は、信号断又はロック喪失状態となったとき、１段目のセレクタＳＥＬ１に固定パターン発生器９１の出力データを選択させる制御を行う回路である。この第１切替信号発生回路９３からは、信号断又はロック喪失状態となっている期間、例えば、ハイレベルとなる第１切替信号が出力される。

[0061] 第２切替信号発生回路９４は、信号断又はロック喪失状態となったとき、セレクタＳＥＬ２～ＳＥＬｎに、固定パターン初期状態保持回路９２の出力を選択にさせるための制御を行う回路である。この第２切替信号発生回路９４からは、信号断又はロック喪失状態に変化した最初のタイミングで、例えば、ハイレベルとなり、一定期間後ローレベルに変化する第２切替信号が出力される。第1切替信号発生回路９３と第２切替信号発生回路９４は切替回路に対応する。

[0062] ここで、バッファ回路８３の動作を、図１３のタイムチャートを参照して説明する。

信号断検出信号ＬＯＳ又はロック喪失信号ＬＯＬがハイレベルに変化する

と、第１切替信号発生回路９３から、信号断検出信号ＬＯＳ又はロック喪失信号ＬＯＬがハイレベルの間ハイレベルとなる第１切替信号が出力される。同時に、第２切替信号発生回路９４から、信号断検出信号ＬＯＳ又はロック喪失信号ＬＯＬがハイレベルに変化したときハイレベルとなり、一定期間後にローレベルになる第２切替信号が出力される。

[0063] 固定パターン発生器９１は、図１３に示すように、通常は固定パターンデータＰn−１を出力している。そして、第１切替信号発生回路９３からハイレベルの第１切替信号が与えられると、その第１切替信号がハイレベルの期間、固定パターンデータP_{n-1}、P_n、P_{n+1}・・・を順にセレクタＳＥＬ１に出力する。セレクタＳＥＬ１は、第１切替信号がハイレベルの期間は、固定パターン発生器９１の出力データを選択してＤフリップフロップＤ１に出力する。

[0064] セレクタＳＥＬ２～ＳＥＬｎは、第２切替信号発生回路９４から出力される第２切替信号がハイレベルの期間、固定パターン初期状態保持回路９２の出力データP_{n-2}～P_0を選択して後段のＤフリップフロップＤ２～Ｄｎに出力する。その後、第２切替信号がローレベルに変化すると、セレクタＳＥＬ２～ＳＥＬｎは、前段のＤフリップフロップＳＥＬ１～ＳＥＬn-1のＱ出力を選択して後段のＤフリップフロップＤ２～Ｄｎに出力する。

[0065] すなわち、最初に、信号断又はロック喪失状態になったとき、Ｄフリップフロップ Ｄ１～Ｄｎには、固定パターン発生器９１から出力される固定パターンデータP_{n-1}と、固定パターン初期状態保持回路９２から出力される固定パターンデータP_{n-2}～P_0が設定される。その後、第２切替信号がローレベルに変化すると、固定パターン発生器９１から出力される固定パターンデータP_{n-1}、P_n、P_{n+1}・・がＤフリップフロップＤ１～Ｄｎを順にシフトされていく。

[0066] 上述した第２の実施の形態によれば、信号断又はロック喪失状態となったとき、バッファ回路８３の内部のＤフリップフロップＤ１～Ｄｎのデータを固定パターンデータに置き換えることができる。これにより、信号断又はロ

ック喪失状態になったとき、異常データ、あるいは規定範囲外のクロックが後段の回路に出力されるのを防止できる。さらに、第２の実施の形態は、第１の実施の形態で必要であった、バッファ回路１４の出力データと、固定パターン発生回路１７の出力データの一方を選択する第１のセレクタ１５が不要となる。

[0067] また、固定パターン初期状態保持回路９２に固定パターンデータを保持することで、固定パターン発生器９１の回路構成を簡素にできる。具体的に言えば、固定パターン発生器９１は、初段のＤフリップフロップＤ１にのみ固定パターンデータを出力すれば良いので、固定パターンデータを発生する回路を簡素にでき、回路規模を小さくできる。

[0068] なお、上述した第２の実施の形態では、固定パターン発生器９１と別に固定パターン初期状態保持回路９２を設けているが、固定パターン発生器９１が、２段目以降のＤフリップフロップＤ２～Ｄｎに設定する固定パターンデータを生成するようにしても良い。

[0069] この場合、バッファ回路８３のデータ長に対応する固定パターンデータを生成する固定パターン発生回路と、セレクタＳＥＬ１～ＳＥＬｎと、固定パターン発生回路とセクタＳＥＬ１～ＳＥＬｎの制御を行う切替回路があれば良い。切替回路は、図１の自動切替回路を用いることができる。この場合、固定パターン発生器９１の回路規模は大きくなるが、固定パターン初期状態保持回路９２と第１切替信号発生回路９３と第２切替信号発生回路９４が不要となる。

[0070] 本発明は、光信号を受信して伝送路に送出するデータ受信回路に限らず、光信号以外のデータを受信するデータ受信回路にも適用できる。

請求の範囲

[1] 受信信号からクロックとデータを再生するクロック・データ再生回路と、

固定パターンデータを生成する固定パターン発生回路と、

前記固定パターン発生回路で生成される前記固定パターンデータと、前記クロック・データ再生回路で抽出される抽出データの一方を選択して出力する第1の選択回路と、

基準クロックと、前記クロック・データ再生回路で抽出される抽出クロックの一方を選択して出力する第２の選択回路と、

入力信号断又は前記クロック・データ再生回路がロック喪失状態のとき、前記第1の選択回路から前記固定パターンデータを出力させると共に、前記第２の選択回路から前記基準クロックを出力させるように選択動作を制御する切替回路とを備えるデータ受信回路。

[2] 前記クロック・データ再生回路の出力データを順に記憶する複数の記憶回路を有するバッファ回路を備え、

前記第1の選択回路は、前記バッファ回路の出力データと前記固定パターン発生回路から出力される前記固定パターンデータの一方を選択して出力する請求項１記載のデータ受信回路。

[3] 前記固定パターン発生回路は、１又は０が連続しないデータを生成する請求項１記載のデータ受信回路。

[4] 受信信号からクロックとデータを再生するクロック・データ再生回路と、

固定パターンデータを生成する固定パターン発生回路と、縦続接続された複数の記憶回路を有するバッファ回路と、

信号断又は前記クロック・データ再生回路がロック喪失状態のときには、前記複数の記憶回路に記憶されている複数のデータを、前記固定パターン出力回路から出力される前記固定パターンデータに同時に置き換える制御を行う切替回路とを備えるデータ受信回路。

[5] 前記固定パターン発生回路は、前記複数の記憶回路の初段の記憶回路に固定パターンデータを順次供給する固定パターン発生器と、前記複数の記憶回

路の一部又は全部の記憶回路に設定する固定パターンデータを保持する固定パターンデータ保持回路を有する請求項４記載のデータ受信回路。

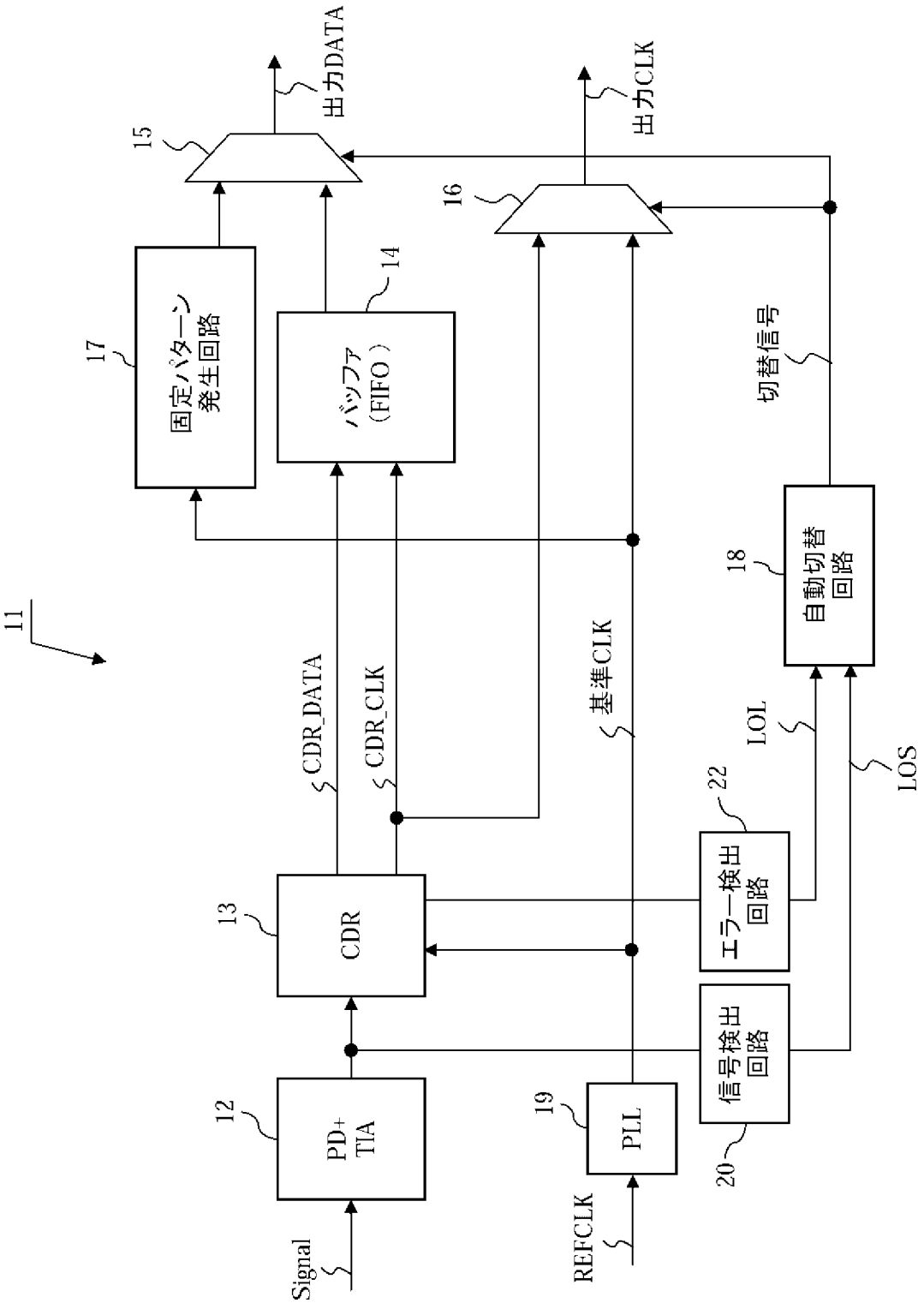
[6] 前記固定パターン発生器から出力される固定パターンデータと、前記クロック・データ再生回路の出力データの一方を選択して前記複数の記憶回路の初段の前記記憶回路に出力する第１の選択回路と、

前記固定パターン保持回路から出力される固定パターンデータと、前段の記憶回路の出力データの一方を選択して次段の記憶回路に出力する複数の選択回路とを有する請求項５記載のデータ受信回路。

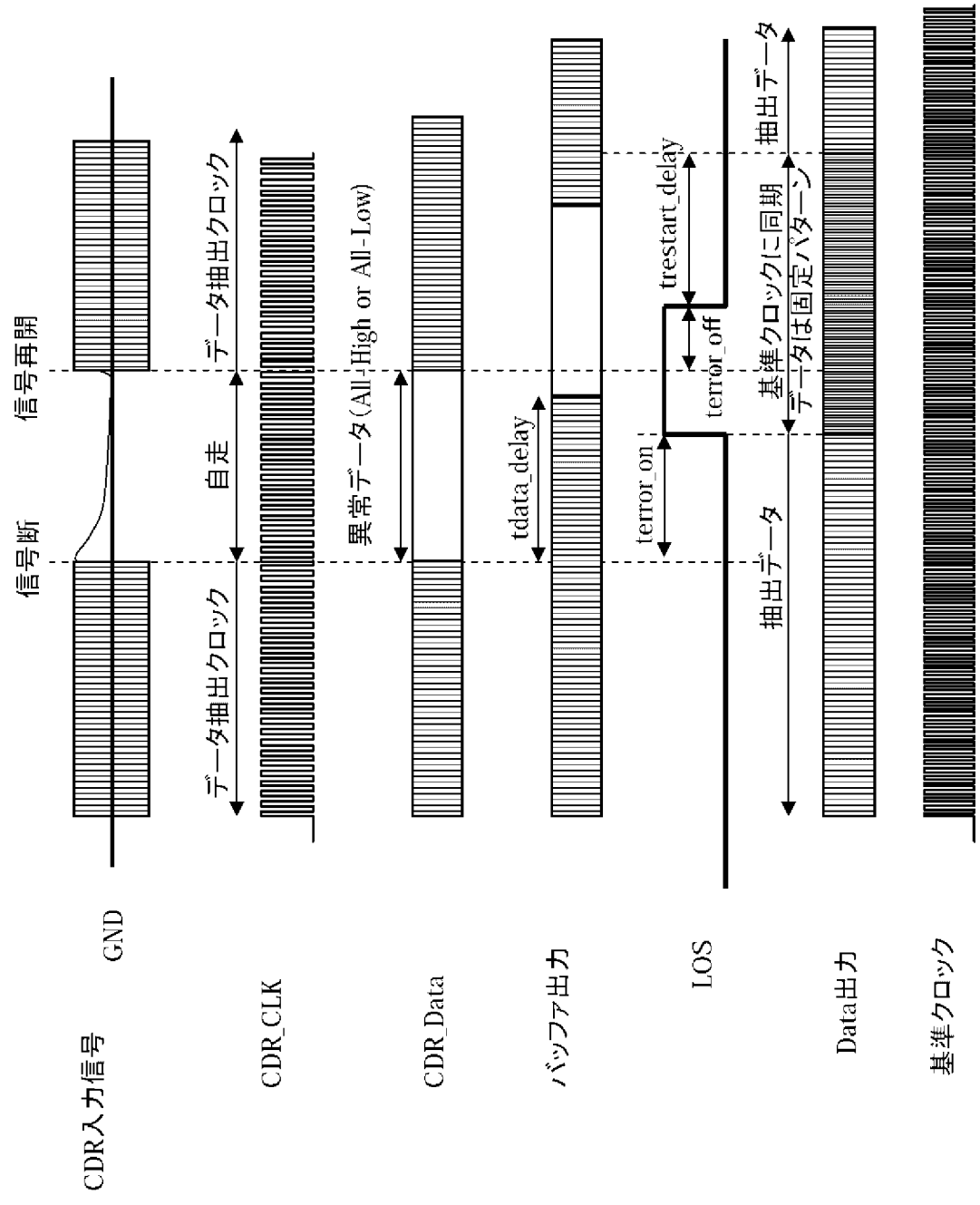
[7] 信号断又はロック喪失状態となったときに、前記固定パターン発生器から出力される固定パターンデータを選択して初段の前記記憶回路に出力するように、前記第１の選択回路の選択動作を制御する第１の切替信号発生回路と、

信号断又はロック喪失状態となったとき、前記固定パターン保持回路から出力される固定パターンデータを選択して前記複数の記憶回路の２段目以降の記憶回路に同時に出力するように、前記複数の選択回路の選択動作を制御する第２の切替信号発生回路とを備える請求項６記載のデータ受信回路。

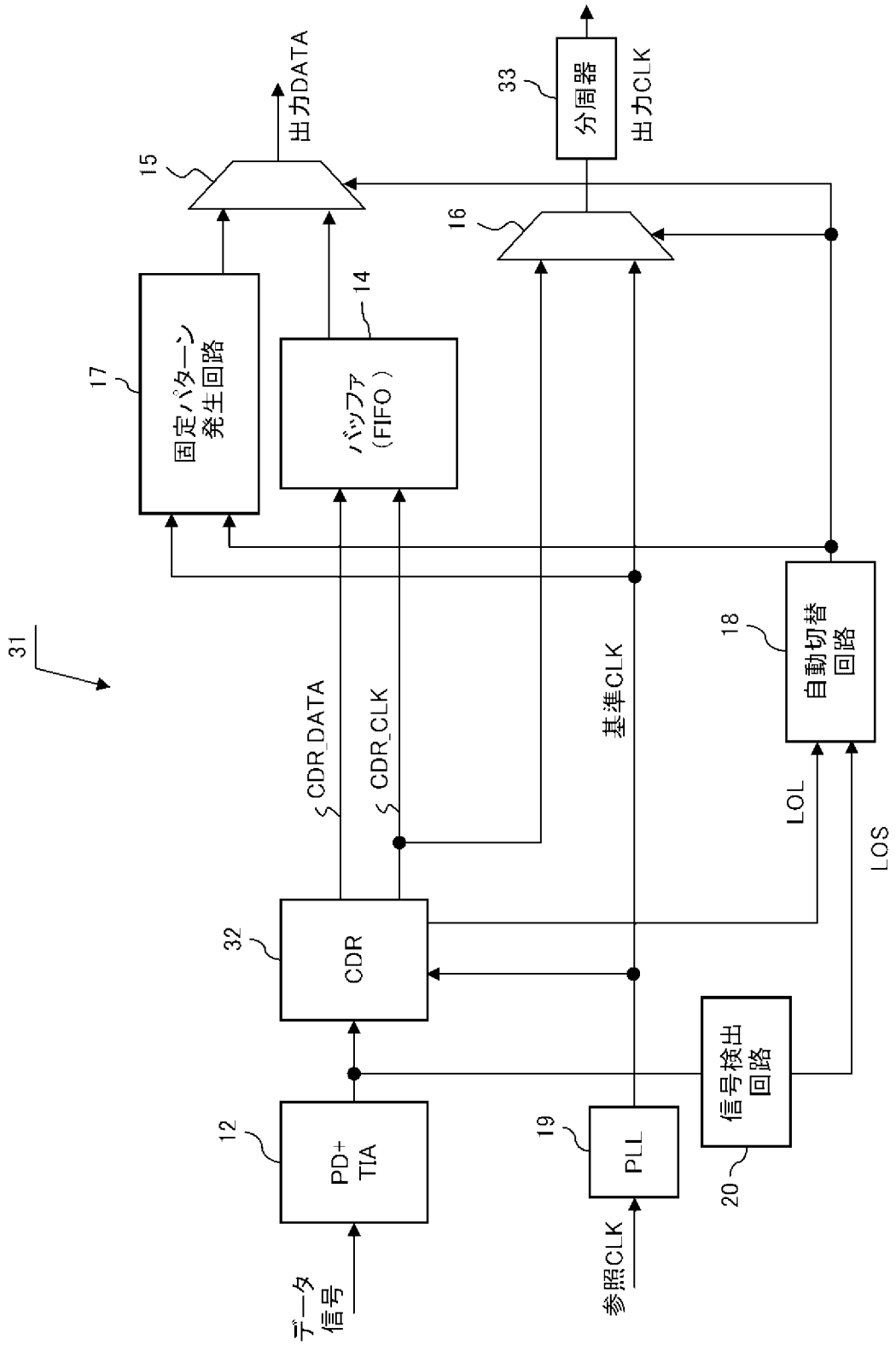
[図1]


11
12
PD+
TIA
Signal
13
CDR
CDR_DATA
CDR_CLK
14
バッファ
(FIFO)
15
出力DATA
16
出力CLK
17
固定パターン
発生回路
18
自動切替
回路
切替信号
19
PLL
REFCLK
基準CLK
20
信号検出
回路
22
エラー検出
回路
LOL
LOS

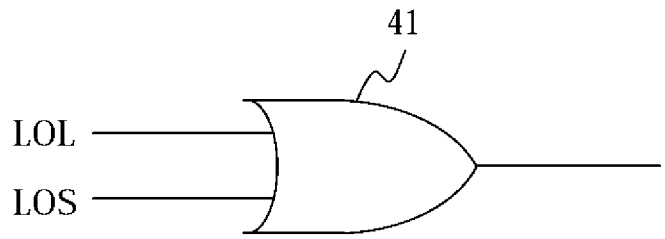
[図2]


CDR入力信号
GND
信号断
信号再開
CDR_CLK
データ抽出クロック
自走
データ抽出クロック
CDR_Data
異常データ(All-High or All-Low)
バッファ出力
tdata_delay
LOS
terror_on
terror_off
trestart_delay
抽出データ
Data出力
基準クロックに同期
データは固定パターン
抽出データ
基準クロック

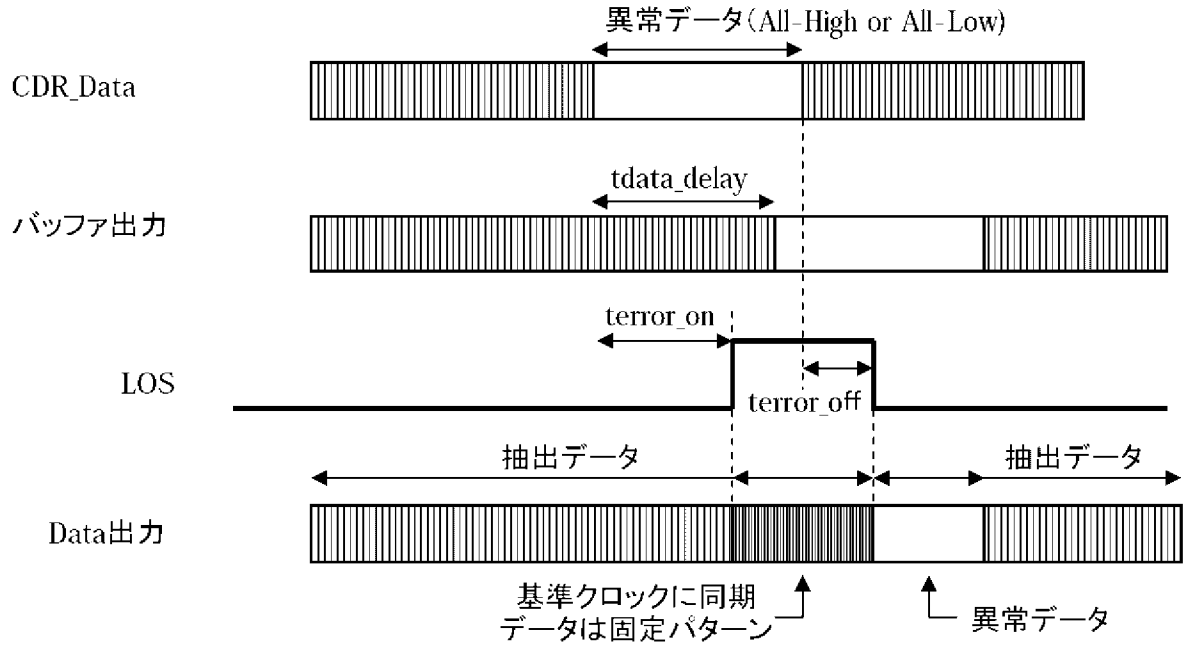
[図3]


31
データ信号
12
PD+TIA
32
CDR
CDR_DATA
CDR_CLK
17
固定パターン発生回路
14
バッファ(FIFO)
15
出力DATA
16
33
分周器
出力CLK
基準CLK
18
自動切替回路
LOL
LOS
19
PLL
参照CLK
20
信号検出回路

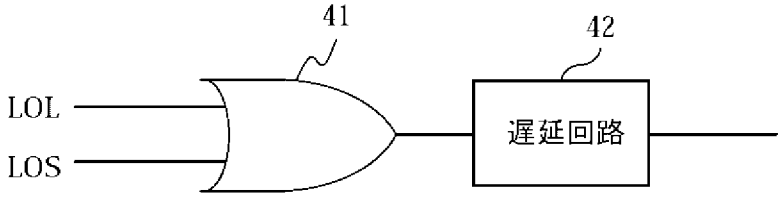
[図4]


41
LOL
LOS

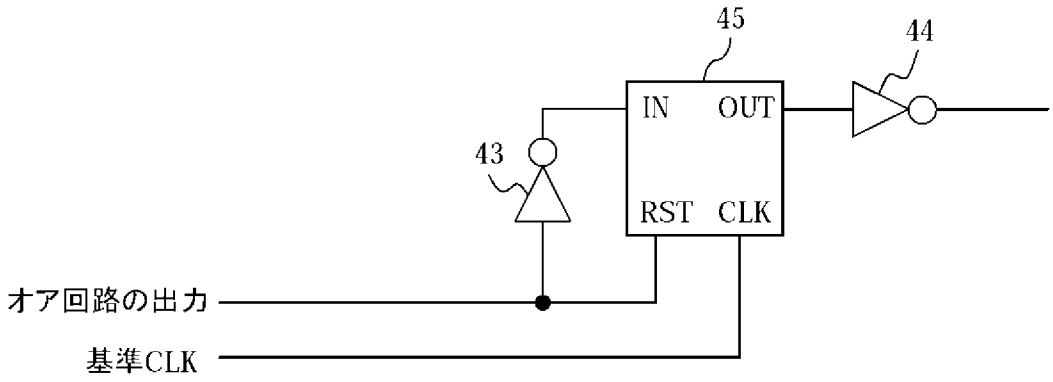
[図5]


異常データ(All-High or All-Low)
CDR_Data
tdata_delay
バッファ出力
terror_on
LOS
terror_off
抽出データ
抽出データ
Data出力
基準クロックに同期
データは固定パターン
異常データ

[図6]

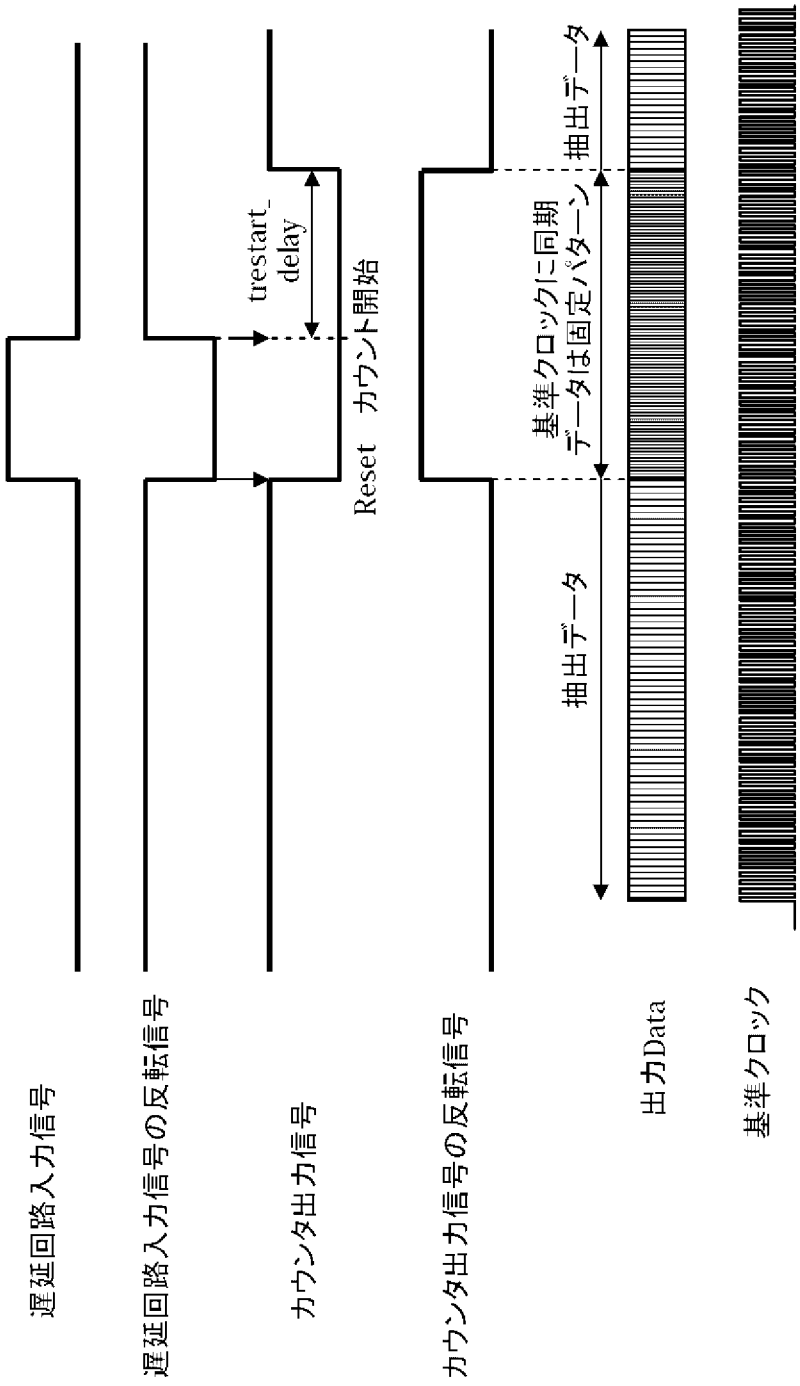


(A)

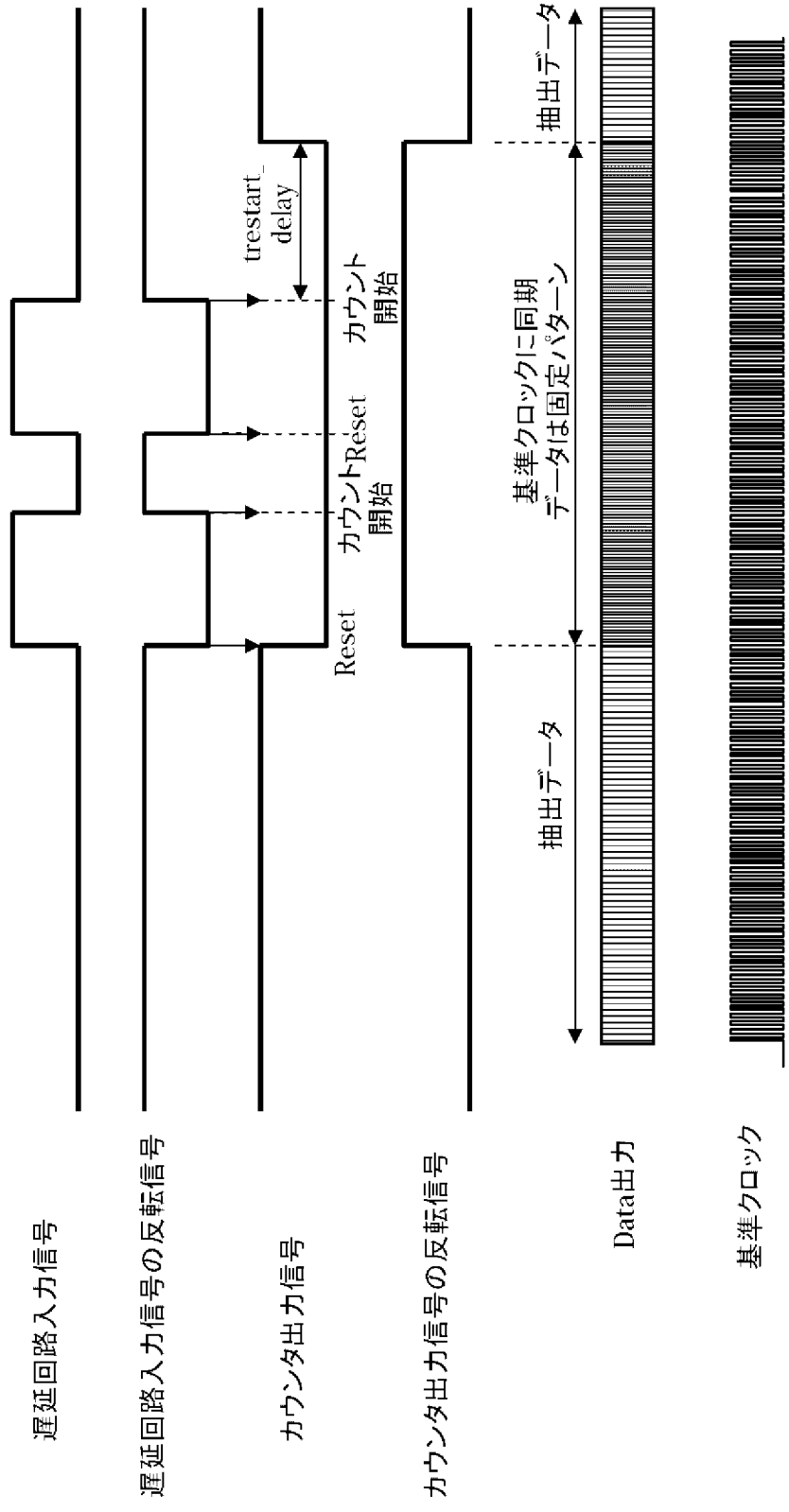


(B)

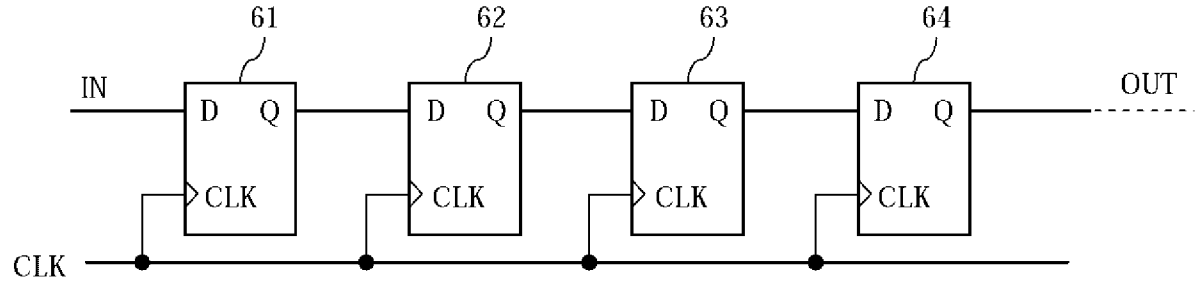
[図7]


遅延回路入力信号
遅延回路入力信号の反転信号
trestart_
delay
カウンタ出力信号
Reset カウント開始
カウンタ出力信号の反転信号
基準クロックに同期
データは固定パターン
抽出データ
抽出データ
出力Data
基準クロック

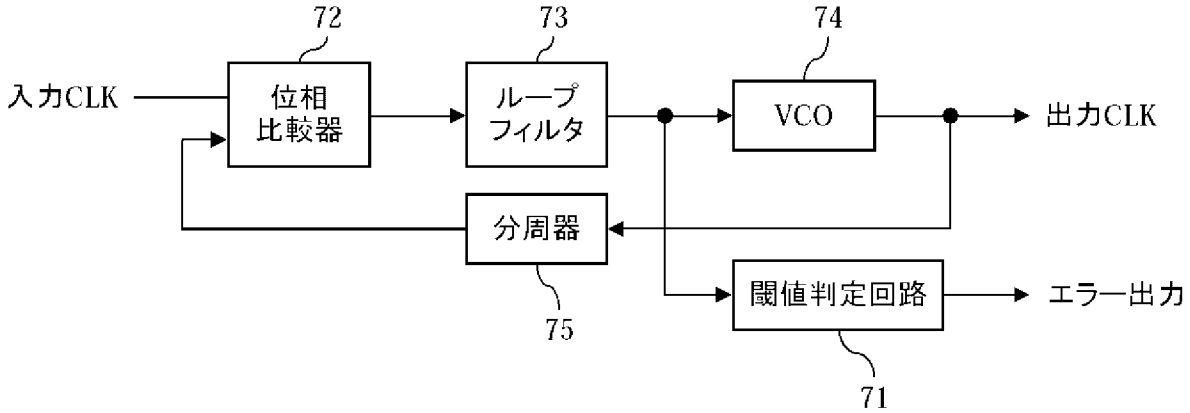
[図8]


遅延回路入力信号
遅延回路入力信号の反転信号
カウンタ出力信号
カウンタ出力信号の反転信号
Data出力
基準クロック
trestart_delay
Reset
カウント開始
Reset
カウント開始
抽出データ
基準クロックに同期
データは固定パターン
抽出データ

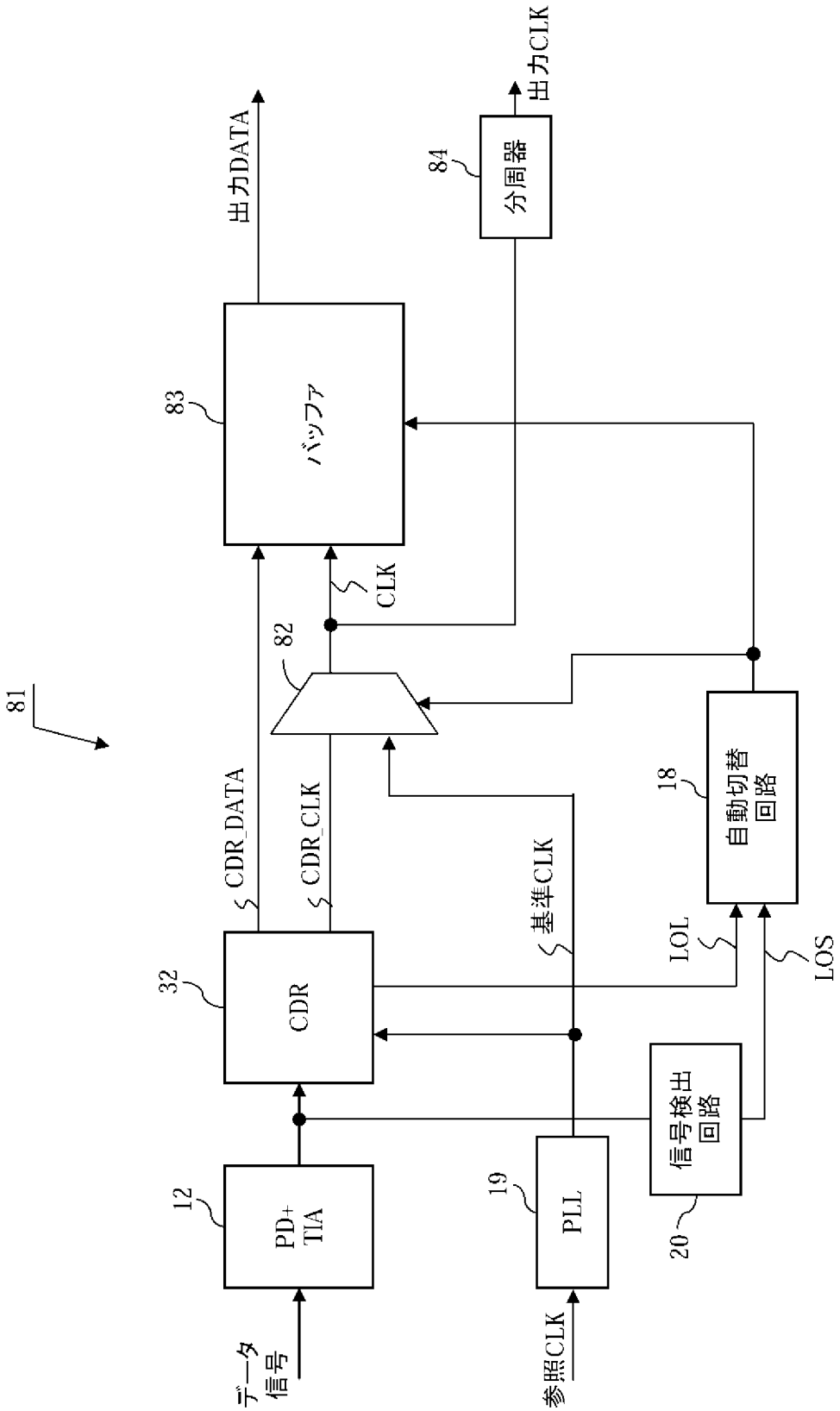
[図9]


61
62
63
64
IN
OUT
D
Q
CLK
CLK

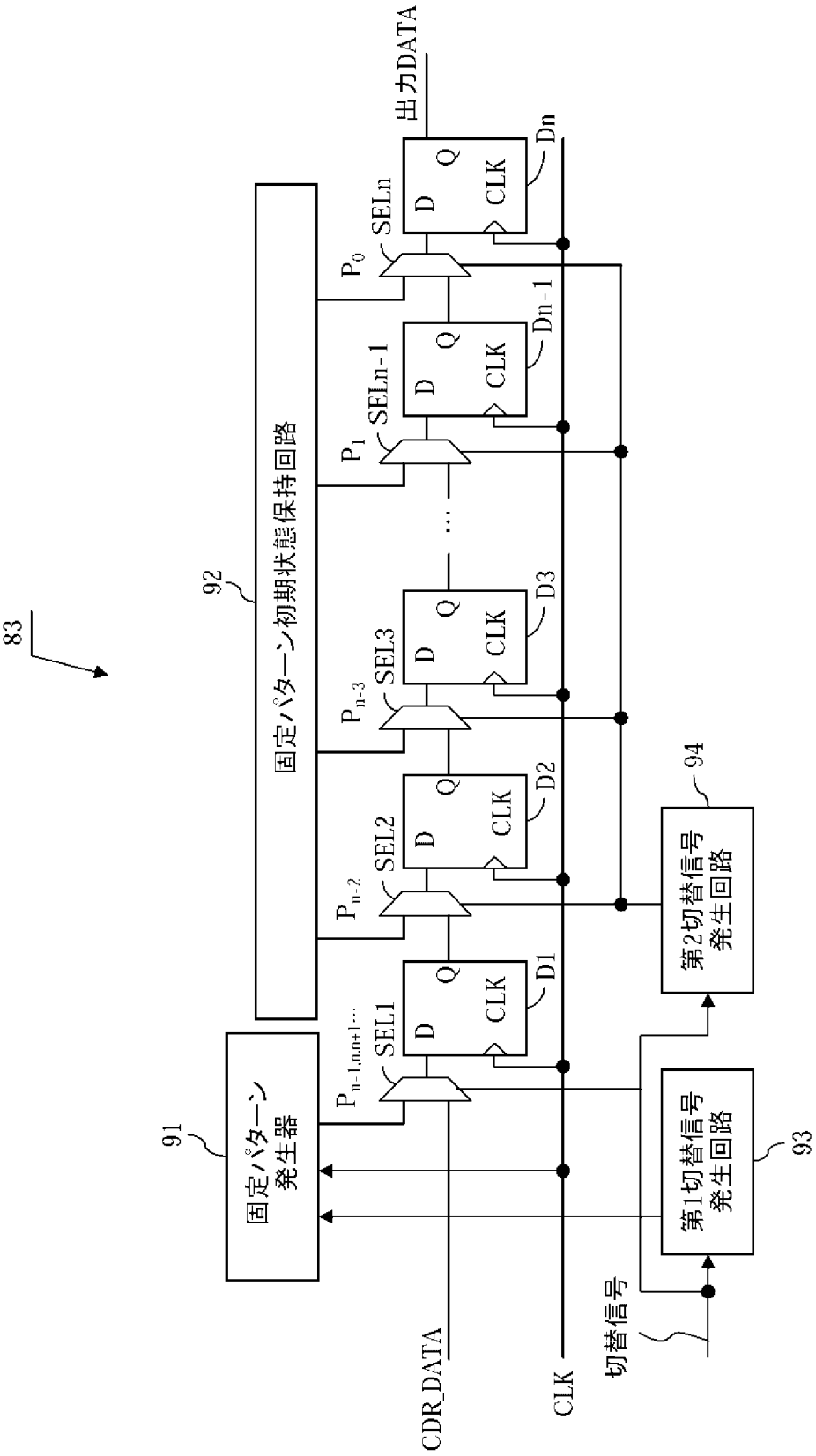
[図10]


72
73
74
入力CLK
位相
比較器
ループ
フィルタ
VCO
出力CLK
分周器
75
閾値判定回路
エラー出力
71

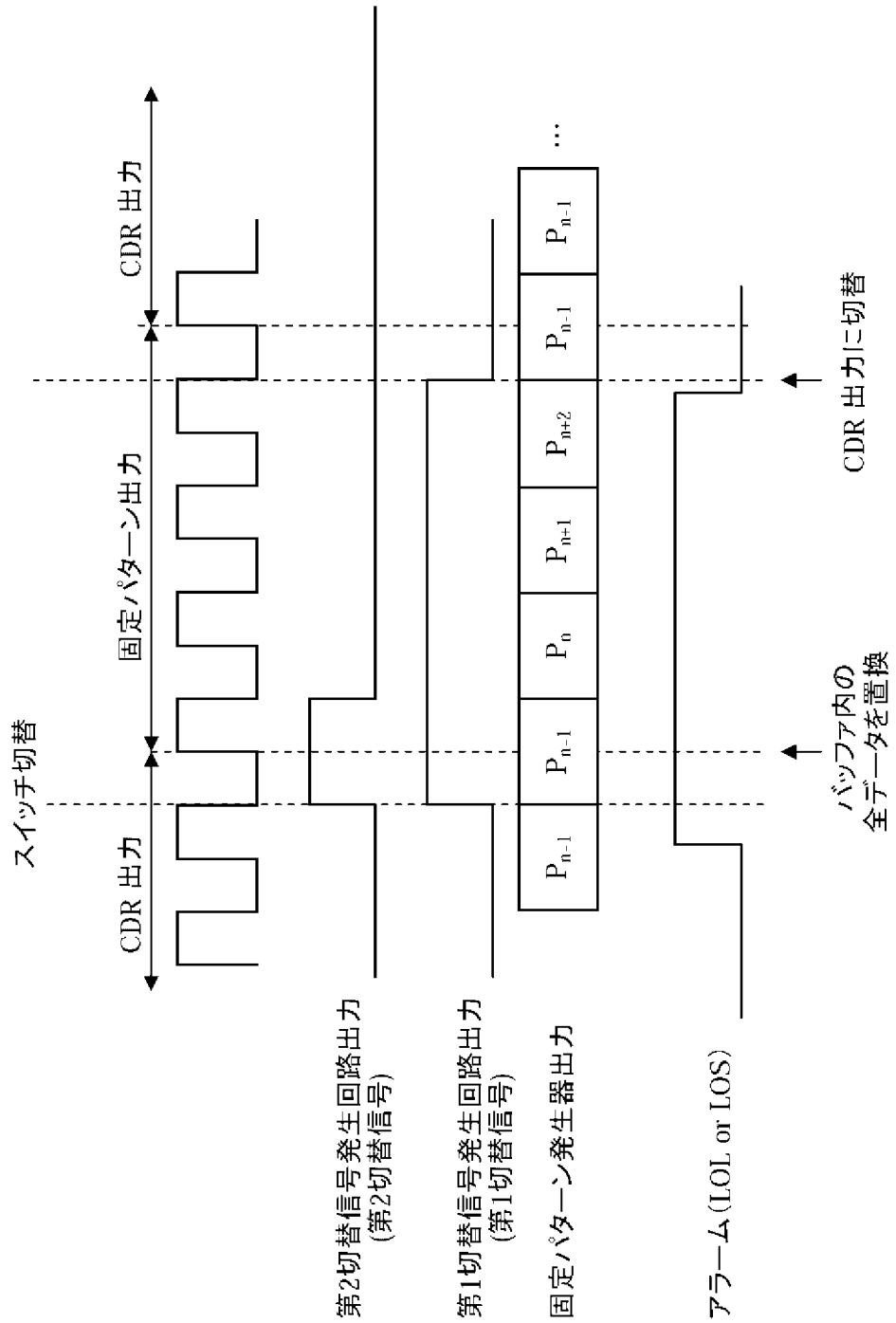
[図11]


81
データ信号
12
PD+TIA
32
CDR
CDR_DATA
CDR_CLK
基準CLK
参照CLK
19
PLL
信号検出回路
20
LOL
LOS
18
自動切替回路
82
CLK
83
バッファ
出力DATA
84
分周器
出力CLK

[図12]


83
92
固定パターン初期状態保持回路
91
固定パターン発生器
93
第1切替信号発生回路
94
第2切替信号発生回路
CDR_DATA
CLK
切替信号
出力DATA
SEL1
SEL2
SEL3
SELn-1
SELn
D1
D2
D3
Dn-1
Dn
D
Q
CLK

[図13]


スイッチ切替
CDR 出力
固定パターン出力
CDR 出力
第2切替信号発生回路出力
(第2切替信号)
第1切替信号発生回路出力
(第1切替信号)
固定パターン発生器出力
アラーム(LOL or LOS)
バッファ内の
全データを置換
CDR 出力に切替
P_{n-1}
P_n
P_{n+1}
P_{n+2}
P_{n-1}
P_{n-1}
…

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2009/001136

A. CLASSIFICATION OF SUBJECT MATTER
H04L25/02(2006.01)i, *H03K5/00*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H04L25/00-25/66, H03K5/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2009
Kokai Jitsuyo Shinan Koho 1971-2009 Toroku Jitsuyo Shinan Koho 1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2000-332720 A (Toshiba Corp.), 30 November, 2000 (30.11.00), Full text; all drawings (Family: none)	1-7
X	JP 2006-41718 A (NEC Corp.), 09 February, 2006 (09.02.06), Full text; all drawings (Family: none)	1-7

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
26 March, 2009 (26.03.09)	07 April, 2009 (07.04.09)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００９／００１１３６

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H04L25/02(2006.01)i, H03K5/00(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H04L25/00-25/66, H03K5/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００９年
日本国実用新案登録公報	１９９６－２００９年
日本国登録実用新案公報	１９９４－２００９年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
X	JP 2000-332720 A (株式会社東芝) 2000.11.30, 全文, 全図 (ファミリーなし)	1-7
X	JP 2006-41718 A (日本電気株式会社) 2006.02.09, 全文, 全図 (ファミリーなし)	1-7

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２６．０３．２００９	０７．０４．２００９

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｋ　３３６３
白井　亮
電話番号　０３－３５８１－１１０１　内線　３５５６