

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年9月15日(15.09.2016)



(10) 国際公開番号

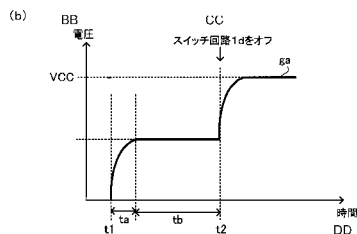
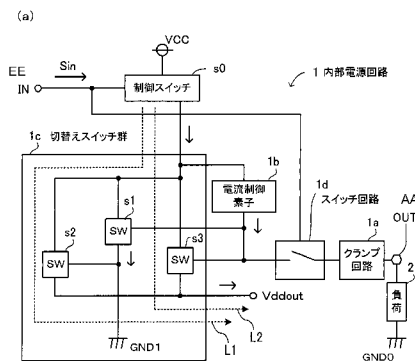
WO 2016/143382 A1

- (51) 国際特許分類:
H02M 3/00 (2006.01) H03K 19/00 (2006.01)
H03K 17/00 (2006.01)
- (21) 国際出願番号: PCT/JP2016/051008
- (22) 国際出願日: 2016年1月14日(14.01.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-048238 2015年3月11日(11.03.2015) JP
- (71) 出願人: 富士電機株式会社(FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 Kanagawa (JP).
- (72) 発明者: 張 艷争(ZHANG, Yanzheng); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP).
- (74) 代理人: 服部 毅巖(HATTORI, Kiyoshi); 〒1920082 東京都八王子市東町9番8号 八王子東町センタービル 服部特許事務所 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーロパ (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,

[続葉有]

(54) Title: INTERNAL POWER SUPPLY CIRCUIT AND SEMICONDUCTOR DEVICE

(54) 発明の名称: 内部電源回路および半導体装置



1 Internal power supply circuit
1a Clamping circuit
1b Current control element
1c Selector switch group
1d Switch circuit
2 Load
s0 Control switch
AA Out
BB Voltage
CC Switching circuit 1d turned off
DD Time
EE In

(57) Abstract: The present invention is intended to improve the accuracy with which an internal power supply is generated, and to prevent erroneous circuit operation. A control switch (s0) is connected to a power supply voltage (VCC), and, on the basis of a control signal (Sin), turns ON and outputs current. A clamping circuit (1a) is connected to a load (2), and performs clamping control of the output voltage from the control switch (s0). On the basis of the clamping-controlled output voltage, a current control element (1b) enables or disables conduction of current. A selector switch group (1c) includes switches (s1, s2, s3), the selector switch group (1c) performing switching based on voltages that vary due to current control by the current control element (1b), and performing switching of paths (L1, L2) for generating an internal power supply. A switching circuit (1d) interrupts the link between the clamping circuit (1a) and the selector switch group (1c).

(57) 要約: 内部電源の生成精度を高め、回路の誤動作の防止を図る。制御スイッチ(s0)は、電源電圧(VCC)に接続し、制御信号(Sin)にもとづきオンして電流を出力する。クランプ回路(1a)は、負荷(2)に接続し、制御スイッチ(s0)の出力電圧のクランプ制御を行う。電流制御素子(1b)は、クランプ制御される出力電圧にもとづいて、電流を導通または非導通にする。切替えスイッチ群(1c)は、スイッチ(s1、s2、s3)を含み、電流制御素子(1b)による電流制御によって変化する電圧にもとづくスイッチングを行って、内部電源を生成するための経路(L1、L2)の切替えを行う。スイッチ回路(1d)は、クランプ回路(1a)と、切替えスイッチ群(1c)との結合を断続する。



MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, 添付公開書類:
TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, — 国際調査報告 (条約第 21 条(3))
KM, ML, MR, NE, SN, TD, TG).

明 細 書

発明の名称： 内部電源回路および半導体装置

技術分野

[0001] 本技術は、内部電源回路および半導体装置に関する。

背景技術

[0002] 近年、パワー半導体素子を用いたスイッチ素子と、スイッチ素子の駆動回路およびその周辺の制御回路や保護回路などを１チップ化したＩＰＳ（Intelligent Power Switch）と呼ばれる半導体装置の開発が進んでいる。

[0003] ＩＰＳは、例えば、トランスミッション、エンジンおよびブレーキなどの車両電装システムに広く利用されており、小型化、高性能化および高信頼性に応える製品が要望されている。

[0004] 従来技術として、トランスの１次巻線とスイッチング素子とを含む直列回路の一端と、フレームグランドとの間に、抵抗とキャパシタンスからなるＲＣフィルタを接続して、スイッチ回路の動作を安定化させる技術が提案されている（特許文献１）。

先行技術文献

特許文献

[0005] 特許文献１：特開平９－２７１１６５号公報

発明の概要

発明が解決しようとする課題

[0006] 車両の電源環境は、一般家庭などに比べて良好とはいえず、逆起電力やスパイクなど、高電圧や低電圧、瞬断などが生じやすい。このため、ＩＰＳでは、適切な電源制御が行われており、例えば、所定の回路に対して、外部の電源電圧を直接供給せずに、装置内部で生成した内部電源を供給するようにしている。

[0007] 具体的に、ＩＰＳでは、初期運用時は、電源電圧より低い電圧値の内部電源を供給し、一定時間経過後は、電源電圧と同レベルの内部電源を供給する

というように、電圧値を段階的に上昇させて電源供給することで、回路の安定化起動を図っている。

[0008] しかし、従来のIPSでは、負荷に接続される伝送ラインにノイズが重畳するなどの原因によって異常電流が発生すると、内部電源を所定レベルまで正常に上昇させることができない場合があった。

[0009] 回路動作時に内部電源が所定レベルに達しないと、リーク電流が発生したりして、負荷を作動させるに要するスイッチを正常駆動することができず、回路が誤動作するという問題が生じる。

[0010] 本発明はこのような点に鑑みて、内部電源の生成精度を高め、回路の誤動作の防止を図った内部電源回路および半導体装置を提供することを目的とする。

課題を解決するための手段

[0011] 上記課題を解決するために、1つの案では、内部電源回路が提供される。内部電源回路は、制御スイッチ、クランプ回路、電流制御素子、切替えスイッチ群およびスイッチ回路を有する。

[0012] 制御スイッチは、電源電圧に接続し、制御信号にもとづきオンして電流を出力する。クランプ回路は、負荷に接続し、制御スイッチの出力電圧のクランプ制御を行う。電流制御素子は、クランプ制御される出力電圧により、電流を導通または非導通にする。切替えスイッチ群は、電流の導通または非導通に応じて変化する電圧の印加にもとづいて、内部電源を生成するための経路の切替えを行う。スイッチ回路は、クランプ回路と、切替えスイッチ群との結合を断続する。

[0013] また、1つの案では、半導体装置が提供される。半導体装置は、チャージポンプと、内部電源回路とを有する。内部電源回路は、制御スイッチ、クランプ回路、電流制御素子、切替えスイッチ群およびスイッチ回路を備える。

[0014] チャージポンプは、電源電圧から生成された内部電源を動作電源にして、負荷を駆動するための昇圧動作を行う。制御スイッチは、電源電圧に接続し、制御信号にもとづきオンして電流を出力する。クランプ回路は、負荷に接

続し、制御スイッチの出力電圧のクランプ制御を行う。電流制御素子は、クランプ制御される出力電圧により、電流を導通または非導通にする。切替えスイッチ群は、電流の導通または非導通に応じて変化する電圧の印加にもとづいて、内部電源を生成するための経路の切替えを行う。スイッチ回路は、クランプ回路と、切替えスイッチ群との結合を断続する。

発明の効果

[0015] 内部電源の生成精度を高め、回路の誤動作の防止を図ることが可能になる。

本発明の上記および他の目的、特徴および利点は本発明の例として好ましい実施の形態を表す添付の図面と関連した以下の説明により明らかになるであろう。

図面の簡単な説明

[0016] [図1] (a) 内部電源回路の構成例を示す図である。(b) 動作を説明するための図である。

[図2] 半導体装置の構成例を示す図である。

[図3] 内部電源回路が電源を生成する際の一方の経路を示す図である。

[図4] 内部電源回路が電源を生成する際他方の経路を示す図である。

[図5] 内部電源の波形変化を示す図である。

[図6] 経路毎の各トランジスタのオン、オフ状態を示す図である。

[図7] 内部電源回路に異常電流が発生した場合を示す図である。

[図8] 内部電源の波形変化を示す図である。

[図9] 半導体装置の構成例を示す図である。

[図10] 内部電源の波形変化を示す図である。

[図11] ハイサイド型のIPSの構成例を示す図である。

発明を実施するための形態

[0017] 以下、実施の形態について図面を参照して説明する。なお、本明細書および図面において実質的に同一の機能を有する要素については、同一の符号を付することにより重複説明を省略する場合がある。

- [0018] 図 1 (a) は内部電源回路の構成例を示す図である。内部電源回路 1 は、制御スイッチ s 0、クランプ回路 1 a、電流制御素子 1 b、切替えスイッチ群 1 c およびスイッチ回路 1 d を有する。また、切替えスイッチ群 1 c は、三端子スイッチとして、スイッチ s 1 (第 1 スイッチ)、s 2 (第 2 スイッチ) および s 3 (第 3 スイッチ) を含む。
- [0019] 入力端子 I N は、制御スイッチ s 0 の入力端と、スイッチ回路 1 d の一方の入力端と接続する。制御スイッチ s 0 の電流出力端は、スイッチ s 1、s 2、s 3 の一方の入力端と、電流制御素子 1 b の入力端と接続する。
- [0020] 電流制御素子 1 b の出力端は、スイッチ s 1、s 3 の他方の入力端と、スイッチ回路 1 d の他方の入力端と接続する。スイッチ s 1 の出力端は、スイッチ s 2 の他方の入力端と、内部グランド G N D 1 に接続し、スイッチ s 2、s 3 の出力端は、内部電源出力端子 V D D out に接続する。
- [0021] スイッチ回路 1 d の出力端は、クランプ回路 1 a の入力端に接続し、クランプ回路 1 a の出力端は、出力端子 O U T を介して負荷 2 の一端に接続し、負荷 2 の他端は、外部グランド G N D 0 に接続する。
- [0022] ここで、制御スイッチ s 0 は、電源電圧 V C C に接続し、制御信号 S in にもとづきオンして電流を出力する。クランプ回路 1 a は、負荷 2 に接続しており、また、制御スイッチ s 0 の出力電圧のクランプ制御を行う。
- [0023] 電流制御素子 1 b は、クランプ制御される出力電圧にもとづいて、電流を導通または非導通にする。切替えスイッチ群 1 c は、電流の導通または非導通に応じて変化する電圧のスイッチ s 1 ~ s 3 に対する印加にもとづいて、内部電源を生成するための経路 L 1 (第 1 経路)、L 2 (第 2 経路) の切替えを行う。スイッチ回路 1 d は、クランプ回路 1 a と、切替えスイッチ群 1 c との結合を断続する。
- [0024] 図 1 (b) は動作を説明するための図である。縦軸は電圧、横軸は時間である。グラフ g a は、内部電源回路 1 で生成される内部電源の波形を示している。

時間帯 t a では、経路 L 1 による内部電源が生成されて上昇している。一

方、ノイズ等によって負荷 2 に接続される伝送ラインに異常電流が生じたような場合、時間帯 t_b に示すように、内部電源が上昇しなくなる期間が維持されてしまう。

[0025] このような現象に対し、内部電源回路 1 では、制御スイッチ s_0 のオン開始（時刻 t_1 ）から所定時間経過した時刻 t_2 において、スイッチ回路 1 d がオフする。スイッチ回路 1 d がオフして、クランプ回路 1 a と、切替えスイッチ群 1 c との結合を切断することで、再び経路 L_1 による内部電源が生成される。

[0026] このため、時刻 t_2 以降に示すように、内部電源を電源電圧 V_{CC} まで正常に上昇させることができる。これにより、リーク電流の発生を抑制することができ、また、周辺回路の誤動作の防止を図ることが可能になる。

[0027] 次に本発明の技術の詳細を説明する前に、本発明の機能を有していない内部電源回路の構成およびその課題について説明する。なお、以降では、外部グラウンドは単に GND_0 と呼び、内部グラウンドは単に GND_1 と呼ぶ。

[0028] 図 2 は半導体装置の構成例を示す図である。半導体装置 100 は、内部電源回路 10 と、チャージポンプ 101 とを備え、負荷 2 と接続する。

内部電源回路 10 は、PチャネルMOSFET（Metal Oxide Semiconductor Field Effect Transistor）であるPMOSトランジスタM1～M3、NチャネルMOSFETであるNMOSトランジスタM4、デプレッション型MOSFETであるデプレッションMOSトランジスタMdおよびツェナーダイオードDzおよび抵抗R1を備える。

[0029] デプレッションMOSトランジスタMdは、デプレッション型のMOSFETであって、ゲート電圧が0Vでドレイン－ソース間に電流が流れるトランジスタであり、電流源として使用している。なお、PMOSトランジスタM1～M3、NMOSトランジスタM4は、エンハンスメント型のMOSFETである。

[0030] 回路素子の接続関係について、PMOSトランジスタM1のソースは、電源電圧 V_{CC} に接続し、PMOSトランジスタM1のゲートは、入力端子I

Nに接続する。PMOSトランジスタM1のドレインは、デプレッションMOSトランジスタMdのドレイン、NMOSトランジスタM4のドレイン、PMOSトランジスタM2のソースおよびPMOSトランジスタM3のソースに接続する。

[0031] デプレッションMOSトランジスタMdのゲートは、デプレッションMOSトランジスタMdのソース、NMOSトランジスタM4のゲート、ツェナーダイオードDzのカソードおよびPMOSトランジスタM2のゲートに接続する。

[0032] PMOSトランジスタM2のドレインは、PMOSトランジスタM3のゲートと、GND1と接続する。PMOSトランジスタM2のバックゲートは、電源電圧VCCに接続し、PMOSトランジスタM3のバックゲートは、電源電圧VCCに接続する。

[0033] PMOSトランジスタM3のドレインは、NMOSトランジスタM4のソースと、内部電源出力端子VDDoutと、チャージポンプ101の一方の電源端子と接続する。ツェナーダイオードDzのアノードは、抵抗R1の一端に接続し、抵抗R1の他端は、出力端子OUTを介して、負荷2の一端に接続する。

[0034] チャージポンプ101の他方の電源端子は、GND1に接続し、負荷2の他端は、GND0に接続する。なお、チャージポンプ101の出力端からは、昇圧された電圧信号が所定回路に向けて出力される。この電圧信号は、例えば、負荷2を駆動するためのメインスイッチ（図示せず）をオン、オフする際のスイッチ制御信号となる。

[0035] ここで、図中のVCCは、外部の電源電圧であり例えば、13Vである。また、GND0は、通常の0Vのグラウンドである。さらに、GND1は、GND0とは異なり、半導体装置100の非動作時には0Vになり、半導体装置100の動作時には、例えば、VCCから所定値（例えば、5V）減算した値となる電圧である。

[0036] さらに、入力端子INは、内部電源回路10の駆動のオン、オフを行う入

力信号 S_{in} が入力する端子である。出力端子 OUT は、負荷 2 が接続される出力端子である。

また、内部電源出力端子 V_{DDout} は、内部電源回路 10 が外部電源 V_{CC} から生成した内部電源 V_{DD} を出力する端子である。内部電源 V_{DD} および $GND1$ は、周辺回路の動作電源として供給される。

[0037] 次に内部電源回路 10 の通常時の動作について説明する。内部電源回路 10 は、電源電圧 V_{CC} から 2 つの経路によって内部電源 V_{DD} を生成する構成になっている。また、内部電源回路 10 は、入力信号 S_{in} が L レベルで駆動し、入力信号 S_{in} が H レベルのとき非駆動になる。

[0038] 図 3 は内部電源を生成する際の一方の経路を示す図である。経路 L1 は、PMOS トランジスタ $M3$ を介した経路であり、電源電圧 V_{CC} からほぼ電圧ドロップなく内部電源 V_{DD} を生成するための経路である。

[0039] 図 4 は内部電源を生成する際の他方の経路を示す図である。経路 L2 は、ソースフォロワとして機能する NMOS トランジスタ $M4$ を介した経路である。

経路 L2 では、電源電圧 V_{CC} から NMOS トランジスタ $M4$ の閾値電圧分低い電圧値が、内部電源 V_{DD} として生成される。これにより、初期運用時に高電圧の電源電圧 V_{CC} が周辺回路に直接印加されないようにしている。

[0040] 図 5 は内部電源の波形変化を示す図である。内部電源回路 10 の通常時における動作波形を示している。

グラフ $g1$ は、入力信号 S_{in} の波形を示しており、縦軸は入力信号 S_{in} の電圧 (V)、横軸は時間 T (μs) である。

[0041] また、グラフ $g2$ は、内部電源出力端子 V_{DDout} から出力される内部電源 V_{DD} の波形を示しており、縦軸は内部電源 V_{DD} の電圧 (V)、横軸は時間 T (μs) である。

[$0 \leq T < T1$] 入力信号 S_{in} は、H レベルである。したがって、PMOS トランジスタ $M1$ はオフになる。よって、内部電源回路 10 は、非駆動な

ので内部電源VDDは0Vである。

[0042] $[T_1 \leq T < T_2]$ 期間Taは、経路L1で内部電源VDDが生成される時間帯である。入力信号Sinは、HレベルからLレベルへの移行を始め、PMOSトランジスタM1はオンしていくので、図3、図4に示すノードn1の電圧(Vn1とする)は上昇する。

[0043] 一方、ツェナーダイオードDzは、PMOSトランジスタM1を流れる電流とは逆方向に接続しており、また、期間Taでは、電圧Vn1は、ツェナーダイオードDzの降伏電圧(Vzとする)よりは低い。

[0044] このため、ダイオードクランプの状態になっており、デプレッションMOSトランジスタMdは通電せず(非導通)、図3、図4に示すノードn2の電圧(Vn2とする)は、電圧Vn1と等しい状態になる。

[0045] したがって、ノードn1につながるPMOSトランジスタM2のソースと、ノードn2につながるPMOSトランジスタM2のゲートとは同電位であるから、PMOSトランジスタM2はオフである。

[0046] PMOSトランジスタM2がオフすると、PMOSトランジスタM3のゲートにはGND1の電位が印加される。したがって、PMOSトランジスタM3のゲート電位は、PMOSトランジスタM3のソース電位よりも低いので、PMOSトランジスタM3はオンする。

[0047] 一方、NMOSトランジスタM4のソースは、PMOSトランジスタM3がオンするので、ノードn1と電氣的に接続する。よって、NMOSトランジスタM4のソース電位は、電圧Vn1とほぼ同電位である(すなわち、ノードn2の電圧Vn2とも同電位)。

[0048] したがって、NMOSトランジスタM4のゲートと、NMOSトランジスタM4のソースとは同電位であるから、NMOSトランジスタM4はオフする。

したがって、図3に示す経路L1を通じて、PMOSトランジスタM1から出力される電流が流れて、内部電源VDDが生成され、内部電源VDDは、内部電源出力端子VDDoutから出力されることになる。

[0049] なお、PMOSトランジスタM1がフルオンに近づくにつれて、PMOSトランジスタM1の出力電圧（ノードn1の電圧 V_{n1} ）は、徐々に電源電圧VCCに近づいていくので、期間Taにおいて、内部電源VDDは上昇していく。

[0050] $[T_2 \leq T < T_3]$ 期間Tbは、経路L2で内部電源VDDが生成される時間帯である。内部電源VDDが上昇し、ツェナーダイオードDzの降伏電圧 V_z の値に達する。このことは、ツェナーダイオードDzのカソード側の電圧 V_{n2} が、降伏電圧 V_z に達することになるので、ツェナーダイオードDzは、ブレイクダウンを起こすことになる（ダイオードクランプの解除が起こる）。

[0051] ツェナーダイオードDzがブレイクダウンすると、デプレッションMOSトランジスタMdは通電し（導通）、ツェナーダイオードDzのカソードからアノード方向へ電流が流れる。

[0052] すなわち、PMOSトランジスタM1から出力される電流は、デプレッションMOSトランジスタMdおよびツェナーダイオードDzを介して流れることになる。

このとき、ノードn1の電圧 V_{n1} と、ノードn2の電圧 V_{n2} とに電位差が生じ、電圧 V_{n1} の方が電圧 V_{n2} よりも高くなる（ $V_{n2} < V_{n1}$ ）。したがって、PMOSトランジスタM2のゲート電位は、PMOSトランジスタM2のソース電位よりも低くなるから、PMOSトランジスタM2はオンになる。

[0053] PMOSトランジスタM2がオンすると、PMOSトランジスタM3のゲートには高電位が印加されるので、PMOSトランジスタM3はオフになる。

一方、NMOSトランジスタM4のゲート電位は、電圧 V_{n2} が印加されるが、NMOSトランジスタM4のソース電位よりも高いので、NMOSトランジスタM4はオンする。

[0054] したがって、図4に示す経路L2を通じて、PMOSトランジスタM1か

ら出力される電流が流れて、内部電源VDDが生成され、内部電源VDDは、内部電源出力端子VDDoutから出力されることになる。

[0055] なお、期間Tbにおいて、ツェナーダイオードDzのブレイクダウンが解消されるまで、内部電源VDDは、電圧V1の値が維持される。この電圧V1は、電源電圧VCCからNMOSトランジスタM4の閾値電圧を減算した電圧値である。

[0056] $[T3 \leq T < T4]$ 期間Tcは、経路L2から経路L1に切り替わって、経路L1で内部電源VDDが再び生成される時間帯である。

内部電源VDDは、チャージポンプ101の動作電源になっているから、チャージポンプ101が現時点で動作する。チャージポンプ101が動作すると、負荷2を駆動するためのメインスイッチをオン、オフさせるスイッチ制御信号を出力する。

[0057] このようにして、チャージポンプ101が動作することにより、負荷2に接続されている出力端子OUTの電圧も上昇していくので、ツェナーダイオードDzのアノード側の電圧が上昇し、ツェナーダイオードDzのブレイクダウンが解消することになる。

[0058] ツェナーダイオードDzのブレイクダウンが解消すると、再び、ダイオードクランプが起こるので、内部電源の生成経路は、経路L1になる。

すなわち、ツェナーダイオードDzのブレイクダウンが解消すると、デプレッションMOSトランジスタMdは非通電になるから、ノードn1の電圧Vn1と、ノードn2の電圧Vn2とは等しくなる。

[0059] したがって、期間Taと同様なトランジスタのスイッチング動作となって、図3に示す経路L1によって、内部電源VDDが生成される。

$[T4 \leq T]$ 入力信号Sinは、Lレベルになり、PMOSトランジスタM1はフルオンし、内部電源VDDは、電源電圧VCCと同じ電圧値となる。

[0060] なお、図6のテーブル20に、経路L1、L2毎の各トランジスタのオン、オフ状態をまとめて示しておく。

次に解決すべき課題について説明する。図7は内部電源回路に異常電流が

発生した場合を示す図である。内部電源回路 10 は、出力端子 OUT を介して負荷 2 に直接接続しているため、出力端子 OUT および出力端子 OUT に接続する伝送ラインは、外部ノイズを受けやすい。

[0061] 出力端子 OUT 周辺に外部ノイズを受けた際には、ツェナーダイオード D_z に接続している抵抗 R_1 に逆電流 I_a が流れるおそれがあり、このとき、抵抗 R_1 に逆電圧が発生することになる。逆電圧を V_a とすれば、 $V_a = I_a \times R_1$ である。

[0062] このような状態が生じると、ツェナーダイオード D_z のカソード側の電圧が V_a 分高くなる。このため、チャージポンプ 101 が動作して、負荷 2 に接続されている出力端子 OUT の電圧が上昇しても、ツェナーダイオード D_z のカソード側の電圧の方が、降伏電圧よりも高くなる状態が続いてしまい、ツェナーダイオード D_z のブレークダウンが解消しなくなる。ツェナーダイオード D_z のブレークダウンが解消しないと、通常時に行われていた段階的な内部電源生成のための経路の移行ができなくなる。

[0063] 図 8 は内部電源の波形変化を示す図である。内部電源回路 10 の異常時における動作波形を示している。

グラフ g 11 は、入力信号 S_{in} の波形を示しており、縦軸は入力信号 S_{in} の電圧 (V)、横軸は時間 T (μs) である。

[0064] また、グラフ g 12 は、内部電源出力端子 V_{DDout} から出力される内部電源 V_{DD} の波形を示しており、縦軸は内部電源 V_{DD} の電圧 (V)、横軸は時間 T (μs) である。

[$0 \leq T < T_1$] 入力信号 S_{in} は、H レベルである。したがって、PMOS トランジスタ M_1 はオフとなり、内部電源 V_{DD} は 0 V になる。

[0065] [$T_1 \leq T < T_2$] 期間 T_a は、経路 L_1 で内部電源 V_{DD} が生成される期間になる。なお、各トランジスタのスイッチング動作は、図 5 と同じなので説明は省略する。

[$T_2 \leq T < T_{res}$] 期間 T_d は、出力端子 OUT に外部ノイズを受け、ツェナーダイオード D_z に接続している抵抗 R_1 に逆電圧 V_a が発生した

状態である。

[0066] 抵抗 R_1 に逆電圧 V_a が生じると、出力端子 OUT の電圧が持ち上がらなくなり、内部電源 V_{DD} は、経路 L_2 で生成した電圧 V_1 に逆電圧を加算した値の電圧 $V_2 (=V_1 + V_a)$ を維持する。

[0067] このため、ツェナーダイオード D_z のカソード側の電位が降伏電圧よりも高い状態が続くので、ツェナーダイオード D_z のブレイクダウンが解消されず、通常動作時に行われていたような、段階的な内部電源生成のための経路移行ができなくなる（経路 L_1 へ移行できない）。

[0068] $[T_{res} \leq T]$ 一定時間で内部電源 V_{DD} が電源電圧 V_{CC} に達しないと、上位から内部電源回路 10 に対してリセットがかかる構成になっている。この例では、時刻 T_{res} でリセットがかかる様子を示しており、リセットされて内部電源 V_{DD} が $0V$ になっている。また、入力信号 S_{in} も L レベルから H レベルに遷移する。

[0069] このように、内部電源回路 10 では、負荷 2 に接続される出力端子 OUT にノイズが重畳するなどの原因で異常電流が発生すると、内部電源 V_{DD} を所定レベルまで正常に上昇させることができない。このような現象が生じると、リーク電流が発生して回路が誤動作を起こす要因になる。

[0070] なお、上述の従来技術（特許文献1）のような RC フィルタを採用する方法では、キャパシタンスがスイッチング素子の出力端子と GND との間に接続しているので、出力端子と GND 端子との間の ESD (Electro Static Discharge) 耐量が低下するおそれがある。また、 RC 時定数の設定により、面積の大きいキャパシタンスが要求される可能性が高く、実装規模が大きく増加することもある。

[0071] 本発明はこのような点に鑑みて、 ESD 耐量を低下させず、また、実装規模を大きく増加させずに、内部電源を精度よく生成し、回路の誤動作の防止を図った内部電源回路および半導体装置を提供するものである。

[0072] 次に本発明の技術の内部電源回路について説明する。図9は半導体装置の構成例を示す図である。半導体装置 $100a$ は、内部電源回路 $10a$ とチャ

ージポンプ101を備える。

[0073] また、内部電源回路10aは、スイッチ回路11、PMOSトランジスタM1～M3、NMOSトランジスタM4、デプレッションMOSトランジスタMdおよびツェナーダイオードDzおよび抵抗R1を備える。

[0074] さらに、スイッチ回路11は、遅延素子11-1、遅延素子11-2（反転出力）、PMOSトランジスタM5、デプレッションMOSトランジスタMd1およびNMOSトランジスタM6を含む。

[0075] 半導体装置100aは、図2の構成に対して、あらたにスイッチ回路11を含むものであり、その他の構成要素は図2と同じである。

なお、図1との対応関係を示すと、制御スイッチs0は、PMOSトランジスタM1に対応し、スイッチs1は、PMOSトランジスタM2に対応し、スイッチs2は、PMOSトランジスタM3に対応し、スイッチs3は、NMOSトランジスタM4に対応する。

[0076] また、電流制御素子1bは、デプレッションMOSトランジスタMdに対応し、スイッチ回路1dは、スイッチ回路11に対応する。クランプ回路1aは、ツェナーダイオードDzおよび抵抗R1で実現している。

[0077] スwitch回路11の接続関係について記すと、遅延素子11-1の入力端は、入力端子INと、PMOSトランジスタM1のゲートと接続する。遅延素子11-1の出力端は、遅延素子11-2の入力端に接続し、遅延素子11-2の出力端は、PMOSトランジスタM5のゲートに接続する。

[0078] PMOSトランジスタM5のソースは、電源電圧VCCに接続し、PMOSトランジスタM5のドレインは、デプレッションMOSトランジスタMd1のドレインと、NMOSトランジスタM6のゲートと接続する。

[0079] デプレッションMOSトランジスタMd1のゲートは、デプレッションMOSトランジスタMd1のソースと、GND0と接続する。NMOSトランジスタM6のドレインは、NMOSトランジスタM4のゲート、PMOSトランジスタM2のゲート、デプレッションMOSトランジスタMdのゲートおよびデプレッションMOSトランジスタMdのソースに接続する。NMO

SトランジスタM6のソースは、ツェナーダイオードDzのカソードに接続する。その他の素子の接続関係は図2と同様である。

[0080] 動作について説明する。図10は内部電源の波形変化を示す図である。グラフg21は、入力信号Sinの波形を示しており、縦軸は入力信号Sinの電圧(V)、横軸は時間T(μ s)である。

[0081] また、グラフg22は、PMOSTランジスタM5のゲート(図9に示すA点)の電圧Vgの波形を示しており、縦軸はゲート電圧Vg(V)、横軸は時間T(μ s)である。

さらに、グラフg23は、内部電源出力端子VDDoutから出力される内部電源VDDの波形を示しており、縦軸は内部電源VDDの電圧(V)、横軸は時間T(μ s)である。

[0082] $[0 \leq T < T_1]$ 入力信号Sinは、Hレベルである。したがって、PMOSTランジスタM1はオフとなり、内部電源VDDは0Vになる。また、ゲート電圧VgはLレベルであるから、PMOSTランジスタM5はオンし、NMOSTランジスタM6はオンする。したがって、ノードn2と、ツェナーダイオードDzのカソードは電氣的に接続している。

[0083] $[T_1 \leq T < T_2]$ 期間Taは、経路L1で内部電源VDDが生成される期間になる。なお、ゲート電圧VgはLレベルであるから、ノードn2と、ツェナーダイオードDzのカソードは電氣的に接続している。

[0084] $[T_2 \leq T < T_5]$ 期間Teは、ツェナーダイオードDzのブレイクダウンが解消されない状態を示している。なお、ゲート電圧VgはLレベルであるから、ノードn2と、ツェナーダイオードDzのカソードは電氣的に接続している。

[0085] また、上述したように、出力端子OUTに外部ノイズを受け、ツェナーダイオードDzに接続している抵抗R1に逆電圧Vaが発生すると、出力端子OUTの電圧が持ち上がらなくなる。この場合、内部電源VDDは、電圧V1に逆電圧を加算した値の電圧V2($=V_1 + V_a$)を維持する。

[0086] $[T_5 \leq T]$ 時刻T5になると、ゲート電圧Vgは、Hレベルに移行して

いる。したがって、PMOSトランジスタM5はオフし、NMOSトランジスタM6はオフするから、ノードn2と、ツェナーダイオードDzのカソードは電氣的に非接続になる。

[0087] すなわち、ノードn2は、ツェナーダイオードDzおよび出力端子OUTに対する接続が無くなるので、デプレッションMOSトランジスタMdは非通電となる。

すると、ノードn1の電圧 V_{n1} と、ノードn2の電圧 V_{n2} とは等しくなるから、期間Taと同様なトランジスタのスイッチング動作となって、図3に示す経路L1によって、内部電源VDDが生成されることになる。これにより、内部電源VDDが、電源電圧VCCに達することができる。

[0088] なお、遅延素子11-1、11-2に設定されている遅延時間は、この例では、時間($T_a + T_e$)である。このような遅延設定により、PMOSトランジスタM1のオン開始時刻T1から所定時間($T_a + T_e$)経過後の時刻T5において、スイッチ回路11内のPMOSトランジスタM5がオフとなるので、NMOSトランジスタM6がオフして、ノードn2と、ツェナーダイオードDzのカソードは電氣的に非接続になる。

[0089] 以上説明したように、半導体装置100aの構成によれば、PMOSトランジスタM1のオン開始時刻から所定時間経過すると、時刻Tresに達する前に、確実に経路L1による内部電源の生成を行うことができる。これにより、内部電源を電源電圧VCCまで正常に上昇させることができ、誤動作の防止を図ることが可能になる。

[0090] 次に本発明の半導体装置100aが適用されるIPSの構成について説明する。図11はハイサイド型のIPSの構成例を示す図である。

IPS30は、負荷2、マイコン4、バッテリー5に接続している。また、IPS30は、ロジック回路31、レベルシフトドライバ32、内部電源回路33、ST(status)回路34、低電圧検出回路35、短絡検出回路36、負荷開放検出回路37、過電流検出回路38および過熱検出回路39を備える。

[0091] さらに、IPSOは、負荷2を駆動するためのスイッチ素子MOを有し、スイッチ素子MOにはダイオードDO（FWD：Free Wheel Diode）が接続されている。

スイッチ素子MOがオフになる瞬間では、モータ等の誘導性の負荷2からは、逆起電力が発生する。このため、スイッチ素子MOに対して、ダイオードDOを逆並列に接続して、このときの負荷電流を還流させる構成としている。

[0092] ここで、ロジック回路31は、端子Inから入力されるマイコン4からの制御信号、および各保護回路の状態検出信号を一括して認識し、スイッチ素子MOを制御するためのONBH（ON By H）信号を出力する。

[0093] レベルシフトドライバ32は、ロジック回路31から出力されたONBH信号を、スイッチ素子MOをフルオンさせるに要するレベルまで昇圧したGS信号を生成し、スイッチ素子MOのゲートに印加する。なお、レベルシフトドライバ32は、上述のチャージポンプ101の機能を含む。

[0094] 内部電源回路33は、VCC電圧より低い値から段階的に上昇させる電源電圧である内部電源を生成し、内部電源で制御が必要な回路に対して供給する。なお、内部電源回路33は、図9に示した内部電源回路10aの機能を含む。

[0095] ST回路34は、スイッチ素子MOの動作状態を、ST端子を介して、マイコン4に送信する。

低電圧検出回路35は、VCC電圧が定格電圧より低いとき、異常信号をロジック回路31に送信する。低電圧検出回路35から送信された異常信号を受信したロジック回路31は、スイッチ素子MOを制御するONBH信号をオフ信号にして出力する。

[0096] 短絡検出回路36は、スイッチ素子MOのソースに接続している出力端子OUTがGNDにショートしたとき、異常信号をロジック回路31に送信する。短絡検出回路36から送信された異常信号を受信したロジック回路31は、スイッチ素子MOを制御するONBH信号をオフ信号にして出力する。

- [0097] 負荷開放検出回路 37 は、スイッチ素子 M0 のソースに接続する出力端子 O U T がオープンになったとき、異常信号をロジック回路 31 に送信する。負荷開放検出回路 37 から送信された異常信号を受信したロジック回路 31 は、スイッチ素子 M0 を制御する O N B H 信号をオフ信号にして出力する。
- [0098] 過電流検出回路 38 は、スイッチ素子 M0 とカレントミラー回路を構成しているトランジスタ M c から、スイッチ素子 M0 に流れる電流と同一の電流を受信する。そして、定格より異常な大電流が流れたことを検出すると、異常信号をロジック回路 31 に送信する。過電流検出回路 38 から送信された異常信号を受信したロジック回路 31 は、スイッチ素子 M0 を制御する O N B H 信号をオフ信号にして出力する。
- [0099] 過熱検出回路 39 は、スイッチ素子 M0 が定格より異常な高温になったとき、異常信号をロジック回路 31 に送信する。過熱検出回路 39 から送信された異常信号を受信したロジック回路 31 は、スイッチ素子 M0 を制御する O N B H 信号をオフ信号にして出力する。
- [0100] 以上説明したように、本発明によれば、負荷に接続される伝送ラインにノイズが乗るなどして異常電流が発生しても、内部電源を電源電圧まで精度よく上昇させることができる。
- [0101] これにより、E S D 耐量を低下させず、さらに集積回路の面積を大きく増大させずに、スイッチング素子のターンオン時のリーク電流の発生を抑制することができ、また外部ノイズによるスイッチ素子がフルオンしないなどの誤動作を防ぐことが可能になる。
- [0102] 以上、実施の形態を例示したが、実施の形態で示した各部の構成は同様の機能を有する他のものに置換することができる。また、他の任意の構成物や工程が付加されてもよい。

上記については単に本発明の原理を示すものである。さらに、多数の変形、変更が当業者にとって可能であり、本発明は上記に示し、説明した正確な構成および応用例に限定されるものではなく、対応するすべての変形例および均等物は、添付の請求項およびその均等物による本発明の範囲とみなされ

る。

符号の説明

- [0103] 1 内部電源回路
- 1 a クランプ回路
- 1 b 電流制御素子
- 1 c 切替えスイッチ群
- 1 d スイッチ回路
- 2 負荷
- s 0 制御スイッチ
- s 1 第1スイッチ
- s 2 第2スイッチ
- s 3 第3スイッチ
- S in 制御信号
- L 1 第1経路
- L 2 第2経路
- I N 入力端子
- O U T 出力端子
- V D D out 内部電源出力端子
- G N D 0 外部グラウンド
- G N D 1 内部グラウンド
- g a 内部電源の波形
- t a 第1経路による内部電源の生成期間
- t b 内部電源が上昇しなくなる期間
- t 1 制御信号のオン開始時刻
- t 2 所定時間経過したときの時刻

請求の範囲

[請求項1]

電源電圧から内部電源を生成する内部電源回路において、
前記電源電圧に接続し、制御信号にもとづきオンして電流を出力する制御スイッチと、
負荷に接続し、前記制御スイッチの出力電圧のクランプ制御を行うクランプ回路と、
クランプ制御される前記出力電圧により、前記電流を導通または非導通にする電流制御素子と、
前記電流の導通または非導通に応じて変化する電圧の印加にもとづいて、前記内部電源を生成するための経路の切替えを行う切替えスイッチ群と、
前記クランプ回路と、前記切替えスイッチ群との結合を断続するスイッチ回路と、
を有することを特徴とする内部電源回路。

[請求項2]

前記切替えスイッチ群は、前記電源電圧から所定レベルの電圧ドロップがない前記内部電源を生成する第1経路と、前記電源電圧から前記所定レベルを電圧ドロップさせた前記内部電源を生成する第2経路との切替えを行い、
前記スイッチ回路は、前記制御スイッチのオン開始から所定時間経過した後前記結合を切断することで前記第1経路への切替えを行う、
ことを特徴とする請求項1記載の内部電源回路。

[請求項3]

前記切替えスイッチ群は、三端子スイッチである、第1スイッチ、第2スイッチおよび第3スイッチを含み、
前記制御信号が入力する入力端子は、前記制御スイッチの入力端と、前記スイッチ回路の一方の入力端と接続し、
前記制御スイッチの電流出力端は、前記第1、第2、第3スイッチの一方の入力端と、前記電流制御素子の入力端と接続し、

前記電流制御素子の出力端は、前記第 1、第 3 スイッチの他方の入力端と、前記スイッチ回路の他方の入力端と接続し、

前記第 1 スイッチの出力端は、前記第 2 スイッチの他方の入力端と、内部グランドに接続し、

前記第 2、第 3 スイッチの出力端は、内部電源出力端子に接続し、

前記スイッチ回路の出力端は、前記クランプ回路の入力端に接続し

、

前記クランプ回路の出力端は、前記負荷の一端に接続し、前記負荷の他端は、外部グランド接続する、

ことを特徴とする請求項 2 記載の内部電源回路。

[請求項 4]

前記出力電圧が所定電圧未満の場合には、前記クランプ回路により、前記出力電圧がクランプされて前記電流制御素子が非導通になり、前記第 1 スイッチがオフ、前記第 2 スイッチがオンおよび前記第 3 スイッチがオフして、前記制御スイッチから、前記第 2 スイッチを介して、前記内部電源出力端子へ向かう前記第 1 経路が生成されて前記内部電源を出力し、

前記出力電圧が所定電圧以上の場合には、前記クランプ回路により、前記出力電圧のクランプが解除されて前記電流制御素子が導通し、前記第 1 スイッチがオン、前記第 2 スイッチがオフおよび前記第 3 スイッチがオンして、前記制御スイッチから、前記第 3 スイッチを介して、前記内部電源出力端子へ向かう前記第 2 経路が生成されて前記内部電源を出力し、

前記制御スイッチのオン開始から所定時間経過後には、前記スイッチ回路により、前記結合が切断されることで、前記電流制御素子が非導通になって、前記第 1 経路が生成されて前記内部電源を出力する、

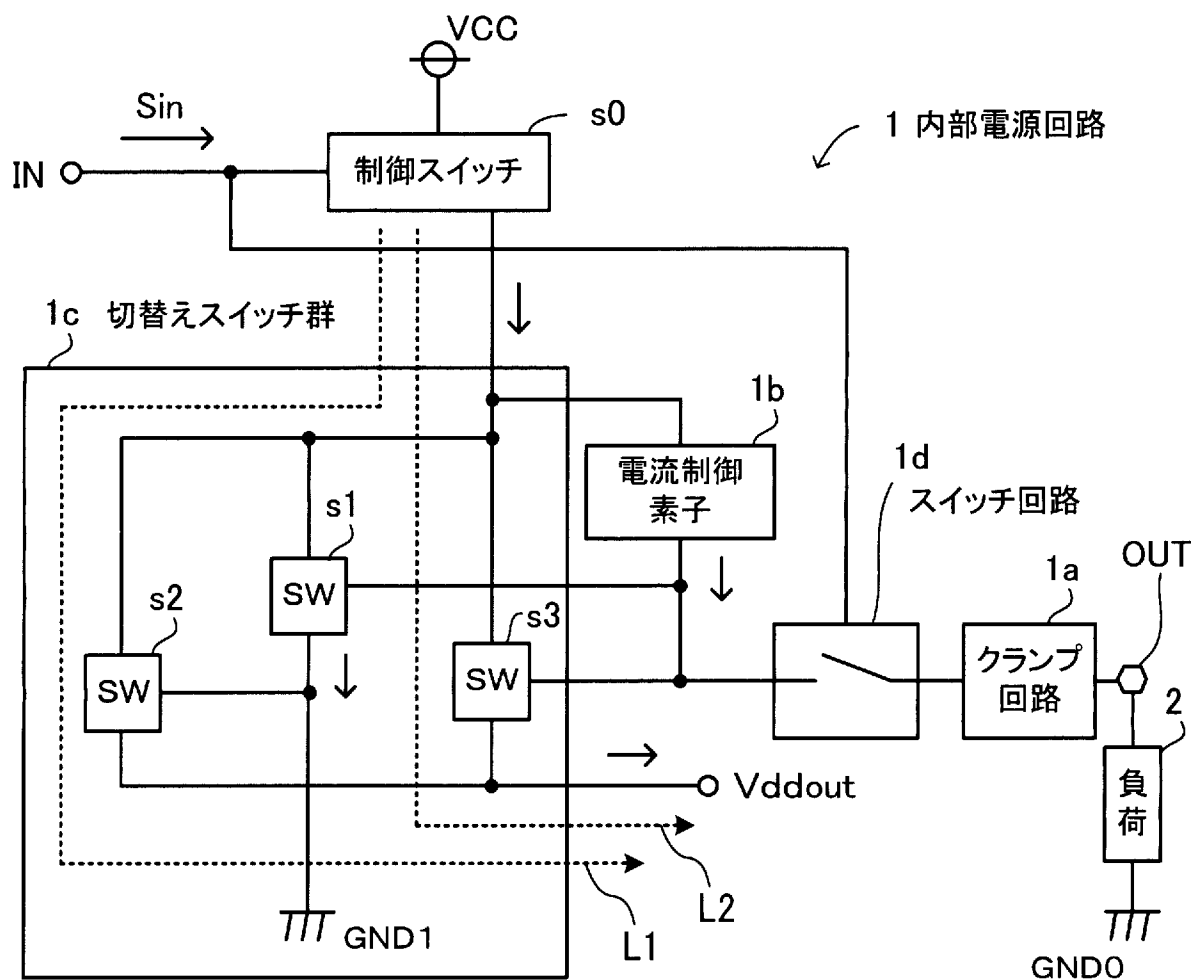
ことを特徴とする請求項 3 記載の内部電源回路。

[請求項 5]

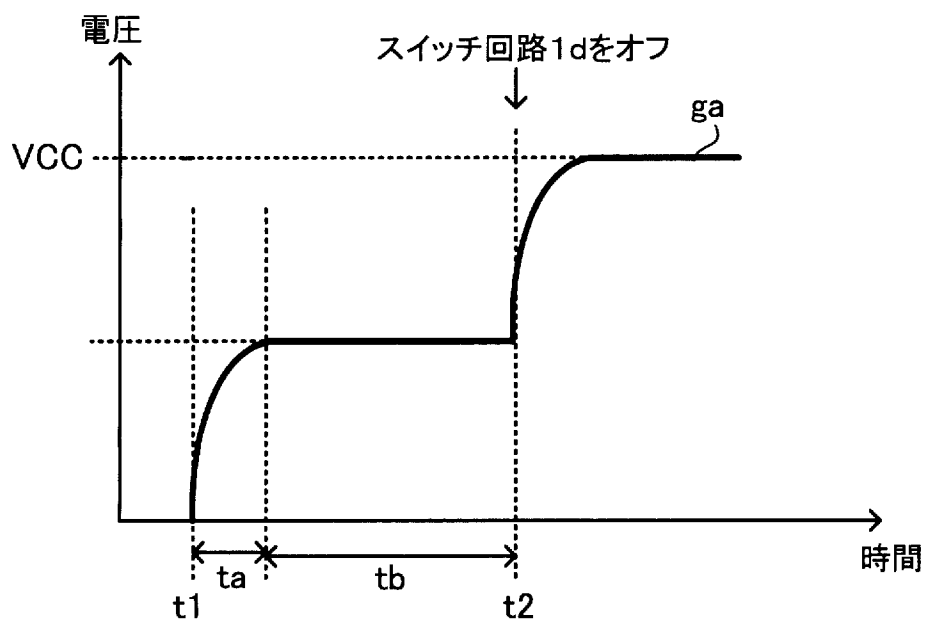
電源電圧から生成された内部電源を動作電源にして、負荷を駆動するための昇圧動作を行うチャージポンプと、

前記電源電圧に接続し、制御信号にもとづきオンして電流を出力する制御スイッチと、前記負荷に接続し、前記制御スイッチの出力電圧のクランプ制御を行うクランプ回路と、クランプ制御される前記出力電圧により、前記電流を導通または非導通にする電流制御素子と、前記電流の導通または非導通に応じて変化する電圧の印加にもとづいて、前記内部電源を生成するための経路の切替えを行う切替えスイッチ群と、前記クランプ回路と、前記切替えスイッチ群との結合を断続するスイッチ回路とを含む内部電源回路と、
を有することを特徴とする半導体装置。

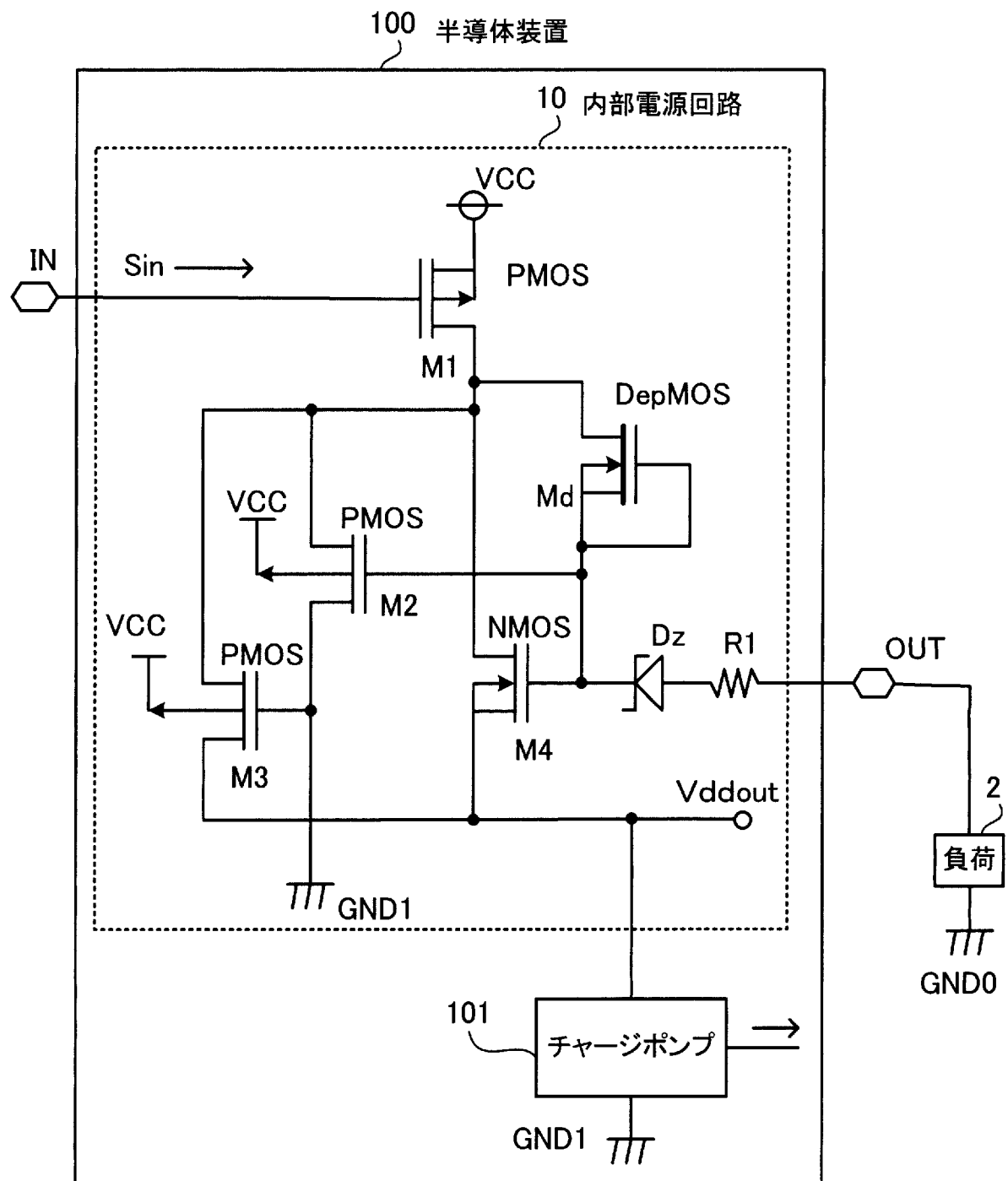
(a)



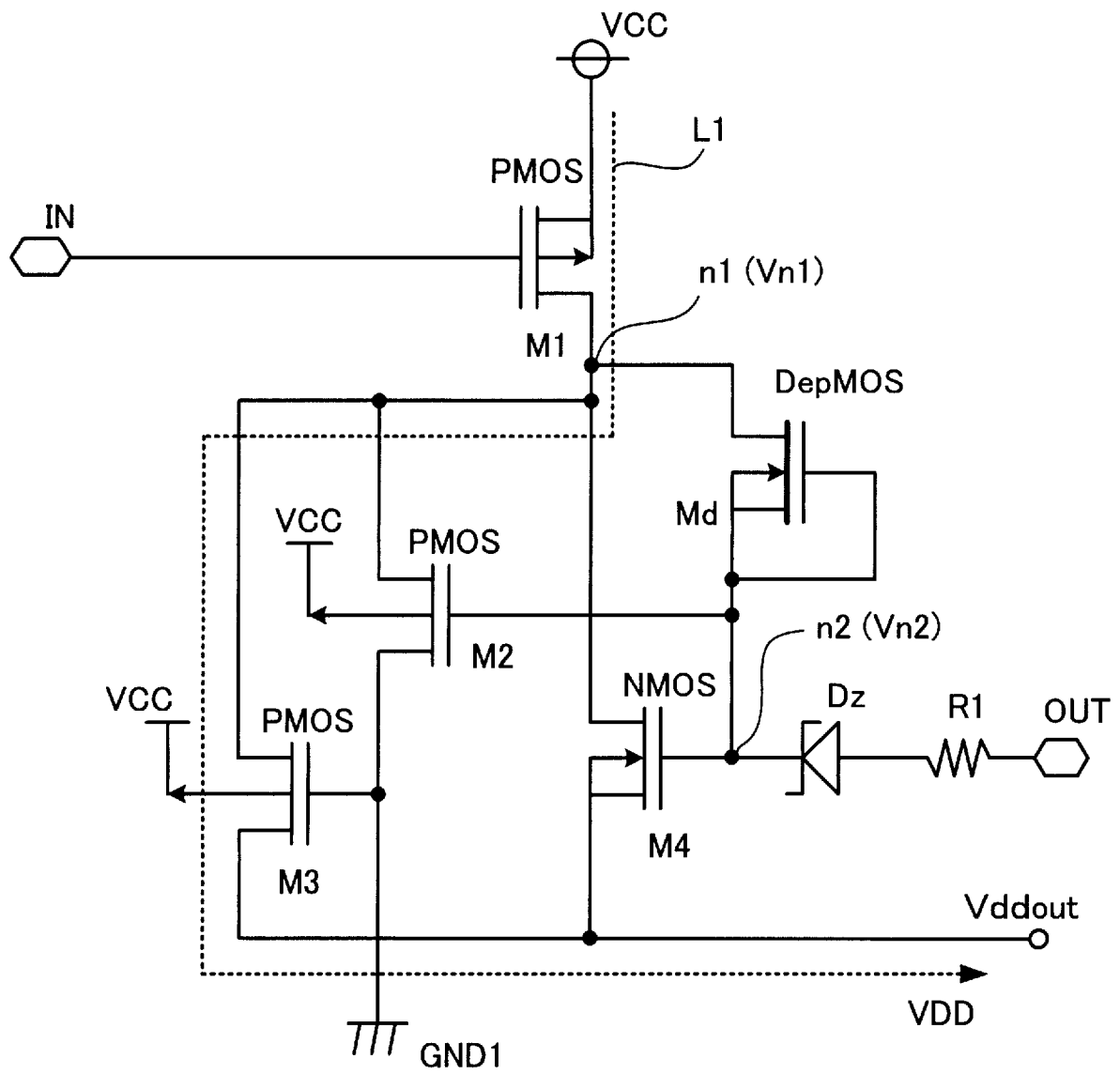
(b)



[図2]



[図3]

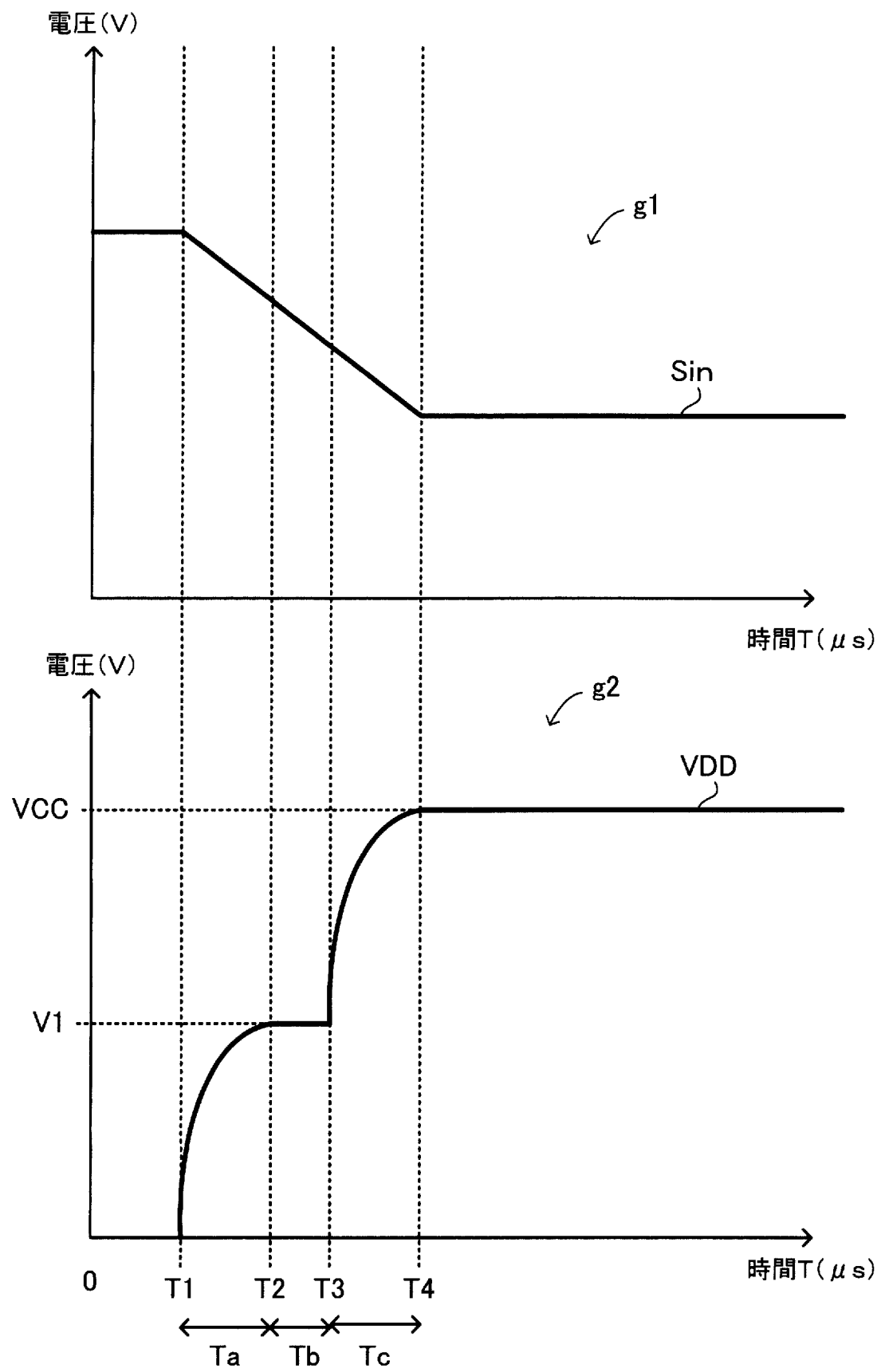


経路L1による内部電源VDDの生成

[illegible]

経路L2による内部電源VDDの生成

[図5]

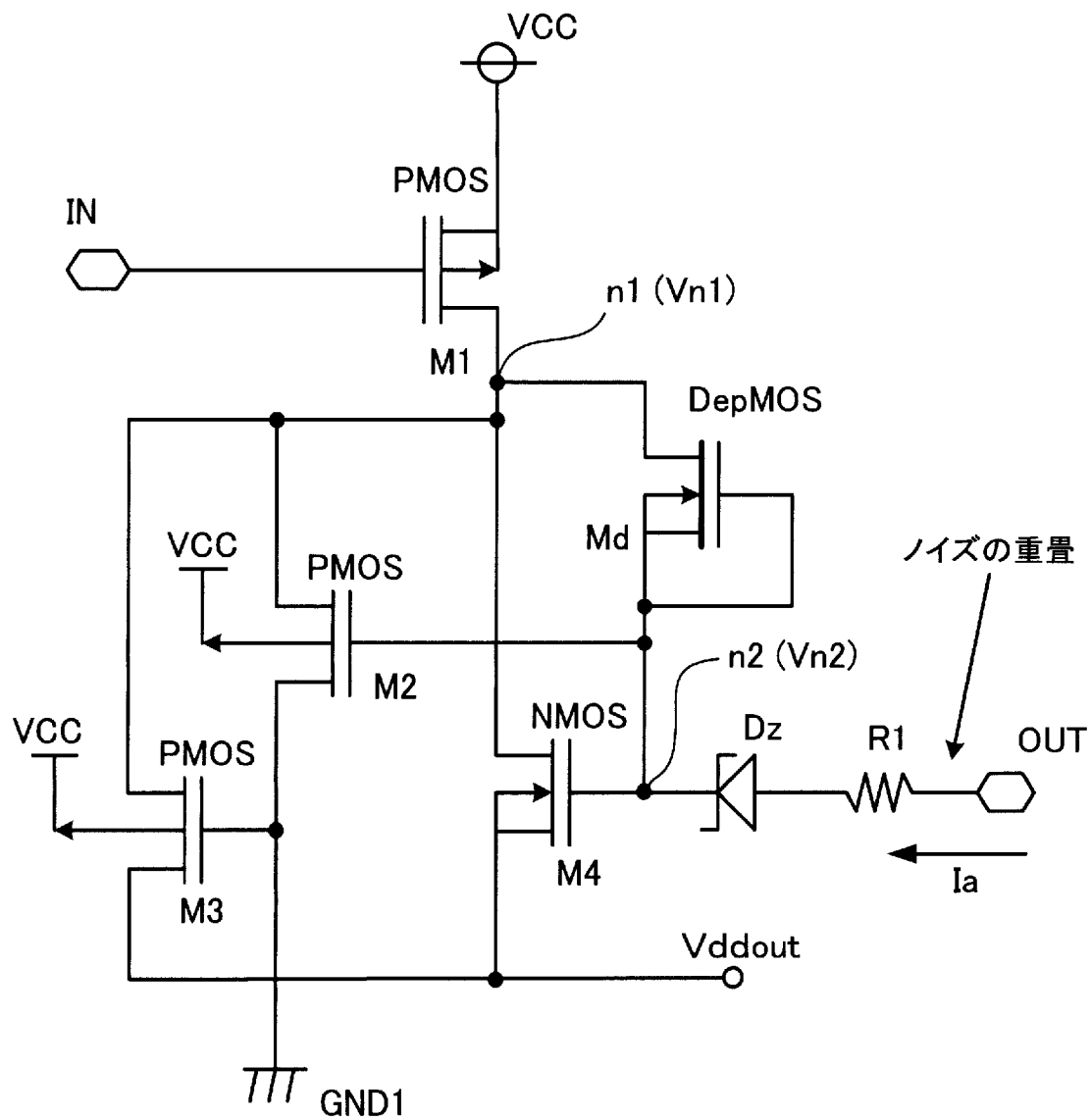


[図6]

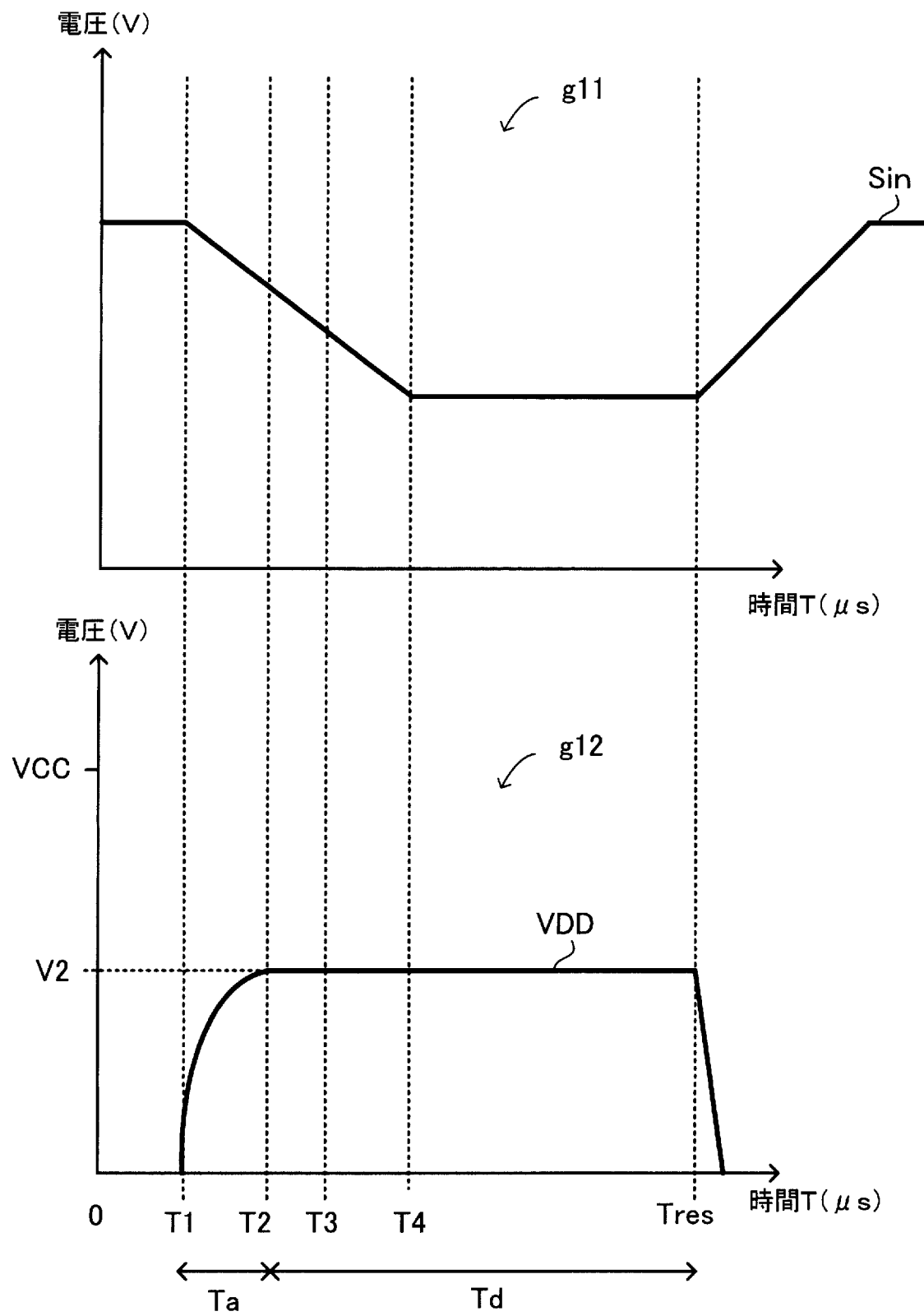
20

トランジスタ 経路	PMOS M1	PMOS M2	PMOS M3	NMOS M4	デプレッション MOS Md
L1	オン	オフ	オン	オフ	通電なし (非導通)
L2	オン	オン	オフ	オン	通電あり (導通)

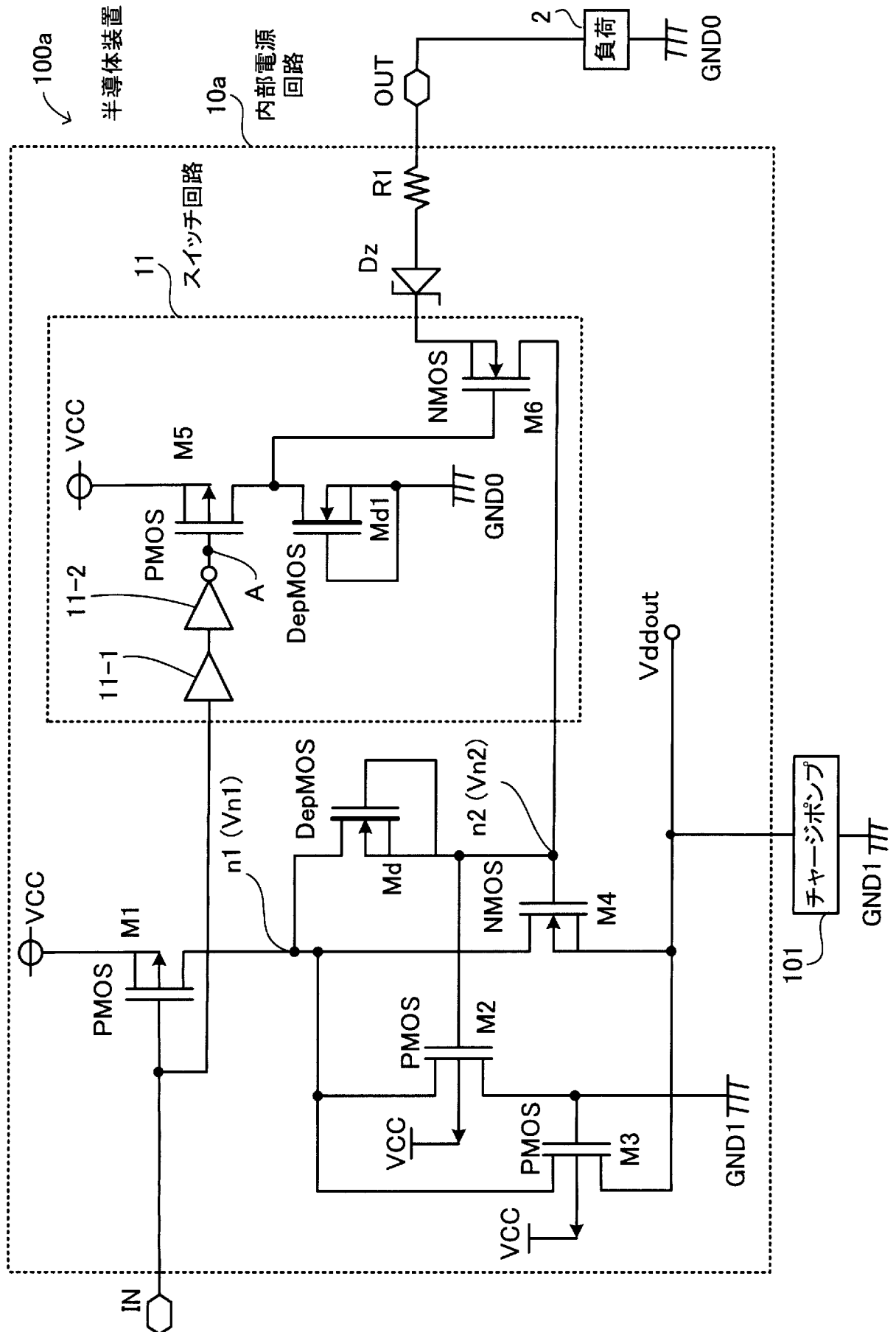
[図7]



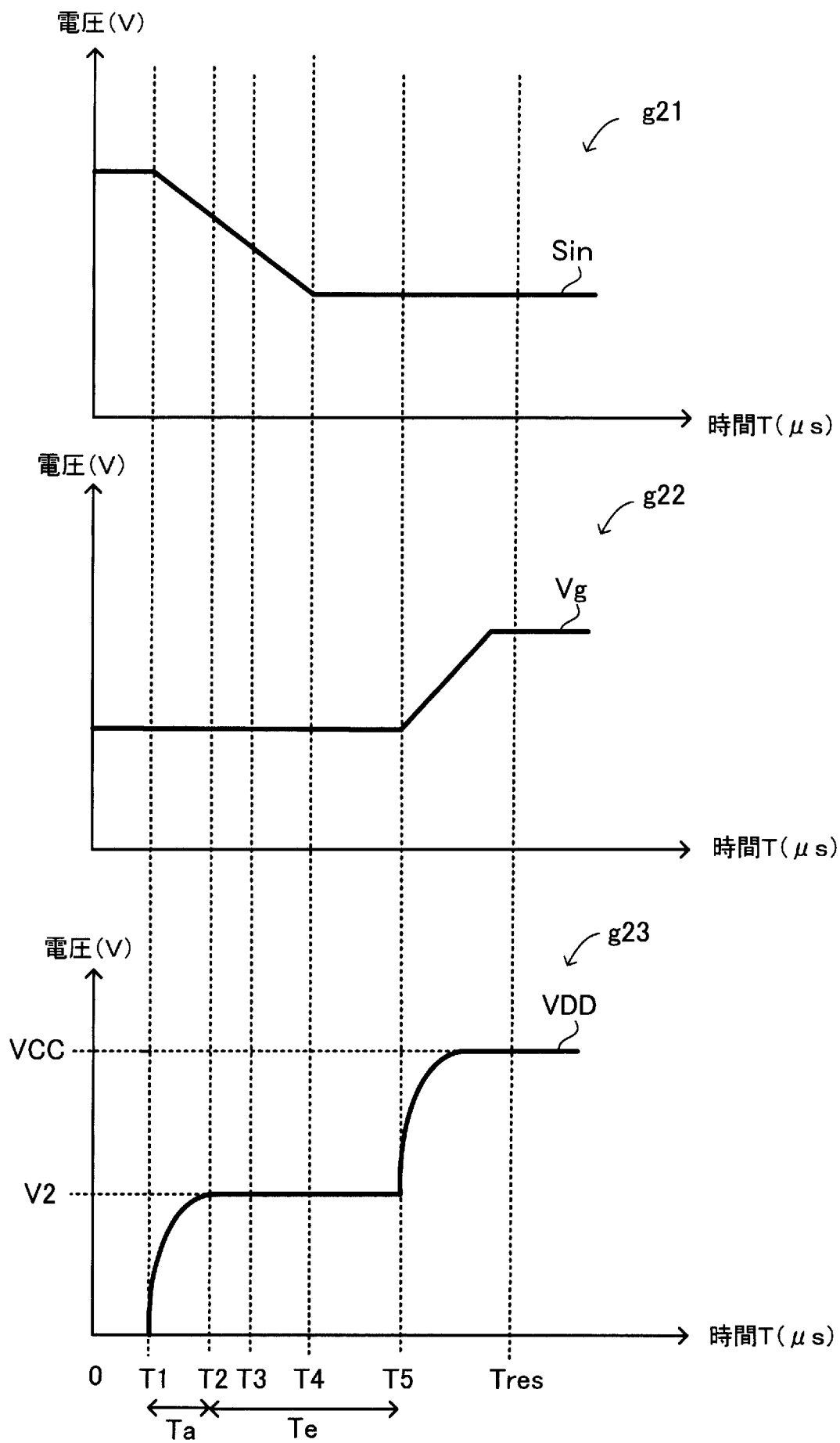
[図8]



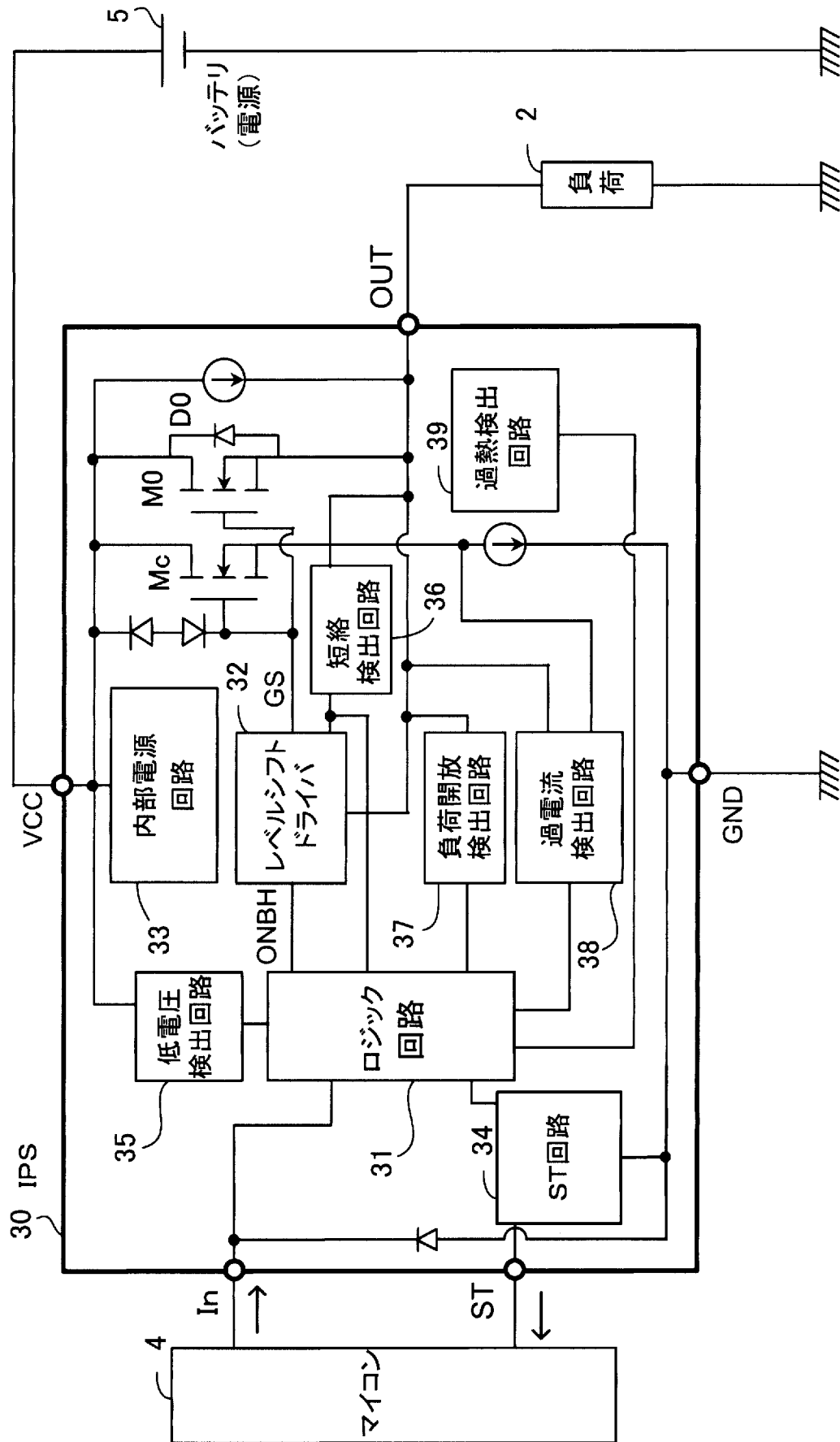
[図9]



[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/051008

A. CLASSIFICATION OF SUBJECT MATTER

H02M3/00(2006.01)i, H03K17/00(2006.01)i, H03K19/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M3/00, H03K17/00, H03K19/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-202955 A (LG Semicon Co., Ltd.), 30 July 1999 (30.07.1999), entire text; all drawings & US 5942933 A entire text; all drawings & KR 10-0266650 B1	1-5
A	JP 2012-50208 A (Canon Inc.), 08 March 2012 (08.03.2012), entire text; all drawings & US 2012/0049632 A1 entire text; all drawings & CN 102381030 A	1-5

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
29 March 2016 (29.03.16)

Date of mailing of the international search report
12 April 2016 (12.04.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/051008

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-124931 A (Rohm Co., Ltd.), 04 June 2009 (04.06.2009), entire text; all drawings (Family: none)	1-5
A	JP 2010-220351 A (Nippon Telegraph and Telephone Corp.), 30 September 2010 (30.09.2010), entire text; all drawings (Family: none)	1-5

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H02M3/00(2006.01)i, H03K17/00(2006.01)i, H03K19/00(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H02M3/00, H03K17/00, H03K19/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 11-202955 A（エルジー セミコン カンパニー リミテッド） 1999.07.30, 全文, 全図 & US 5942933 A, 全文, 全図 & KR 10-0266650 B1	1-5
A	JP 2012-50208 A（キヤノン株式会社）2012.03.08, 全文, 全図 & US 2012/0049632 A1, 全文, 全図 & CN 102381030 A	1-5
A	JP 2009-124931 A（ローム株式会社）2009.06.04, 全文, 全図（フ ァミリーなし）	1-5

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

29.03.2016

国際調査報告の発送日

12.04.2016

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

下原 浩嗣

3 V

9179

電話番号 03-3581-1101 内線 3357

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2010-220351 A (日本電信電話株式会社) 2010.09.30, 全文, 全図 (ファミリーなし)	1-5