

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第2区分
 【発行日】令和6年7月30日(2024.7.30)

【国際公開番号】WO2023/085026
 【出願番号】特願2023-559519(P2023-559519)

【国際特許分類】

H 0 1 L 2 1 / 8 2 2 (2 0 0 6 . 0 1)

H 0 1 L 2 5 / 0 4 (2 0 2 3 . 0 1)

H 0 1 L 2 5 / 0 0 (2 0 0 6 . 0 1)

10

【F I】

H 0 1 L 2 7 / 0 4 P

H 0 1 L 2 5 / 0 4 Z

H 0 1 L 2 5 / 0 0 B

【手続補正書】

【提出日】令和5年12月25日(2023.12.25)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

20

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

高電圧発生部の正極に電氣的に接続される第1抵抗回路と、前記第1抵抗回路に直列接続される第2抵抗回路と、前記第2抵抗回路に直列接続される第3抵抗回路と、前記第3抵抗回路に直列接続されかつ前記高電圧発生部の負極に電氣的に接続される第4抵抗回路とを含み、

前記第1抵抗回路が、平面視において、第1方向に延びかつ前記第1方向に直交する第2方向に間隔を空けて配置された複数の第1抵抗体を含み、

30

前記第2抵抗回路が、前記第1方向に延びた1つの第2抵抗体または前記第1方向に延びかつ前記第2方向に間隔を空けて配置された複数の第2抵抗体を含み、

前記第3抵抗回路が、前記第1方向に延びた1つの第3抵抗体または前記第1方向に延びかつ前記第2方向に間隔を空けて配置された複数の第3抵抗体を含み、

前記第4抵抗回路が、前記第1方向に延びかつ前記第2方向に間隔を空けて配置された複数の第4抵抗体を含み、

前記第2抵抗体は、前記複数の第1抵抗体のうちの前記第2方向に隣り合う2つの第1抵抗体の間に配置された1または複数の中間第2抵抗体を含み、

前記第3抵抗体は、前記複数の第4抵抗体のうちの前記第2方向に隣り合う2つの第4抵抗体の間に配置された1または複数の中間第3抵抗体を含む、半導体装置。

40

【請求項2】

前記第1抵抗体、前記第2抵抗体、前記第3抵抗体および前記第4抵抗体の抵抗値が等しい、請求項1に記載の半導体装置。

【請求項3】

前記第1抵抗回路の抵抗値に対する前記第2抵抗回路の抵抗値の比が、前記第4抵抗回路の抵抗値に対する前記第3抵抗回路の抵抗値の比と等しい、請求項1または2に記載の半導体装置。

【請求項4】

前記1または複数の中間第2抵抗体が間に配置された前記2つの前記第1抵抗体と、これらの中間第2抵抗体との間に、1または複数の第1ダミー抵抗体が配置され、

50

前記 1 または複数の中間第 3 抗体が間に配置された前記 2 つの前記第 4 抗体と、これらの中間第 3 抗体との間に、1 または複数の第 2 ダミー抗体が配置されている、請求項 1 または 2 に記載の半導体装置。

【請求項 5】

前記第 1 抗体、前記第 2 抗体、前記第 3 抗体、前記第 4 抗体および前記第 1 ダミー抗体および前記第 2 ダミー抗体の抵抗値が等しい、請求項 1 または 2 に記載の半導体装置。

【請求項 6】

前記第 1 抵抗回路は、前記第 1 方向に延びかつ前記第 2 方向に間隔を空けて配置された複数の前記第 1 抗体からなる列を、2 列以上の所定列数分含み、

10

前記第 4 抵抗回路は、前記第 1 方向に延びかつ前記第 2 方向に間隔を空けて配置された複数の前記第 4 抗体からなる列を、前記所定列数分含み、

前記第 2 抵抗回路は、前記第 1 抗体の各列に対応して配置された 1 または複数の第 2 抗体を含み、

前記第 3 抵抗回路は、前記第 4 抗体の各列に対応して配置された 1 または複数の前記第 3 抗体を含む、請求項 1 または 2 に記載の半導体装置。

【請求項 7】

前記第 1 抵抗回路を構成する全ての第 1 抗体が直列に接続されており、

前記第 4 抵抗回路を構成する全ての第 4 抗体が直列に接続されている、請求項 1 または 2 に記載の半導体装置。

20

【請求項 8】

前記第 2 抵抗回路は、少なくとも 4 以上の第 2 抗体を含み、

前記第 3 抵抗回路は、少なくとも 4 以上の第 3 抗体を含み、

前記第 2 抵抗回路は、2 以上の前記第 2 抗体が並列に接続されてなる複数の第 1 並列回路を含み、

前記第 3 抵抗回路は、2 以上の前記第 3 抗体が並列に接続されてなる複数の第 2 並列回路を含み、

前記複数の第 1 並列回路が直列に接続されており、

前記複数の第 2 並列回路が直列に接続されている、請求項 1 または 2 に記載の半導体装置。

30

【請求項 9】

前記第 1 抵抗回路と前記第 2 抵抗回路との接続点と、前記第 3 抵抗回路と前記第 4 抵抗回路との接続点との間の電圧に応じた電圧を測定するための電圧検出部を含む、請求項 1 または 2 に記載の半導体装置。

40

50