

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011 年 1 月 20 日(20.01.2011)

PCT

(10) 国際公開番号
WO 2011/007699 A1

- (51) 国際特許分類:
H01L 21/331 (2006.01) H01L 21/8249 (2006.01)
H01L 21/8222 (2006.01) H01L 27/06 (2006.01)
H01L 21/8248 (2006.01) H01L 29/732 (2006.01)
- (21) 国際出願番号: PCT/JP2010/061480
- (22) 国際出願日: 2010 年 7 月 6 日(06.07.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2009-165084 2009 年 7 月 13 日(13.07.2009) JP
- (71) 出願人 (米国を除く全ての指定国について): ミツミ電機株式会社(MITSUMI ELECTRIC CO., LTD.) [JP/JP]; 〒2068567 東京都多摩市鶴牧 2 丁目 1 1 番地 2 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 笠原 正樹(KASAHARA, Masaki) [JP/JP]; 〒2068567 東京都多摩市鶴牧 2 丁目 1 1 番地 2 ミツミ電機株式会社内 Tokyo (JP).
- (74) 代理人: 伊東 忠彦(ITO, Tadahiko); 〒1506032 東京都渋谷区恵比寿 4 丁目 2 0 番 3 号 恵比寿ガーデンプレイスタワー 3 2 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))



WO 2011/007699 A1

(54) Title: SEMICONDUCTOR DEVICE MANUFACTURING METHOD AND SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(54) 発明の名称: 半導体装置の製造方法及び半導体集積回路装置

(57) Abstract: Disclosed is a semiconductor device manufacturing method that involves a step for forming a LOCOS oxide film on a prescribed area of a surface of a semiconductor substrate, a step for forming a polysilicon film to cover the boundaries between the aforementioned surface of the semiconductor substrate and said LOCOS oxide film, and a step for forming an impurity region on the aforementioned surface of the semiconductor substrate by bombarding the aforementioned surface of the semiconductor substrate with ions using said polysilicon film as a mask.

(57) 要約: 半導体装置の製造方法は、半導体基板の表面の所定領域に、LOCOS酸化膜を形成する工程と、該LOCOS酸化膜と前記半導体基板の表面の境界を覆うように、ポリシリコン膜を形成する工程と、該ポリシリコン膜をマスクとして、前記半導体基板の表面にイオンの打ち込みを行い、前記半導体基板の表面に、不純物領域を形成する工程とを含む。

明 細 書

発明の名称：半導体装置の製造方法及び半導体集積回路装置

技術分野

[0001] 本発明は、半導体装置の製造方法及び半導体集積回路装置に関し、特に、半導体基板の表面の所定領域に、ＬＯＣＯＳ酸化膜を形成する半導体装置の製造方法及びかかる方法により製造された半導体装置を有する半導体集積回路装置に関する。

背景技術

[0002] 従来から、半導体基板の表面に、ＬＯＣＯＳ（Local Oxidation of Silicon）法によりＬＯＣＯＳ酸化膜を形成し、更にレジストを用いて、ＬＯＣＯＳ酸化膜とレジストをマスクとしてイオンの打ち込みを行い、デバイスを形成する半導体装置の製造方法が知られている。

[0003] 図１Ａ乃至図１Ｆは、従来の半導体装置の製造方法の一例を示した図である。図１Ａ乃至図１Ｆにおいては、ｎｐｎトランジスタの製造方法の一例を説明する。図１Ａ乃至図１Ｆのそれぞれにおいて（ａ）、（ｂ）はそれぞれ平面図、断面図を示す。図１Ａは、ＬＯＣＯＳ酸化膜形成工程を示した図である。ＬＯＣＯＳ酸化膜形成工程において、シリコン基板１１０上にｎ型層１２０が形成された半導体基板１４０の表面に、ＬＯＣＯＳ法によりＬＯＣＯＳ酸化膜１７０が形成される。（ａ）の平面図に示すように、半導体基板１４０の表面のトランジスタ等のデバイスを形成する領域が、ＬＯＣＯＳ酸化膜１７０で周囲を囲まれる。

[0004] 図１Ｂは、ベース領域形成工程を示した図である。半導体基板１４０の不純物領域を形成しない部分は、レジスト２００で覆われ、不純物領域を形成する部分は、レジスト２００で覆われないで露出された状態となる。この、レジスト２００がパターニングされた状態で、半導体基板１４０にイオンが打ち込まれ、不純物の注入が行われる。イオンは、例えば、ボロン等が用いられる。イオンは、高エネルギーで打ち込みが行われ、ＬＯＣＯＳ酸化膜１

70のある部分は、LOCOS酸化膜170を透過してイオンが打ち込まれる。LOCOS酸化膜170の無い部分は、直接n型層120にイオンが打ち込まれる。半導体基板140のイオンが打ち込まれた箇所は、不純物が注入されたベース領域150となる。ベース領域150中、LOCOS酸化膜170が無く、半導体基板140のn型層120が露出した箇所は、高濃度ベース領域151となり、LOCOS酸化膜170の下箇所は、低濃度ベース領域152となる。

[0005] 図1Cは、熱処理工程を示した図である。図1Bにおいて、高エネルギーイオンの打ち込みが行われた後は、レジスト200が除去され、半導体基板140の加熱処理が行われる。これにより、ベース領域150の熱拡散が行われ、注入された不純物がベース領域150中を拡散し、不純物濃度の濃度分布が平均化の方向に向かうとともに、ベース領域150が側方及び下方に拡大する。

[0006] 図1Dは、ゲート酸化膜形成工程を示した図である。ゲート酸化膜形成工程においては、高濃度ベース領域151が露出した部分に、ゲート酸化膜180が形成される。これにより、高濃度ベース領域151の表面は、ゲート酸化膜180に覆われる。なお、ゲート酸化膜180は、MOSトランジスタを製造するプロセスにおける、ゲート酸化膜180と同様の薄膜状の酸化膜という意味であり、必ずしもその領域にゲートを形成するという意味ではない。

[0007] 図1Eは、エミッタ領域形成工程を示した図である。エミッタ領域形成工程においては、半導体基板140のイオンの打ち込みを行わない箇所がレジスト202で覆われる。一方、イオンの打ち込みの際、有機物のレジスト202が削れてエミッタ領域160に混入すると、エミッタ領域160の特性に悪影響を与えるため、エミッタ領域160の端部は、LOCOS酸化膜170をマスクとしてイオンの打ち込みが行われる。イオンは、例えば、リンが用いられてよい。また、イオンの打ち込みは、ゲート酸化膜180の形成された領域に、LOCOS酸化膜170をマスクとして行われるため、ゲー

ト酸化膜 180 を透過し、かつ LOCOS 酸化膜 170 を透過しない程度の低エネルギーで行われる。低エネルギーイオンの打ち込みにより、不純物領域であるベース領域 150 の表面に、やはり不純物領域であるエミッタ領域 160 が形成される。

[0008] 図 1 F は、熱処理工程を示した図である。熱処理工程においては、半導体基板 140 が加熱処理され、エミッタ領域 160 の熱拡散が行われる。これにより、エミッタ領域 160 の不純物濃度が平均化するとともに、エミッタ領域 160 が側方及び下方に拡大する。なお、n 型層 120 は、コレクタ領域として機能し、npn 型バイポーラトランジスタを形成することができる。なお、n 型層 120 は、例えば、エピタキシャル成長により、P 型のシリコン基板の上に形成されてもよい。

[0009] また、例えば、特許文献 1 には、MOS (Metal-Oxide-Semiconductor) トランジスタとバイポーラトランジスタが同一の半導体基板上に混載されている BiCMOS (Bipolar Complementary Metal-Oxide-Semiconductor) 集積回路装置であって、バイポーラトランジスタは、ベース層に接続された、側面に絶縁体の側壁を有するベース引出電極を有し、当該絶縁体の側壁を用いて、エミッタ電極引出開口及びエミッタ層を自己整合的に形成したものが記載されている。

[0010] かかる BiCMOS 集積回路装置の絶縁体の側壁の形成は、ベース引出電極上に絶縁膜を形成する工程と、ベース引出電極の側面及びベース引出電極に取り囲まれたエミッタ形成領域を含む半導体基板全体に TEOS 膜の絶縁膜を成長させる工程と、TEOS 膜の絶縁膜を異方性エッチングして、エミッタ形成領域上のベース引出電極側面に側壁を残す工程と、を含んでいる。

先行技術文献

特許文献

[0011] 特許文献 1：特開平 11-111873 号公報

発明の概要

発明が解決しようとする課題

- [0012] しかしながら、上述の図 1 A 乃至図 1 F の従来技術の構成では、エミッタ領域 160 のサイズが、LOCOS 酸化膜 170 の加工精度及び膜厚に影響を受けてしまい、エミッタ領域 160 の変動により、隣接するデバイスの特性が不均一となるという問題があった。また、エミッタ領域 160 のサイズが大きくなると、ベース領域 150 の高濃度ベース領域 151 のサイズが小さくなり、バイポーラトランジスタを縦方向に動作させたいにも関わらず、横方向の寄生動作が発生するようになり、トランジスタ特性が悪化するとともにバラつきが生じてしまうという問題があった。
- [0013] 図 2 は、図 1 F の (b) の A 部分の拡大図である。図 2 に示すように、LOCOS 酸化膜 170 の横方向の位置は、加工精度により変動するおそれがある。また、LOCOS 酸化膜 170 の端部は、外側に向かうにつれて膜厚が減少する、三角形の頂点のような先端が尖った断面形状となっている。このような形状であると、LOCOS 酸化膜 170 の端部の横方向の位置により、膜厚も微妙に変化し、エミッタ領域 160 の横方向の大きさもそれによって影響を受けて変動する。同様に、LOCOS 酸化膜 170 の透過により不純物が注入される高濃度ベース領域 151 は、LOCOS 酸化膜 170 の三角形状の膜厚が変化する部分の下方にあるため、LOCOS 酸化膜 170 の加工精度及び膜厚が、その不純物濃度に影響を与える。
- [0014] また、高濃度ベース領域 151 の不純物濃度は、トランジスタの動作中、エミッタ領域 160 から注入された小数キャリアの拡散長に影響を及ぼす。一方、低濃度ベース領域 152 は、LOCOS 酸化膜 170 の厚膜部分を通して打ち込まれているので、高濃度ベース領域 151 よりも、不純物濃度が低い。また、低濃度ベース領域 152 は、不純物濃度が低いので、小数キャリアの拡散長が長い。このように、高濃度ベース領域 151 から低濃度ベース領域 152 にかけて、不純物の濃度勾配があるので、高濃度ベース領域 151 に注入された小数キャリアは、効率よく低濃度ベース領域 152 に移送され、トランジスタの横方向の寄生動作が大きくなってしまいう問題が

あった。

[0015] 更に、特許文献 1 に記載の構成では、エミッタ領域を酸化膜の側壁で精度よく形成することは可能であるが、上述のように、複雑な工程を必要とし、製造工程が複雑化し、コスト増にも繋がるという問題があった。また、通常の MOS トランジスタの製造工程とは異なる工程が多く、バイポーラトランジスタを、MOS トランジスタの工程と同じ工程で製造することができず、工程数の増加に繋がるという問題があった。

[0016] そこで、本発明は、簡素な工程で、デバイスの特性を均一化することができる半導体装置の製造方法及びかかる方法により製造された半導体装置を有する半導体集積回路装置を提供することを目的とする。

課題を解決するための手段

[0017] 本発明の一側面によれば、半導体装置の製造方法は、半導体基板の表面の所定領域に、LOCOS 酸化膜を形成する工程と、該 LOCOS 酸化膜と前記半導体基板の表面の境界を覆うように、ポリシリコン膜を形成する工程と、該ポリシリコン膜をマスクとして、前記半導体基板の表面にイオンの打ち込みを行い、前記半導体基板の表面に、不純物領域を形成する工程と、を含む。

発明の効果

[0018] 本発明の一側面によれば、特性が良好で均一な半導体装置又は半導体集積回路装置が提供される。

図面の簡単な説明

[0019] 本発明の他の目的、特徴及び利点は添付の図面を参照し以下の詳細な説明を読むことにより、一層明瞭となるであろう。

[図1A] 従来の半導体装置の製造方法の一例における LOCOS 酸化膜形成工程を示した図である。

[図1B] 従来の半導体装置の製造方法の一例におけるベース領域形成工程を示した図である。

[図1C] 従来の半導体装置の製造方法の一例における熱処理工程を示した図で

ある。

[図1D]従来の半導体装置の製造方法の一例におけるゲート酸化膜形成工程を示した図である。

[図1E]従来の半導体装置の製造方法の一例におけるエミッタ領域形成工程を示した図である。

[図1F]従来の半導体装置の製造方法の一例における熱処理工程を示した図である。

[図2]図1Fの(b)のA部分の拡大図である。

[図3A]本発明の一実施例によるLOCOS酸化膜形成工程を示した図であり、(a)は半導体装置が製造される半導体基板の平面図、(b)は半導体基板の断面図である。

[図3B]本発明の一実施例による高エネルギーイオン打ち込み工程を示した図であり、(a)はバイポーラトランジスタ形成領域の平面図、(b)は半導体基板の断面図である。

[図3C]本発明の一実施例による熱処理工程を示した図であり、(a)はバイポーラトランジスタ形成領域の平面図、(b)は半導体基板の断面図である。

[図3D]本発明の一実施例によるゲート酸化膜形成工程を示した図であり、(a)はバイポーラトランジスタ形成領域の平面図、(b)は半導体基板の断面図である。

[図3E]本発明の一実施例によるポリシリコン膜形成工程を示した図であり、(a)はバイポーラトランジスタ形成領域の平面図、(b)は半導体基板の断面図である。

[図3F]本発明の一実施例によるイオン打ち込み工程を示した図であり、(a)はバイポーラトランジスタ形成領域の平面図、(b)は半導体基板の断面図である。

[図3G]本発明の一実施例による熱処理工程を示した図であり、(a)はバイポーラトランジスタ形成領域の平面図、(b)は半導体基板の断面図である。

。

[図4]本発明の一実施例による図3Gの(b)のBの部分拡大した図である

。

[図5]本発明の一実施例に係るnpn型バイポーラトランジスタの動作例を説明する図である。

発明を実施するための形態

[0020] 以下、添付の図面を参照して、本発明の実施例を説明する。

[0021] 図3A乃至図3Gは、本発明の実施例に係る半導体装置の製造方法の一連の工程を示した図である。

[0022] 図3Aは、LOCOS酸化膜形成工程を示した図である。図3Aにおいて、(a)は半導体装置が製造される半導体基板40の平面図であり、(b)は半導体基板40の断面図である。

[0023] 図3Aの(b)を参照すれば、半導体基板40は、シリコン基板10と、n型層20と、p型層30とを有する。また、半導体基板40の表面に、LOCOS酸化膜70が形成されている。シリコン基板10は、他の半導体材料からなる基板であってもよいが、本実施例においては、シリコン基板10を用いた例を挙げて説明する。n型層20は、例えば、エピタキシャル成長によって形成されてもよい。

[0024] 半導体基板40の表面は、バイポーラトランジスタ形成領域41と、MOSトランジスタ形成領域42とを有している。本実施例に係る半導体装置の製造方法は、MOSトランジスタの製造工程を利用しつつ、高精度に不純物領域が形成された半導体装置を製造することができる。よって、図3A乃至図3Gにおいては、本実施例に係る半導体装置の製造方法によりnpn型バイポーラトランジスタを製造するとともに、nチャネルMOSトランジスタを同じ半導体基板40上に形成する例を示すこととする。但し、本実施例に係る半導体装置の製造方法は、MOSトランジスタを同時に製造する工程だけでなく、単独でデバイスの製造に用いることができるので、MOSトランジスタの製造は、必ずしも同時に行われる必要は無い。

[0025] 図3Aの(b)に示すように、LOCOS酸化膜形成工程においては、LOCOS法により、半導体基板40の表面に、LOCOS酸化膜70が形成される。LOCOS酸化膜70は、バイポーラトランジスタ形成領域41と、nチャネルMOSトランジスタ42とを素子分離する位置に形成される。また、LOCOS酸化膜70は、イオン打ち込み時のマスクとしても用いられるため、バイポーラトランジスタ形成領域41内においては、高濃度の不純物領域を形成しない位置にも設けられている。なお、バイポーラトランジスタ形成領域41と、MOSトランジスタ形成領域42との間には、素子分離を行うべく、半導体基板40の縦方向(深さ方向)にp型層30が設けられている。

[0026] 図3Aの(a)を参照すれば、半導体基板40の表面の大半がLOCOS酸化膜70で覆われ、LOCOS酸化膜70で覆われていない領域に、半導体基板40のn型層20が露出している。このように、LOCOS酸化膜形成工程においては、LOCOS酸化膜70が半導体基板40の表面に形成され、LOCOS酸化膜70が、素子分離酸化膜又はマスクとして機能する。なお、図3Aの(a)においては、バイポーラトランジスタ形成領域41の表面のみが示されており、図3B乃至図3Gにおいても同様に、(a)の平面図については、バイポーラトランジスタ形成領域41のみを示す。

[0027] また、半導体基板40は、半導体材料であれば、種々の半導体材料からなる基板として構成することができる。例えば、半導体基板40は、シリコン基板として構成されてもよい。また、本実施例に係る半導体装置の製造方法においては、半導体基板40が、n型の導電型である場合を例に挙げて説明することとする。

[0028] 図3Bは、高エネルギーイオン打ち込み工程を示した図である。図3Bにおいて、(a)はバイポーラトランジスタ形成領域41の平面図であり、(b)は半導体基板40の断面図である。

[0029] 図3Bの(b)を参照すれば、半導体基板40の表面(表層)に、膜状のレジスト100が塗布され、イオンが打ち込まれている。高エネルギーイオ

ン打ち込み工程においては、半導体基板 40 の表面（表層）に、不純物であるイオンが高エネルギーで打ち込まれ、ベース領域 50 及び p 型ウェル層 55 が形成される。イオンは、例えば、ボロンが用いられてもよい。この場合、n 型の半導体基板 40 の表面に、p 型不純物領域であるベース領域 50 及び p 型ウェル層 55 が形成されることになる。レジスト 100 は、半導体基板 40 上の p 型不純物領域 50、55 を形成しない部分を覆うように、パターンニングされて選択的に形成される。

[0030] レジスト 100 の形成後は、半導体基板 40 にイオンを高エネルギーで打ち込み、ベース領域 50 及び p 型ウェル層 55 を形成するが、イオンは高エネルギーで打ち込まれるため、LOCOS 酸化膜 70 を透過して、LOCOS 酸化膜 70 の下にもベース領域 50 及び p 型ウェル層 55 が形成される。なお、ここで言う高エネルギーは、半導体基板 40 に打ち込まれたイオンが、LOCOS 酸化膜 70 を透過して LOCOS 酸化膜 70 の下に不純物領域を形成できる程のエネルギーという意味であり、具体的なエネルギー値は、半導体基板 40 やイオンの材質等により変化し得る。

[0031] ベース領域 50 内において、LOCOS 酸化膜 70 で覆われていない、半導体基板 40 の表面が露出した部分は、不純物の濃度が高い高濃度ベース領域 51 となる。また、LOCOS 酸化膜 70 に覆われた LOCOS 酸化膜 70 の下方の部分は、低濃度ベース領域 52 となる。MOS トランジスタ形成領域 42 にも同様に、高濃度 p 型ウェル層 56 及び低濃度 p 型ウェル層 57 が p 型ウェル層 55 内に形成される。

[0032] 図 3 B の（a）に示されるバイポーラトランジスタ形成領域 41 の平面図を参照すれば、枠状にレジスト 100 が形成され、レジスト 100 の開口 101 に、マスクとして機能する LOCOS 酸化膜 70 と、ベース領域 50 が露出している。

[0033] 図 3 C は、熱処理工程を示した図である。図 3 C において、（a）はバイポーラトランジスタ形成領域 41 の平面図であり、（b）は半導体基板 40 の断面図である。

- [0034] 熱処理工程においては、高エネルギーイオン打ち込み工程で用いたレジスト１００が除去された後、半導体基板４０が加熱処理され、ベース領域５０及びｐ型ウェル層５５内の不純物を拡散させ、不純物濃度分布の均一化が図られる。また、熱処理工程において、ベース領域５０及びｐ型ウェル層５５の大きさが、側方及び下方に拡大される。
- [0035] 図３Ｃの（ｂ）を参照すれば、図３Ｂの（ｂ）と比較して、半導体基板４０において、ベース領域５０及びｐ型ウェル層５５が横方向及び下方に拡大している。図３Ｃの（ｂ）に示すように、半導体基板４０が露出した部分は、高濃度ベース領域５１及び高濃度ｐ型ウェル層５６が拡大し、ＬＯＣＯＳ酸化膜７０の下方は、低濃度ベース領域５２及び低濃度ｐ型ウェル層５７が拡大している。
- [0036] 図３Ｃの（ａ）は、バイポーラトランジスタ形成領域４１の平面図を透過的に示している。なお、図面において括弧内の参照符号が、透過的に表された領域を示している。図３Ｃの（ａ）では、参照符号が括弧内に示される低濃度ベース領域５２が、透過的に表された領域である。バイポーラトランジスタ形成領域４１のうち、図３Ｂの（ａ）において、レジスト１００で覆われていた部分には、ＬＯＣＯＳ酸化膜７０及び半導体基板４０の露出部分が示されている。一方、図３Ｂの（ａ）において、レジスト１００の開口１０１に該当した部分については、ＬＯＣＯＳ酸化膜７０が形成されていない部分は、高濃度ベース領域５１となり、ＬＯＣＯＳ酸化膜７０が形成されていた部分は、低濃度ベース領域５２となっている。
- [0037] このように、レジスト１００の有無により、ベース領域５０及びｐ型ウェル層５５の形成領域が制御され、ＬＯＣＯＳ酸化膜７０の有無により、ベース領域５０及びｐ型ウェル層５５内の不純物濃度が制御される。
- [0038] 図３Ｄは、ゲート酸化膜形成工程を示した図である。図３Ｄにおいて、（ａ）はバイポーラトランジスタ形成領域４１の平面図であり、（ｂ）は半導体基板４０の断面図である。
- [0039] ゲート酸化膜形成工程においては、ベース領域５０及びｐ型ウェル層５５

の表面の露出部分に、ゲート酸化膜 80 が形成される。ゲート酸化膜 80 は、MOS トランジスタ製造工程において、ゲート形成領域に形成する薄膜状の酸化膜である。この、薄膜状のゲート酸化膜 80 を、MOS トランジスタ形成領域 42 だけでなく、バイポーラトランジスタ形成領域 41 にも形成する。なお、ゲート酸化膜は、種々の材料で構成されてよいが、例えば、SiO₂ 膜で構成されてもよい。

[0040] また、ゲート酸化膜 80 を形成する領域は、LOCOS 酸化膜 70 の存在しない、半導体基板 40 の表面が露出した部分であるので、n 型層 20 の表面、高濃度ベース領域 51 又は高濃度 P 型ウェル層 56 のいずれかになる。

[0041] 図 3D の (a) は、バイポーラトランジスタ形成領域 41 の透過的な平面図を示しているが、図 3C の (a) と略同様の図となる。図 3D の (a) を参照すれば、バイポーラトランジスタ形成領域 41 のうち、高濃度ベース領域 51 の部分と、半導体基板 40 の n 型層 20 が露出した部分は、表面が薄膜状のゲート酸化膜 80 で覆われるが、透過的に図を描くと、図 3C の (a) と同様の平面構成となる。

[0042] なお、図 3D に示すゲート酸化膜形成工程は、例えば、本実施例の半導体装置の製造方法を MOS トランジスタを同時に形成せずデバイスを単独で製造するのに用いる場合には省略しても良い。

[0043] 図 3E は、ポリシリコン膜形成工程を示した図である。図 3E において、(a) はバイポーラトランジスタ形成領域 41 の平面図であり、(b) は半導体基板 40 の断面図である。

[0044] 図 3E の (b) を参照すれば、バイポーラトランジスタ形成領域 41 において、LOCOS 酸化膜 70 と半導体基板 40 のうちエミッタ領域 60 (図 3F を参照し後述) を形成する部分の表面のゲート酸化膜 80 との境界を覆うように、ポリシリコン膜 90 が形成されている。ポリシリコン膜 90 は、MOS トランジスタ製造工程において、ゲートを形成する際に用いる。よって、MOS トランジスタ形成領域 42 においては、ゲートとしてポリシリコン膜 90 が形成されている。

- [0045] なお、ゲート酸化膜 80 の形成を省略する場合には、上記ポリシリコン膜 90 は、バイポーラトランジスタ形成領域 41 において、LOCOS 酸化膜 70 と半導体基板 40 の表面との境界を覆うように形成されて良い。
- [0046] 一方、バイポーラトランジスタ形成領域 41 においては、ポリシリコン膜 90 は、マスクとして利用されるために形成される。図 2 を参照し説明したように、LOCOS 酸化膜 70 の端部は、先端に接近するにつれて先が細くなって厚さが薄くなる形状であり、加工精度を高精度にすることができない。そこで、本実施例に係る半導体装置の製造方法においては、加工精度の高いポリシリコン膜 90 を用いて、高精度にマスクを形成している。よって、マスクの端部は、LOCOS 酸化膜 70 ではなく、ポリシリコン膜 90 となり、マスク端部の位置を高精度に定めることができる。ポリシリコンは、本来的には、MOS トランジスタのゲートとして用いられる材料であり、MOS トランジスタのゲート長及びゲート幅は高精度に管理されているので、高精度な加工でポリシリコン膜 90 を形成することが、十分に可能となる。
- [0047] このように、マスクの端部を、マスクとしての加工精度に問題がある LOCOS 酸化膜 70 の端部の代わりに加工精度の高いポリシリコン膜 90 を用いて形成することにより、高精度にマスク形状を加工することができる。よって、ポリシリコン膜 90 は、LOCOS 酸化膜 70 と半導体基板 40 のうちエミッタ領域 60 を形成する部分の表面のゲート酸化膜 80 との境界を覆うように、LOCOS 酸化膜 70 の傾斜部分とゲート酸化膜 80 とに跨るように形成する。これにより、LOCOS 酸化膜 70 の厚さが十分ある中央部分はそのまま LOCOS 酸化膜 70 を活かし、加工精度が低下する先端の傾斜部分をポリシリコン膜 90 で覆うようにすれば、最小限のポリシリコン膜 90 の形成で機能的に十分なマスク効果を得ることができる。
- [0048] また、ポリシリコン膜形成工程は、通常の MOS トランジスタの製造プロセスで行われる工程であるから、バイポーラトランジスタを製造するために、MOS トランジスタの製造工程に余分な工程を追加する必要がなく、MOS トランジスタの製造プロセスと同じ工程数で高精度なマスクを形成するこ

とができる。

[0049] 図3Eの(a)は、バイポーラトランジスタ形成領域41の平面図を示している。高濃度ベース領域51の周囲を、ポリシリコン膜90が囲むような平面構成となっている。その他の部分は、図3Dの(a)と同様であるので、説明を省略する。

[0050] 図3Fは、イオン打ち込み工程を示した図である。図3Fにおいて、(a)はバイポーラトランジスタ形成領域41の平面図であり、(b)は半導体基板40の断面図である。

[0051] 図3Fの(b)を参照すれば、図3Eに示す構造体の表面に、レジスト102が選択的に形成されてパターニングされている。また、ベース領域50の高濃度ベース領域51の表面に、不純物領域であるエミッタ領域60が形成されている。同様に、p型ウェル層55の表面には、ドレイン領域62及びソース領域63が形成されている。

イオン打ち込み工程においては、ベース領域50の表面に、イオンの打ち込みが行われ、更に不純物領域(エミッタ領域60)が形成される。また、バイポーラトランジスタ形成領域41において、n型層20のゲート酸化膜80に覆われた部分の表面には、コレクタコンタクト領域61が形成される。なお、ゲート酸化膜80の形成を省略する場合には、コレクタコンタクト領域61は、バイポーラトランジスタ形成領域41において、n型層20の露出した部分の表面に形成されて良い。

[0052] イオン打ち込み工程においては、まず、レジスト102のパターニングが行われ、不純物領域を形成しない部分がレジスト102で覆われる。次いで、レジスト102と、LOCOS酸化膜70と、ポリシリコン膜90とをマスクとして、イオンの打ち込みが行われる。この場合、LOCOS酸化膜70をマスクの一部として用いるので、イオンは、LOCOS酸化膜70を透過しない程度の低エネルギーで打ち込まれる。また、半導体基板40のうち、LOCOS酸化膜70で覆われていない部分は、薄膜状のゲート酸化膜80で覆われているので、ゲート酸化膜80は透過するレベルの低エネルギー

で、イオンは打ち込まれる。打ち込まれるイオンは、例えば、リンが用いられてもよい。これにより、エミッタ領域 60、コレクタコンタクト領域 61、ドレイン領域 62 及びソース領域 63 が、ベース領域 50 及び p 型ウェル層 55 の表面に n 型の導電型で形成されることになる。なお、ドレイン領域 62 とソース領域 63 は、同じ不純物領域であるので、配置が逆であってもよい。

[0053] エミッタ領域 60 の形状及び大きさは、マスクとして機能するポリシリコン膜 90 により高精度に定められ、エミッタ領域 60 を高精度に形成することができる。これにより、ベース領域 50 において、エミッタ領域 60 と低濃度ベース領域 52 の間の、高濃度ベース領域 51 の横幅の大きさを適切に確保することができる。

[0054] 図 3 F の (a) は、バイポーラトランジスタ形成領域 41 の平面図を示しているが、レジスト 102 と、LOCOS 酸化膜 70 と、ポリシリコン膜 90 により形成されるマスクを用いイオンの打ち込みを行うことにより、エミッタ領域 60 が形成されている。

[0055] 図 3 G は、熱処理工程を示した図である。図 3 G において、(a) はバイポーラトランジスタ形成領域 41 の平面図であり、(b) は半導体基板 40 の断面図である。

[0056] 熱処理工程においては、レジスト 102 を除去した後、半導体基板 40 が加熱処理される。これにより、図 3 G の (b) に示すように、半導体基板 40 の表面に形成されたエミッタ領域 60、コレクタコンタクト領域 61、ドレイン領域 62 及びソース領域 63 が側方及び下方に拡大する。

[0057] なお、エミッタ領域 60、コレクタコンタクト領域 61、ドレイン領域 62 及びソース領域 63 は、低エネルギーのイオン打ち込みにより半導体基板 40 の表面に薄く形成され、ベース領域 50 及び p 型ウェル層 55 と比較して、厚さが相当に薄い層である。よって、熱拡散による側方への拡大量は、ベース領域 50 の熱拡散時に比較して相当に小さくなり、エミッタ領域 60 は高濃度ベース領域 51 に大きく食い込まず、エミッタ領域 60 の端部を十

分に制御することができる。

[0058] また、バイポーラトランジスタ形成領域 41 のポリシリコン膜 90 は、LOCOS 酸化膜 70 と同様に、半導体基板 40 上に残されたままとなるが、ゲート酸化膜 80 によりエミッタ領域 60 及びベース領域 50 とは、電氣的に断線されており、電圧が印加される訳ではないので、何らバイポーラトランジスタの動作に悪影響は及ぼさない。また、MOS トランジスタ形成領域 42 においては、ポリシリコン膜 90 は、ゲートとして形成され、機能することになる。

[0059] 図 3 G の (a) は、バイポーラトランジスタ形成領域 41 の平面図を透過的に示している。図 3 G の (a) を参照すれば、ゲート酸化膜 80 で表面を覆われたエミッタ領域 60 が、ポリシリコン膜 90 に周囲が囲まれている。また、LOCOS 酸化膜 70 の下には、低濃度ベース領域 52 が形成されている。なお、高濃度ベース領域 51 が、ポリシリコン膜 90 に覆われず、ゲート酸化膜 80 にのみ覆われた部分は、ベースコンタクト領域である。ここから、ベースへの電流入力を行うことになる。

[0060] このように、本実施例に係る半導体装置の製造方法においては、図 3 A 乃至図 3 G に示した一連の工程を経て、npn 型バイポーラトランジスタを製造することができる。

[0061] 図 4 は、図 3 G の (b) の B の部分を拡大した図である。図 4 において、完成したバイポーラトランジスタのエミッタ領域 60 と、ベース領域 50 の境界部分が示されている。図 4 に示すように、LOCOS 酸化膜 70 の横方向の位置が変動しても、ポリシリコン膜 90 によりマスクが形成されているので、LOCOS 酸化膜 70 の影響を受けず、エミッタ領域 60 を高精度に形成することができる。これにより、エミッタ領域 60 の端部が高濃度ベース領域 51 に食い込むことを回避することができ、高濃度ベース領域 51 の横方向の大きさを十分に確保することができる。

[0062] 図 5 は、本実施例に係る npn 型バイポーラトランジスタの動作例を説明するための図である。図 5 において、npn 型バイポーラトランジスタは、

エミッタ領域 60 に注入された小数キャリアの電子が、縦に移動してベース領域 50 を通過し、コレクタ領域である n 型層 20 に流れ込む動作が好ましい正常な動作である。しかしながら、エミッタ領域 60 を側方から囲んでいる高濃度ベース領域 51 の幅が小さいと、小数キャリアが縦方向ではなく、横方向に流れてしまう。また、高濃度ベース領域 51 と、低濃度ベース領域 52 は、不純物の濃度勾配があるので、高濃度ベース領域 51 に注入された小数キャリアは、効率良く低濃度ベース領域 52 に移送される。つまり、寄生動作をしてしまう。

[0063] 一方、高濃度ベース領域 51 の幅が十分に長ければ、エミッタ領域 60 に注入された小数キャリアが高濃度ベース領域 51 を通過し、更に低濃度ベース領域 52 に移動することを抑制することができ、寄生動作を防止することができる。

[0064] 図 4 に戻る。図 4 に示すように、加工精度の高いポリシリコン膜 90 で、LOCOS 酸化膜 70 と半導体基板 40 の表面の境界を覆い、これをマスクとしてイオン打ち込み工程を行うことにより、エミッタ領域 60 の端部が、ポリシリコン膜 90 及び LOCOS 酸化膜 70 の端部に対向するように形成される。また、加工精度の高いポリシリコン膜 90 のマスクで半導体基板 40 の表面におけるエミッタ領域 60 の面積を規定することにより、エミッタ領域 60 の面積のバラツキを抑えることができる。また、エミッタ領域 60 の端部を設計通りに規定して加工することにより、エミッタ領域 60 を側方から囲んでいる高濃度ベース領域 51 の横方向の長さ（寸法）を大きくし、バイポーラトランジスタを縦方向に動作させることができる。これにより、設計通りの特性を有するバイポーラトランジスタとすることができる。更に、バイポーラトランジスタは、MOS トランジスタと同様の工程を用いて製造することができ、同一の半導体基板 40 上にバイポーラトランジスタと MOS トランジスタを製造する場合にも、効率的に半導体装置を製造することができる。

[0065] なお、本実施例に係る半導体装置の製造方法により製造された半導体装置

は、種々の電子回路に利用することができ、例えば、基準電圧生成回路として構成することができる。そして、半導体装置をパッケージに收容することにより、半導体集積回路装置として構成することができる。これにより、不純物領域が設計通りに形成され、バラツキの無い優れた特性を有する半導体集積回路装置とすることができる。

[0066] また、本実施例においては、半導体装置として、 $n p n$ 型バイポーラトランジスタを製造する例を挙げて説明したが、 $LOCOS$ 酸化膜 70 をマスクとしてイオン打ち込み工程を実行する半導体製造工程であれば、種々の半導体装置の製造工程に適用することができる。また、 MOS トランジスタ形成領域 42 には、 $CMOS$ を製造するようにしてもよい。 $CMOS$ の製造工程も、 MOS トランジスタの製造工程と同様であるので、本実施例を同様に適用することができる。

[0067] 本発明の一側面によれば、加工精度の高いポリシリコン膜をマスクとして利用することができ、簡素な製造工程で高精度に不純物領域を形成することができる。

[0068] 本発明の一側面によれば、一実施例による半導体装置の製造方法を、高エネルギーイオン打ち込みにより形成された不純物領域の表面に、更に別の不純物領域を形成する半導体装置の製造工程にも利用することができ、種々の半導体装置について高精度な不純物領域の形成を行うことができる。

[0069] 本発明の一側面によれば、トランジスタの活性領域を高精度に形成することができ、特性が良好でバラツキの少ないトランジスタを製造することができる。

[0070] 本発明の一側面によれば、特性が良好でバラツキの少ないバイポーラトランジスタを製造することができる。

[0071] 本発明の一側面によれば、 MOS トランジスタを製造するプロセスを利用しつつ、余分な工程を増やすことなく、特性が良好でバラツキの少ない半導体装置を製造することができる。

[0072] 本発明の一側面によれば、特性が良好でバラツキの少ない半導体集積回路

装置を提供することができる。

[0073] 本発明は具体的に開示された実施例に限定されることなく、本発明の範囲を逸脱することなく様々な変形例、改良例がなされるであろう。

[0074] 本願は2009年7月13日に出願した日本国特許出願第2009-165084号に基づきその優先権を主張するものであり、同日本国出願の全内容を参照することにより本願に援用する。

産業上の利用可能性

[0075] 本発明は、バイポーラトランジスタ等を含む半導体装置の製造工程や、かかる半導体装置を用いる半導体集積回路装置に適用することができる。

符号の説明

[0076] 10、110 シリコン基板
 20、120 n型層
 30 p型層
 40、140 半導体基板
 41 バイポーラトランジスタ形成領域
 42 MOSトランジスタ形成領域
 50、150 ベース領域
 51、151 高濃度ベース領域
 52、152 低濃度ベース領域
 60、160 エミッタ領域
 61 コレクタコンタクト領域
 62 ドレイン領域
 63 ソース領域
 70、170 LOCOS酸化膜
 80、180 ゲート酸化膜
 90 ポリシリコン膜
 100、102、200、202 レジスト

請求の範囲

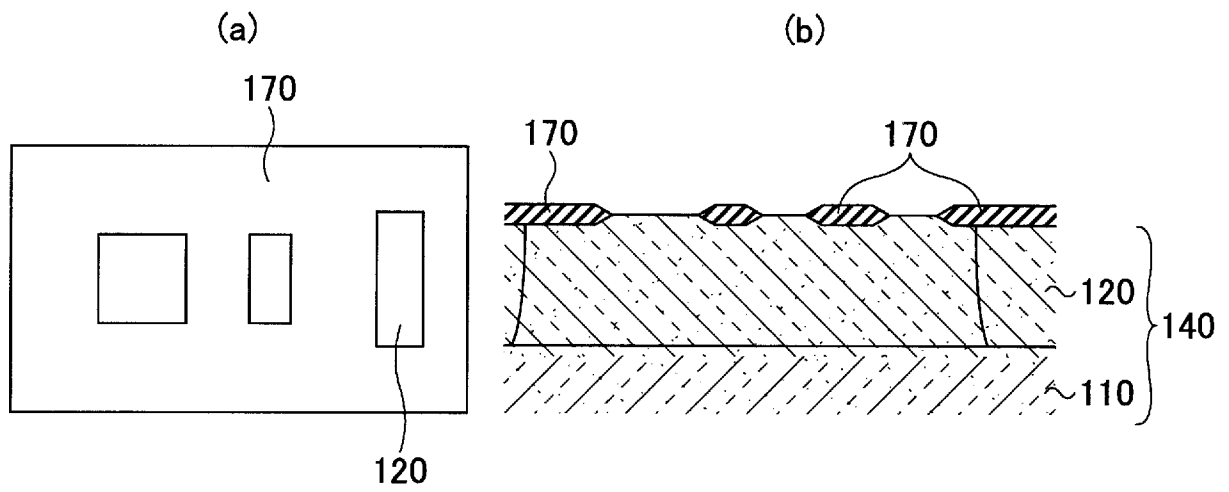
- [請求項1] 半導体基板の表面の所定領域に、ＬＯＣＯＳ酸化膜を形成する工程と、
- 該ＬＯＣＯＳ酸化膜と前記半導体基板の表面の境界を覆うように、ポリシリコン膜を形成する工程と、
- 該ポリシリコン膜をマスクとして、前記半導体基板の表面にイオンの打ち込みを行い、前記半導体基板の表面に、不純物領域を形成する工程と、を含む半導体装置の製造方法。
- [請求項2] 前記ＬＯＣＯＳ酸化膜形成工程と前記ポリシリコン形成工程との間に、イオンが前記ＬＯＣＯＳ酸化膜を透過するエネルギーによりイオン打ち込みを行う工程を含む請求項１に記載の半導体装置の製造方法。
- [請求項3] 前記不純物領域は、トランジスタの活性領域である請求項１に記載の半導体装置の製造方法。
- [請求項4] 前記トランジスタは、バイポーラトランジスタである請求項３に記載の半導体装置の製造方法。
- [請求項5] 前記バイポーラトランジスタは、 $n p n$ 型トランジスタであって、前記活性領域は、エミッタ領域である請求項４に記載の半導体装置の製造方法。
- [請求項6] 前記エミッタ領域の端部は、前記ＬＯＣＯＳ酸化膜の端部と対向している請求項５に記載の半導体装置の製造方法。
- [請求項7] 前記半導体基板の表面の前記所定領域外に、前記ＬＯＣＯＳ酸化膜を形成する工程において、ＭＯＳトランジスタの形成領域を定めるＬＯＣＯＳ酸化膜を更に形成し、
- 前記ポリシリコン膜を形成する工程において、前記ＭＯＳトランジスタのゲートを形成し、
- 前記不純物領域を形成する工程において、前記ＭＯＳトランジスタのドレイン領域及びソース領域を形成し、前記所定領域外にＭＯＳト

ランジスタを同時に形成する請求項 1 に記載の半導体装置の製造方法
。

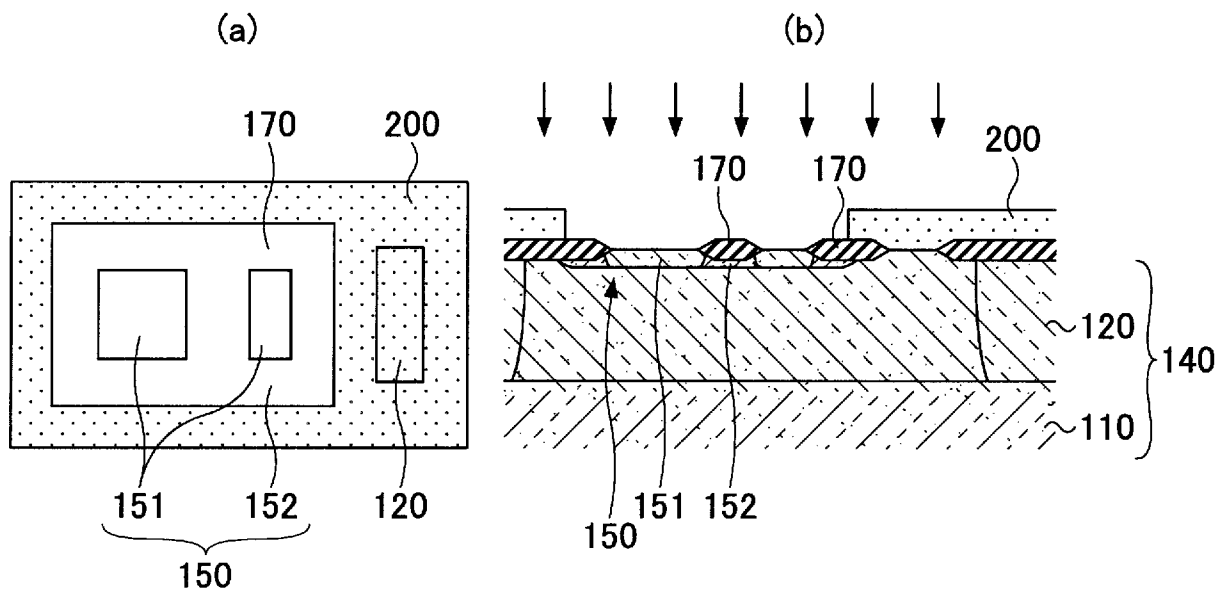
[請求項8] 前記MOSトランジスタは、CMOSである請求項 7 に記載の半導体装置の製造方法。

[請求項9] 請求項 3 に記載のトランジスタを用いて構成した基準電圧生成回路を含む半導体集積回路装置。

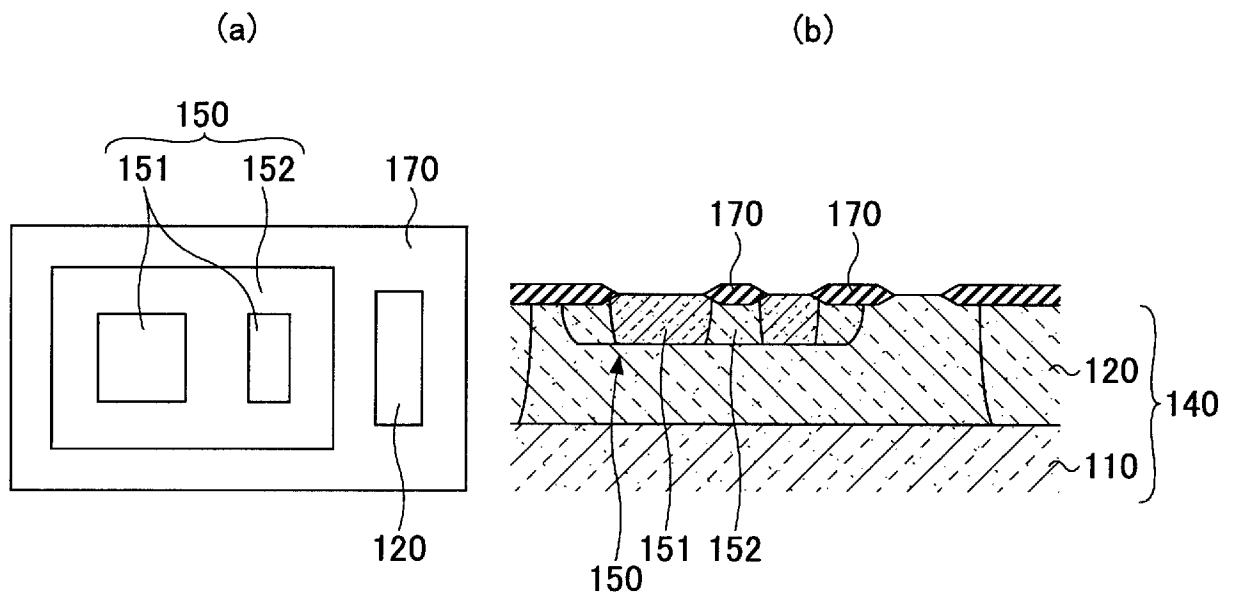
[図1A]



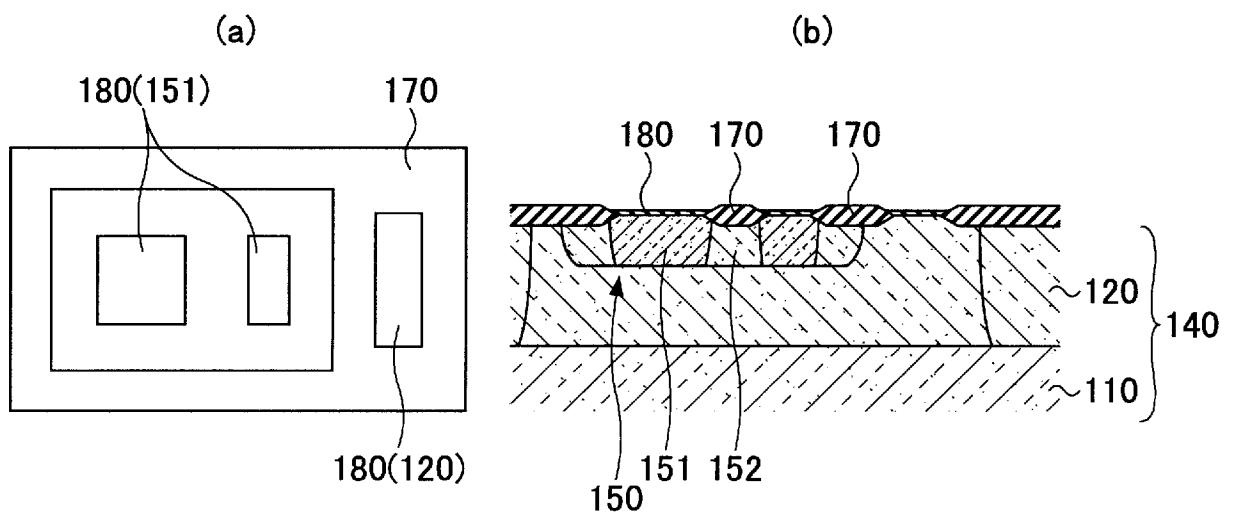
[図1B]

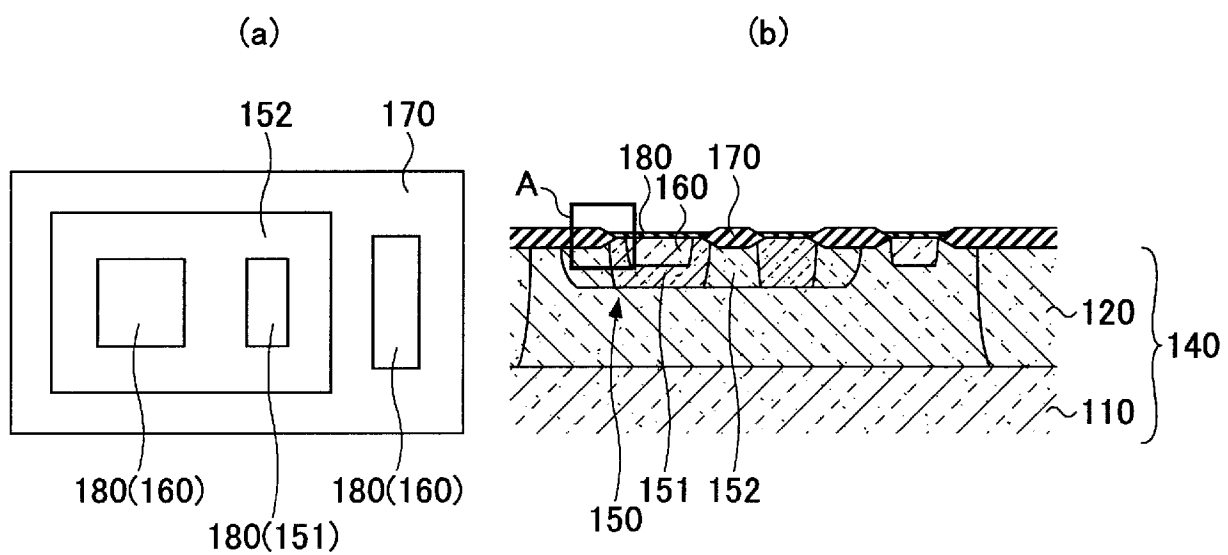
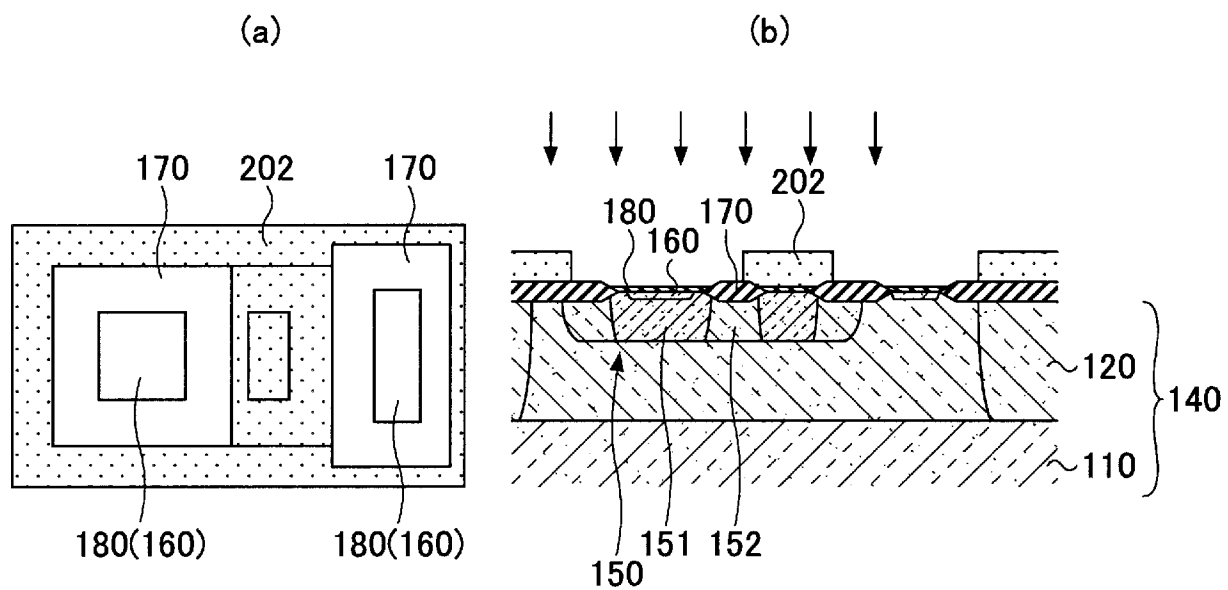


[図1C]

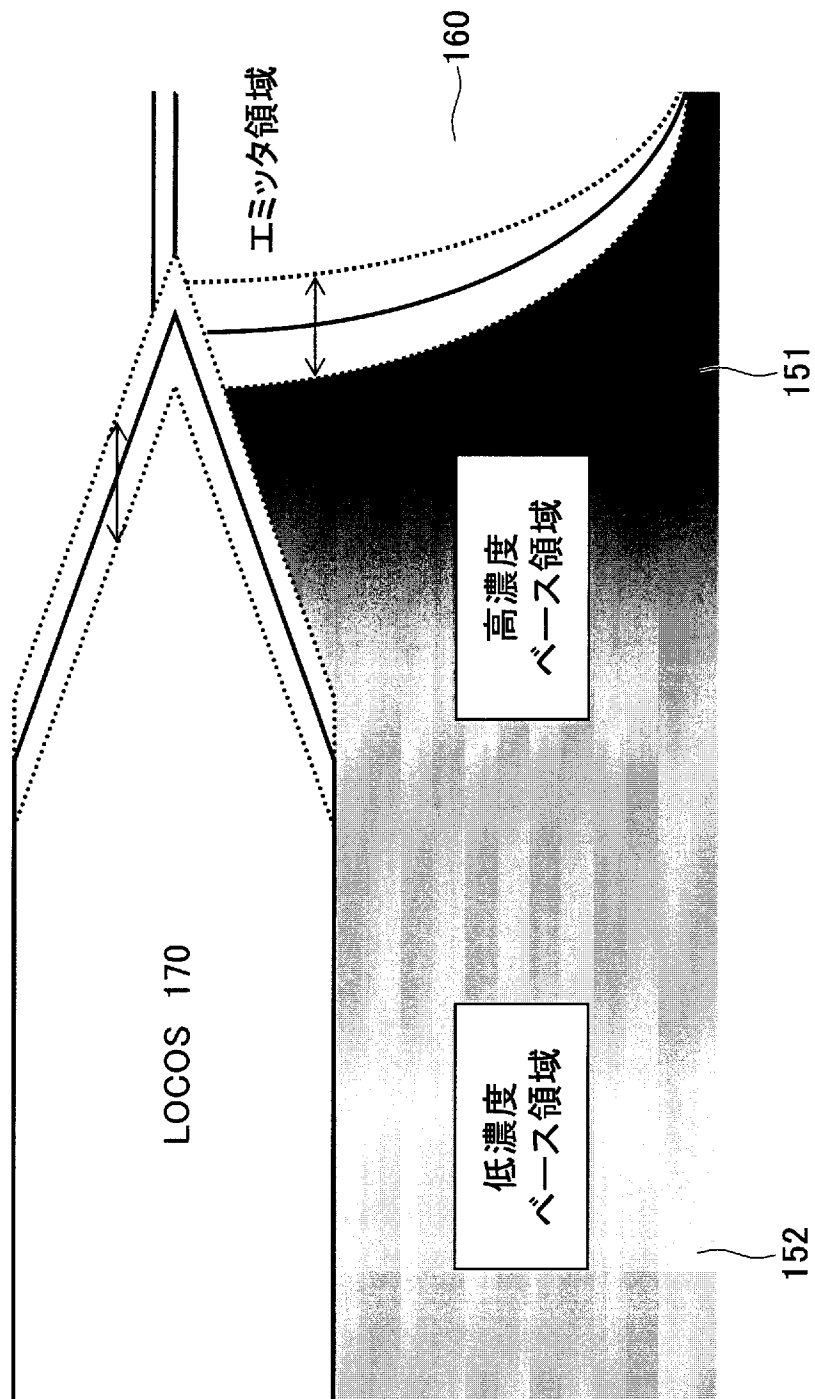


[図1D]

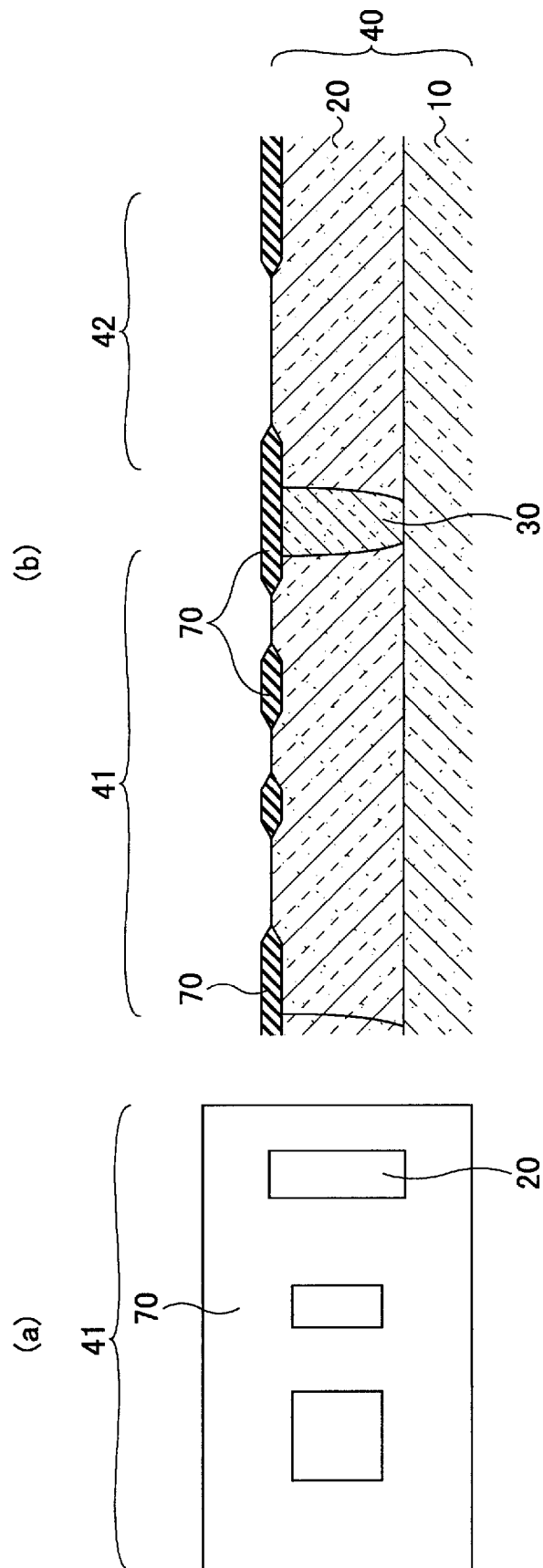




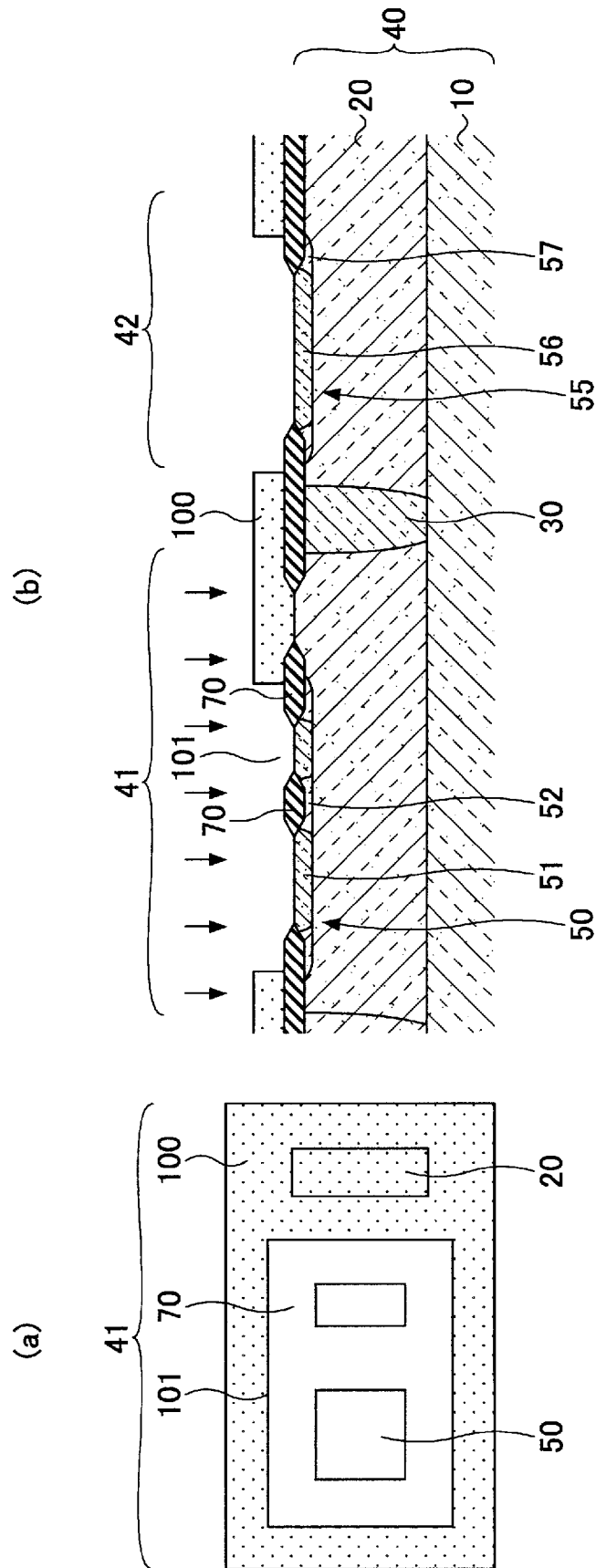
[図2]



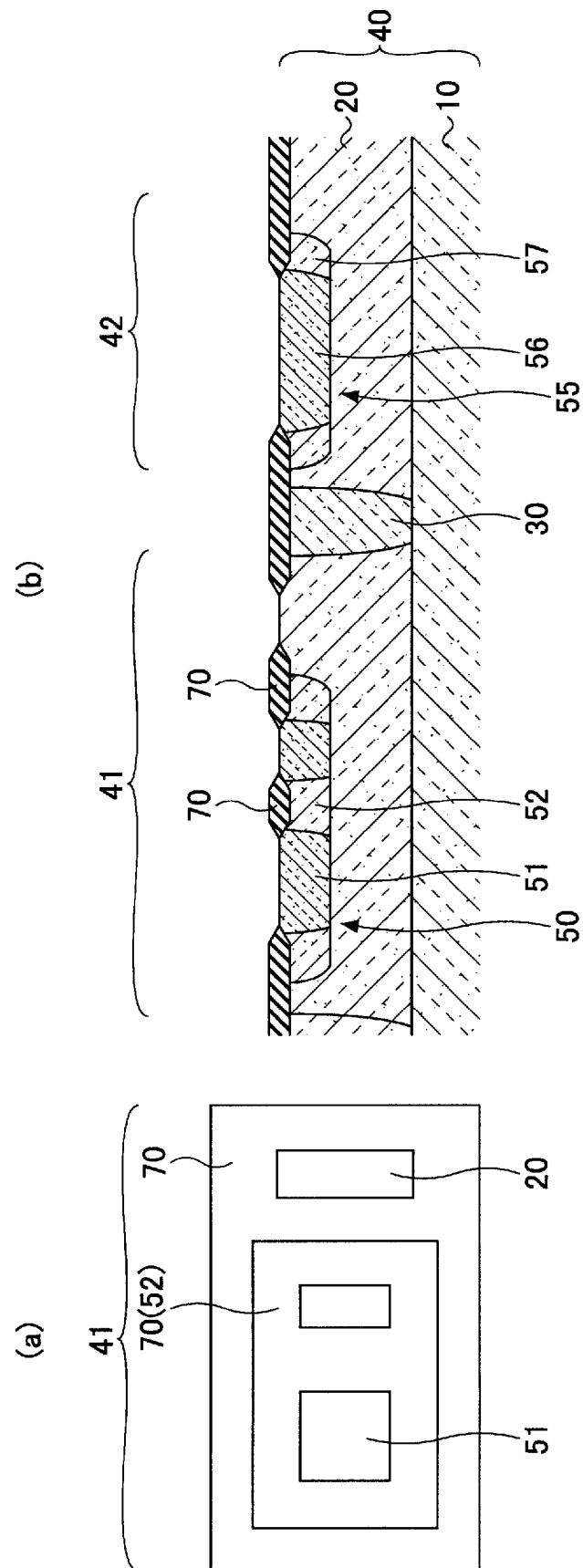
[図3A]



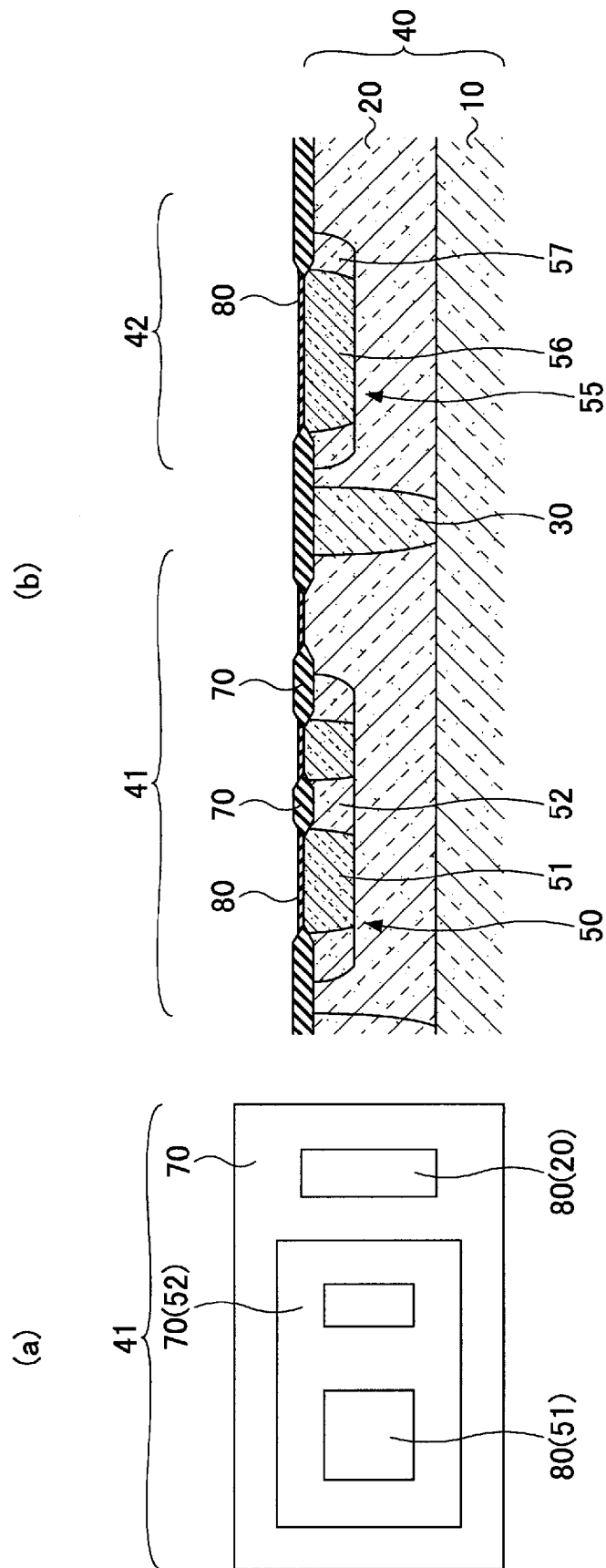
[図3B]



[図3C]



[図3D]



[図3F]

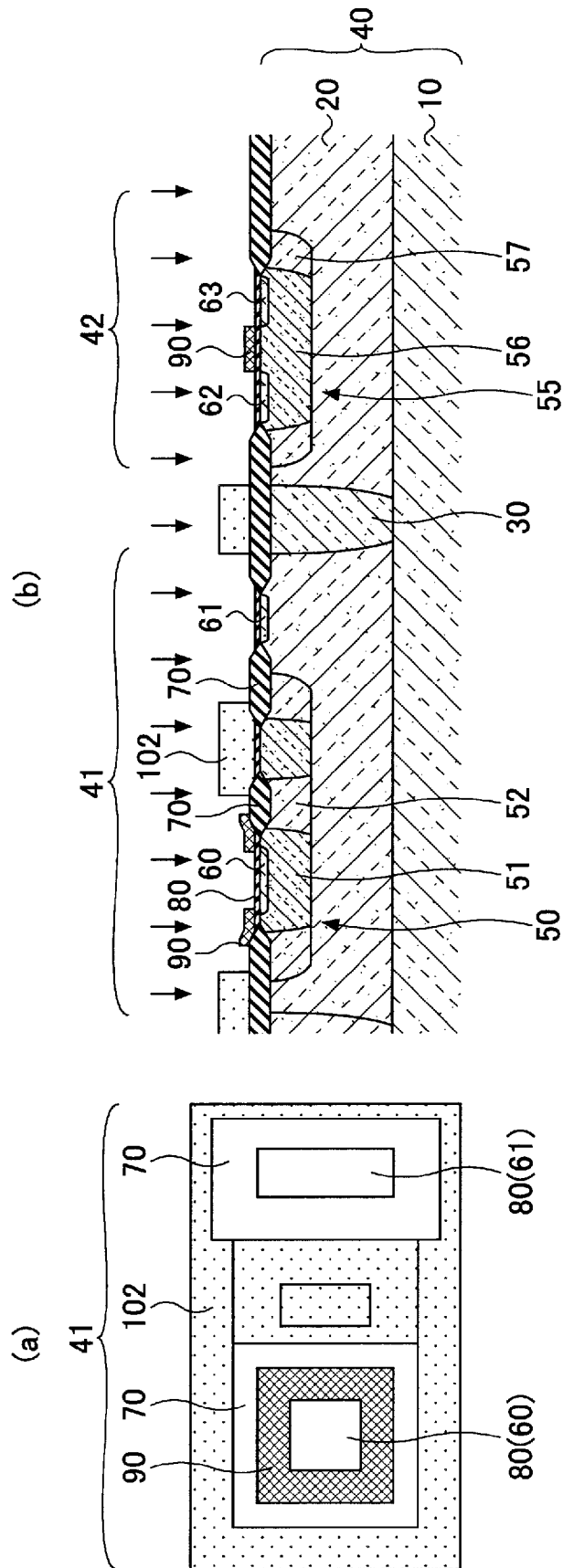
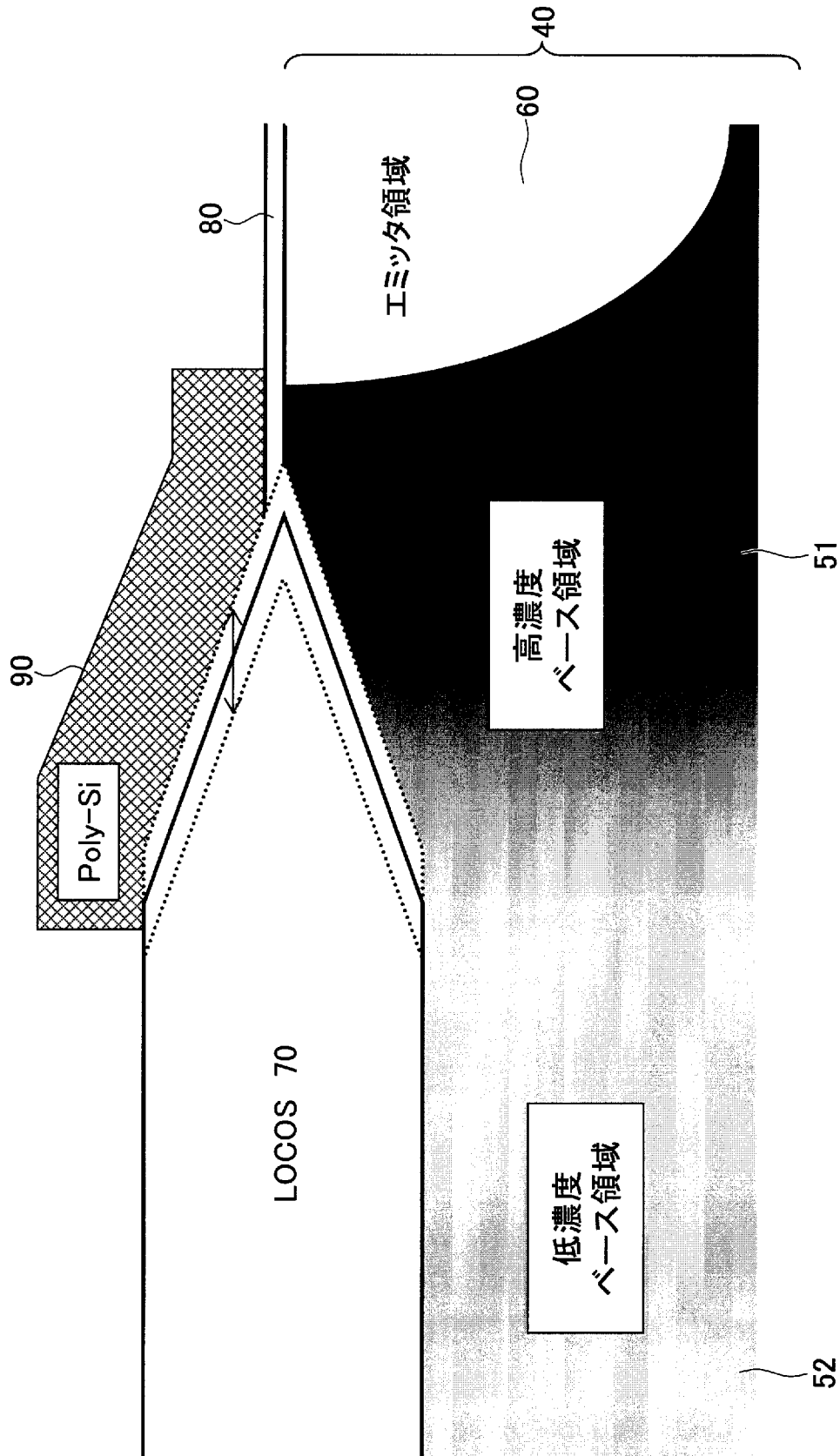


Figure 1 consists of two parts: (a) a plan view and (b) a cross-sectional view of a semiconductor device.

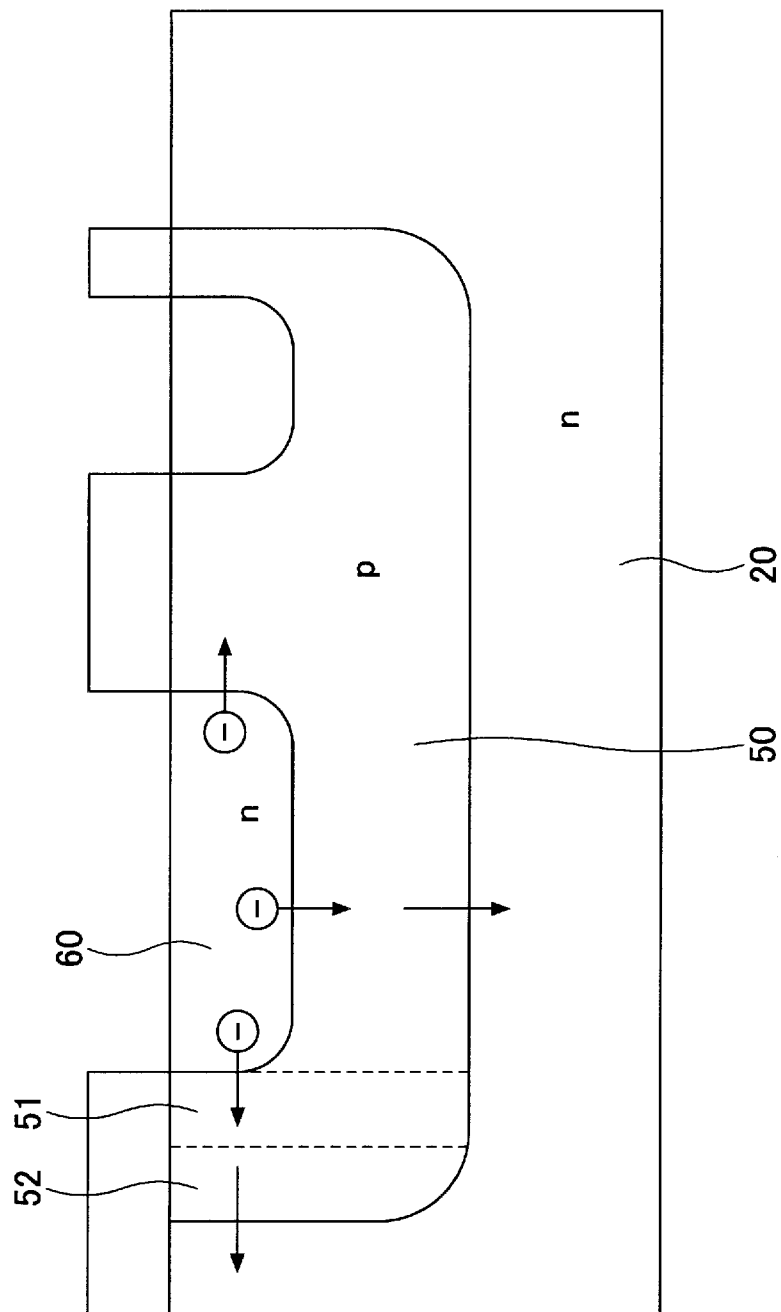
Part (a) is a plan view showing a rectangular substrate 50. On the substrate, there are three rectangular regions: a central region 80(60) with a cross-hatched pattern, and two side regions 80(51) and 80(61). These regions are surrounded by a layer 70(52). The entire structure is labeled 41. The substrate is labeled 50.

Part (b) is a cross-sectional view showing the device structure. The substrate 50 is at the bottom. Above it is a layer 10. On top of layer 10, there are two main regions: a central region 30 and two side regions 20. The central region 30 contains a structure 55 with a central part 56 and a top part 57. The side regions 20 contain a structure 60 with a central part 61 and a top part 62. The entire structure is labeled 40. The substrate is labeled 50. The central region 30 is labeled 30. The side regions 20 are labeled 20. The top part of the central region is labeled 57. The top part of the side regions is labeled 62. The central part of the side regions is labeled 61. The central part of the central region is labeled 56. The top part of the central region is labeled 55. The central region is labeled 30. The side regions are labeled 20. The entire structure is labeled 40. The substrate is labeled 50.

[図4]



[図5]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/061480

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/331(2006.01)i, H01L21/8222(2006.01)i, H01L21/8248(2006.01)i,
H01L21/8249(2006.01)i, H01L27/06(2006.01)i, H01L29/732(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/331, H01L21/8222, H01L21/8248, H01L21/8249, H01L27/06, H01L29/732

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 4-229648 A (Nippon Motorola Ltd.), 19 August 1992 (19.08.1992), paragraphs [0001] to [0014]; fig. 4 to 5 & EP 469840 A3 & EP 469840 A2	1, 3-9 2
Y	JP 2001-144189 A (NEC IC Microcomputer Systems, Ltd.), 25 May 2001 (25.05.2001), paragraphs [0032] to [0042]; fig. 3 to 5 (Family: none)	2
X Y	JP 2003-174100 A (Hitachi, Ltd.), 20 June 2003 (20.06.2003), paragraphs [0038] to [0047], [0052]; fig. 6 to 10 (Family: none)	1-8 9

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
06 October, 2010 (06.10.10)

Date of mailing of the international search report
19 October, 2010 (19.10.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/061480

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2005/062150 A1 (Renesas Technology Corp.), 07 July 2005 (07.07.2005), paragraphs [0008] to [0009]; fig. 1 & US 2007/0164809 A1 & KR 10-2006-0124655 A & CN 1898620 A	9
X Y	JP 2009-088189 A (Sanyo Electric Co., Ltd., Sanyo Semiconductor Co., Ltd.), 23 April 2009 (23.04.2009), paragraphs [0004] to [0011]; fig. 12 to 13 & WO 2009/041741 A1	1, 3 2
X Y	JP 2006-059841 A (NEC Electronics Corp.), 02 March 2006 (02.03.2006), paragraphs [0036] to [0050]; fig. 4 to 6 & US 2006/0038233 A1 & CN 1738059 A	1, 3 2
X Y	JP 2006-222329 A (Elpida Memory, Inc.), 24 August 2006 (24.08.2006), paragraphs [0032] to [0043]; fig. 1B (Family: none)	1, 3 2
X Y	JP 2005-533372 A (Impinj, Inc.), 04 November 2005 (04.11.2005), paragraphs [0041] to [0042]; fig. 30 to 35 & US 2003/0206437 A1 & US 6452835 B1 & US 6144581 A & US 5898613 A & US 5825063 A & US 5875126 A & US 5990512 A & US 5627392 A & US 2005/0099859 A1 & US 2005/0104118 A1 & US 2005/0104119 A1 & US 6125053 A & US 5914894 A & US 5986927 A & US 5627392 A & EP 1522105 A & WO 2004/006340 A1	1, 3 2

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L21/331 (2006.01) i, H01L21/8222 (2006.01) i, H01L21/8248 (2006.01) i, H01L21/8249 (2006.01) i, H01L27/06 (2006.01) i, H01L29/732 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L21/331, H01L21/8222, H01L21/8248, H01L21/8249, H01L27/06, H01L29/732

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 0 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 0 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 0 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 4-229648 A (日本モトローラ株式会社) 1992. 08. 19 段落【0001】 - 【0014】, 図 4-5 & EP 469840 A3 & EP 469840 A2	1, 3-9 2
Y	JP 2001-144189 A (日本電気アイシーマイコンシステム株式会社) 2001. 05. 25 段落【0032】 - 【0042】, 図 3-5 (ファミリーなし)	2

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 6 . 1 0 . 2 0 1 0

国際調査報告の発送日

1 9 . 1 0 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

小森 重樹

4 M

4 1 4 5

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 2

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2003-174100 A (株式会社日立製作所) 2003. 06. 20 段落【0038】 - 【0047】 , 【0052】 , 図 6-10 (ファミリーなし)	1-8 9
Y	WO 2005/062150 A1 (株式会社ルネサステクノロジ) 2005. 07. 07 段落【0008】 - 【0009】 , 図 1 & US 2007/0164809 A1 & KR 10-2006-0124655 A & CN 1898620 A	9
X Y	JP 2009-088189 A (三洋電機株式会社, 三洋半導体株式会社) 2009. 04. 23, 段落【0004】 - 【0011】 , 図 12-13 & WO 2009/041741 A1	1, 3 2
X Y	JP 2006-059841 A (NECエレクトロニクス株式会社) 2006. 03. 02 段落【0036】 - 【0050】 , 図 4-6 & US 2006/0038233 A1 & CN 1738059 A	1, 3 2
X Y	JP 2006-222329 A (エルピーダメモリ株式会社) 2006. 08. 24 段落【0032】 - 【0043】 , 図 1B (ファミリーなし)	1, 3 2
X Y	JP 2005-533372 A (インピンジ インコーポレイテッド) 2005. 11. 04 段落【0041】 - 【0042】 , 図 30-35 & US 2003/0206437 A1 & US 6452835 B1 & US 6144581 A & US 5898613 A & US 5825063 A & US 5875126 A & US 5990512 A & US 5627392 A & US 2005/0099859 A1 & US 2005/0104118 A1 & US 2005/0104119 A1 & US 6125053 A & US 5914894 A & US 5986927 A & US 5627392 A & EP 1522105 A & WO 2004/006340 A1	1, 3 2