

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 888 913**

51 Int. Cl.:

G05B 19/042 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **23.05.2014** **E 14169606 (2)**

97 Fecha y número de publicación de la concesión europea: **18.08.2021** **EP 2843486**

54 Título: **Procedimiento y dispositivo para sincronizar una unidad de control y al menos una unidad periférica asociada**

30 Prioridad:

30.08.2013 DE 102013217381

12.09.2013 DE 102013218305

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
10.01.2022

73 Titular/es:

DR. JOHANNES HEIDENHAIN GMBH (100.0%)

Dr.-Johannes-Heidenhain-Strasse 5

83301 Traunreut, DE

72 Inventor/es:

WASTLHUBER, ROBERT

74 Agente/Representante:

ELZABURU, S.L.P

ES 2 888 913 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Procedimiento y dispositivo para sincronizar una unidad de control y al menos una unidad periférica asociada

La invención se refiere a un procedimiento y a un dispositivo para sincronizar una unidad de control, por un lado, y al menos una unidad periférica asociada que presenta actuadores y/o sensores, por otro lado, que están conectadas entre sí a través de una interfaz en serie e intercambian datos por medio de la misma, según el preámbulo de la reivindicación 1 o 9.

Conforme a ello, la unidad de control envía datos (por medio de una unidad emisora) a la al menos una unidad periférica, que son recibidos en la unidad periférica (por medio de una unidad receptora) y que se procesan para accionar los actuadores o sensores. En este contexto se trata de datos, también en forma de instrucciones, que se escriben en uno o más actuadores para activar determinadas acciones de un actuador respectivo, o que han de dar lugar a la lectura de valores de medición actuales de un sensor. Para la realización de estas etapas de procesamiento puede estar prevista una unidad de procesamiento en el lado de una unidad periférica respectiva.

La unidad de control puede consistir, por ejemplo, en una placa de circuito impreso que presenta un control de procesos (procesador) configurado para una regulación digital; y las unidades periféricas asociadas pueden estar realizadas como otras placas de circuito impreso que incluyen en cada caso sensores (por ejemplo para la medición de corriente) y actuadores (por ejemplo en forma de una electrónica de potencia, en caso dado con moduladores PWM). La unidad de control y la(s) unidad(es) periférica(s) asociada(s) están conectadas entre sí para el intercambio de datos (por ejemplo utilizando una codificación 8b/10b) a través de una interfaz en serie, por ejemplo en forma de una interfaz dúplex. Ésta puede presentar un ancho de banda típico entre 100 Mbit/s y 200 Mbit/s. Por ejemplo, por el documento DE 10 2004 052 175 A1 se conoce una disposición de este tipo.

En este contexto, dichos datos son enviados normalmente en serie con una temporización determinada por la unidad de control a la unidad periférica respectiva, pudiendo esta última generar la temporización mediante una recuperación de la temporización para la lectura/emisión de los datos y en caso dado la operación de la unidad de procesamiento.

Para una regulación de alta precisión de procesos utilizando el dispositivo de regulación configurado en la unidad de control es necesario que la unidad de procesamiento de la unidad periférica respectiva, o en general el procesamiento de datos en el lado de la unidad periférica, esté sincronizada en el tiempo con la unidad de control. Para ello se conoce el procedimiento consistente en transmitir unos, así llamados, símbolos de sincronización desde la unidad de control a una unidad periférica respectiva, y en concreto bien a través de una línea de sincronización adicional entre la unidad de control y una unidad periférica respectiva, bien durante una interrupción de la transmisión de datos entre la unidad de control y una unidad periférica respectiva.

Por ejemplo, el documento EP 1 253 494 A2 propone realizar la comunicación entre una unidad de control y unidades periféricas en ciclos equidistantes que se inician en cada caso con la transmisión de un símbolo de sincronización. Sin embargo, esta solución implica una vinculación con una trama temporal fija, tanto en la sincronización como en la comunicación.

La invención se basa en el problema de simplificar un procedimiento y un dispositivo para la sincronización de una unidad de control y al menos una unidad periférica asociada del tipo mencionado en la introducción, sin que ello influya negativamente en la precisión y la fiabilidad de la sincronización.

En lo que respecta al procedimiento, este problema se resuelve mediante las características indicadas en la reivindicación 1.

Conforme a ello, en un procedimiento de este género también está previsto que en el lado de la unidad de control se añada al menos un símbolo de sincronización a una secuencia de datos que ha de ser enviada por la unidad de control a una unidad periférica asociada, y que la emisión de una segunda secuencia de datos que ha de ser transmitida después de la primera secuencia de datos se retrase en el tiempo, de modo que la unidad de control envíe a la unidad periférica la segunda secuencia de datos a continuación del símbolo de sincronización.

La invención se basa en el conocimiento de que es posible insertar un símbolo de sincronización de forma definida en un flujo de datos desde la unidad de control a una unidad periférica respectiva, sin interrumpir el mismo. Esto se logra en la medida en que el flujo de datos detrás de una primera secuencia de datos, a la que se ha de añadir el símbolo de sincronización, se retrasa (al menos) en una medida correspondiente a la duración de dicho símbolo de sincronización, de modo que una segunda secuencia de datos que originalmente se une directamente a dicha primera secuencia de datos ya no es transmitida desde la unidad de regulación a la unidad periférica directamente después de la primera secuencia de datos, sino más bien (directamente) a continuación del símbolo de sincronización. En concreto, para retrasar la segunda secuencia de datos en el lado de la unidad de control se genera otro flujo de datos retrasado en el tiempo con respecto al primer flujo de datos que ha de ser enviado a la unidad periférica, que constituye una copia del primer flujo de datos, al menos en lo que respecta a otras secuencias de datos que siguen a la primera secuencia de datos. En este contexto, dicho retraso en el tiempo corresponde (al menos) a la duración temporal del símbolo de sincronización y, después de agregar el símbolo de sincronización a la primera secuencia de datos del primer flujo de datos, se envían a la unidad periférica los datos del otro flujo de datos retrasado (en lugar de otros

datos del primer flujo de datos), en concreto de tal modo que como primeros datos del otro flujo de datos se transmite la segunda secuencia de datos (directamente) después del símbolo de sincronización.

En este contexto, el símbolo de sincronización se inserta en el flujo de datos en el lado de la unidad de control en el momento que ha sido elegido o predeterminado como momento de sincronización, en concreto independientemente del estado actual de la comunicación desde la unidad de control a un aparato periférico respectivo. Dado que el procedimiento según la invención no requiere ninguna interrupción de la comunicación, sino más bien únicamente un retraso mínimo en el tiempo del flujo de datos que ha de ser enviado por la unidad de control a una unidad periférica respectiva, la inserción según la invención de un símbolo de sincronización en el flujo de datos también se puede llevar a cabo cuando, para una regulación altamente dinámica, el intercambio de datos entre la unidad de control y una unidad periférica asociada no se puede interrumpir.

El símbolo de sincronización puede consistir en particular en una palabra de datos, como por ejemplo una palabra-k de 8b10b. En caso de una transmisión de datos desde la unidad de control a un aparato periférico respectivo en marcos de datos consecutivos, dicha palabra de datos se puede insertar, por ejemplo, en uno de los marcos de datos (entre una primera y una segunda secuencias de datos originalmente adyacentes). La primera y la segunda secuencias de datos, entre las que se inserta el símbolo de sincronización, también pueden consistir en cada caso en una palabra de datos.

En consecuencia, la solución según la invención posibilita la sincronización de dos módulos electrónicos conectados entre sí a través de una interfaz en serie, sin que para ello sea necesaria una línea de conexión independiente entre los dos módulos o una interrupción de la comunicación en curso (en forma de un intercambio de datos) entre los dos módulos. Más bien, la sincronización de los dos módulos se lleva a cabo independientemente de la comunicación en curso, simplemente insertando (en determinados momentos) un símbolo de sincronización en el flujo de datos.

Un símbolo de sincronización respectivo enviado por la unidad de control a la unidad periférica puede ser utilizado en el lado de una unidad periférica con el fin de generar un impulso de sincronización para la sincronización de la unidad periférica con la unidad de control.

De acuerdo con una forma de realización de la invención, el símbolo de sincronización se sustituye a continuación en el flujo de datos (en el lado de la unidad periférica) por un espacio en blanco o símbolo de pausa, es decir, una sucesión de datos que no provoca ninguna actividad en la unidad periférica.

Según otra forma de realización de la invención, a partir del flujo de datos entrante procedente de la unidad de control, en la unidad periférica se genera un flujo de datos retrasado en el tiempo (en una medida correspondiente a la duración de un símbolo de sincronización), que es utilizado en la unidad periférica para el procesamiento de los datos entrantes hasta que en el flujo de datos aparece un símbolo de sincronización para activar la generación de un impulso de sincronización. A continuación (comenzando con una segunda secuencia que seguía al símbolo de sincronización en el flujo de datos emitido por la unidad de control), en la unidad periférica se procesa ahora el flujo de datos no retrasado (es decir, un flujo de datos adelantado en relación con el primer flujo de datos mencionado) en lugar del flujo de datos retrasado, de modo que en adelante una primera y una segunda secuencias de datos, que después de la inserción del símbolo de sincronización estaban separadas en el tiempo entre sí por este último, se pueden procesar de forma directamente consecutiva.

Según otra forma de realización más, puede estar previsto que el símbolo de sincronización sea tratado en la unidad periférica como un espacio en blanco o símbolo de pausa una vez que, sobre la base del mismo, se haya iniciado la generación de un impulso de sincronización para sincronizar los procesos temporales en la unidad periférica con los procesos temporales en la unidad de control. En este caso no es necesario extraer el símbolo de sincronización del flujo de datos o sustituir el mismo por un espacio en blanco o símbolo de pausa.

En este contexto, la inserción o extracción de un símbolo de sincronización en el o del flujo de datos (en el lado de la unidad de control o en el lado de una unidad periférica), y en caso dado la sustitución del mismo por un espacio en blanco o símbolo de pausa, pueden tener lugar en particular por medio de un multiplexor.

Mediante el retraso de secciones del flujo de datos en el lado de la unidad de control o el adelanto relativo de secciones del flujo de datos en el lado de la unidad periférica después de la llegada y el reconocimiento o procesamiento de un símbolo de sincronización se logra, por un lado, que al insertar el símbolo de sincronización no se pierda ningún dato que haya de ser transmitido y, por otro lado, que al extraer el símbolo de sincronización no se produzca ninguna interrupción en el flujo de datos. En este contexto, para la segunda medida mencionada existen las alternativas/complementos anteriormente indicados, como por ejemplo la inserción de un espacio en blanco o símbolo de pausa en el flujo de datos.

Después de la inserción de un símbolo de sincronización en el flujo de datos, en el lado de la unidad de control en primer lugar se emite (a continuación del símbolo de sincronización y comenzando con la segunda secuencia de datos) una versión del flujo de datos retrasada en el tiempo. Para no seguir retrasando el flujo de datos con cada inserción de un símbolo de sincronización, en un momento adecuado después de la inserción de un símbolo de sincronización y del retraso del flujo que ésta implica tiene lugar un retroceso del flujo de datos, de modo que la unidad de control transmite de nuevo el flujo de datos no retrasado a una unidad periférica respectiva. Durante el retroceso del flujo de

datos, en el lado de la unidad de control se puede extraer un espacio en blanco o símbolo de pausa del flujo de datos. De este modo, la secuencia de datos transmitida en primer lugar inmediatamente detrás de este espacio en blanco o símbolo de pausa sigue directamente a la secuencia de datos transmitida en primer lugar inmediatamente delante del espacio en blanco o símbolo de pausa. Esto corresponde a un modo de proceder posible, anteriormente explicado, al extraer el símbolo de sincronización del flujo de datos en el lado de la unidad periférica.

La extracción de un espacio en blanco o símbolo de pausa del flujo de datos generado en el lado de la unidad de control no implica ninguna pérdida de información, ya que el espacio en blanco o símbolo de pausa de todos modos no provoca ninguna actividad en el lado de una unidad periférica.

Si durante la comunicación entre la unidad de control y una unidad periférica, la unidad de control transmite a la unidad periférica un símbolo de sincronización de forma recurrente en el tiempo, por ejemplo a determinados intervalos temporales predeterminados, esto asegura una sincronización permanente de estos dos módulos también cuando la sincronización original no se ha podido mantener después de la transmisión de un primer símbolo de sincronización, por ejemplo a consecuencia de un fallo intermedio. Por lo tanto, una sincronización recurrente, en particular cíclica, de la unidad de control y una unidad periférica respectiva constituye una medida de seguridad para garantizar una sincronización permanente también en caso de aparición de fallos intermedios.

Si en caso de estar prevista una transmisión recurrente en el tiempo de símbolos de sincronización no se produce ninguna transmisión de espacios en blanco o símbolos de pausa que posibilite el retroceso prescrito de la unidad de control, por ejemplo mediante la extracción o la inserción de un espacio en blanco o símbolo de pausa del o en el flujo de datos, la transmisión de un símbolo de sincronización se puede suprimir en casos individuales.

Un dispositivo para la sincronización de una unidad de control y una unidad periférica asociada, que están conectadas entre sí a través de una interfaz en serie, se caracteriza por los rasgos distintivos indicados en la reivindicación 9. Otras configuraciones ventajosas de este dispositivo se desprenden de las reivindicaciones dependientes de la reivindicación 9.

Otros detalles y ventajas de la invención se evidenciarán con la siguiente descripción de ejemplos de realización por medio de las figuras.

Se muestran:

en la Figura 1 una representación esquemática de una unidad de control y una unidad periférica asociada, que intercambian datos a través de una interfaz en serie;

en la Figura 2A un flujo de datos generado en la unidad de control para su transmisión a una unidad periférica;

en la Figura 2B la inserción de un símbolo de sincronización en el flujo de datos de la Figura 2A;

en la Figura 2C una configuración concreta del modo de proceder según la Figura 2B;

en la Figura 3A el flujo de datos de la Figura 2A, tal como es recibido por una unidad periférica;

en la Figura 3B la extracción de un símbolo de sincronización del flujo de datos según la Figura 2B en el lado de una unidad periférica;

en la Figura 3C una modificación del modo de proceder de la Figura 3B;

en la Figura 4 una configuración posible de una unidad emisora para la unidad de control de la Figura 1;

en la Figura 5A una configuración posible de una unidad receptora para la unidad periférica de la Figura 1;

en la Figura 5B una modificación de la unidad receptora de la Figura 5A;

en la Figura 6 una representación esquemática de una unidad de control en la que están conectadas varias unidades periféricas.

La Figura 1 muestra una unidad 1 de control que está conectada con una unidad periférica 2 a través de una interfaz 3 en serie. La unidad 1 de control puede consistir en un módulo electrónico (por ejemplo previsto sobre una placa de circuito impreso) que incluye al menos un control 10 de procesos (por ejemplo en forma de un procesador) que sirve, entre otras cosas, para la regulación (digital) de procesos en la unidad periférica 2 asociada. La unidad periférica puede estar formada por otro módulo electrónico, por ejemplo previsto sobre una placa de circuito impreso, que por ejemplo incluye actuadores 22, por ejemplo en forma de una electrónica de potencia con moduladores PWM, así como sensores 23, por ejemplo para la medición de corriente.

La interfaz 3 está realizada en el ejemplo de realización como una interfaz dúplex, con canales 31, 32 de datos para la transmisión de datos por un lado desde la unidad 1 de control a la unidad periférica 2 y, por otro lado, desde la unidad periférica 2 a la unidad 1 de control. En este contexto, para el intercambio de datos a través de la interfaz 3 en

serie, en el lado de la unidad 1 de control y en el lado de la unidad periférica 2 está prevista en cada caso una unidad 11 o 21 de transmisión de datos, respectivamente, que incluye a su vez en cada caso una unidad emisora 40 o 50, respectivamente, y una unidad receptora 41 o 51, respectivamente.

La unidad 1 de control puede servir, por ejemplo, para regular la operación de los actuadores 22 por medio del control 10 de procesos y utilizando señales de salida de los sensores 23 en la unidad periférica 2. Para ello, la unidad 1 de control y la unidad periférica 2 intercambian datos a través de la interfaz 3 en serie, en donde la unidad periférica 2 por ejemplo envía a la unidad 1 de control valores reales de las corrientes medidas por los sensores 23, y en donde la unidad 1 de control, evaluando las señales recibidas procedentes de la unidad periférica 2, envía datos a la unidad periférica 2 que garantizan una operación definida de los actuadores 22. Para la escritura de datos en los actuadores 22 o la lectura de datos de los sensores 23 de acuerdo con las instrucciones transmitidas en el flujo de datos desde la unidad 1 de control a la unidad periférica 2, esta última presenta aquí una unidad 20 de procesamiento.

En concreto, la unidad 1 de control con el control 10 de procesos puede servir para controlar un circuito de regulación en la medida en que, por un lado, solicita datos (valores reales) de un sensor, por ejemplo en forma de un aparato de medición de corriente, y, por otro lado, sobre la base de éstos calcula valores de consigna para un actuador, por ejemplo un modulador PWM, y los transmite a una unidad periférica 2 correspondiente.

En este contexto, la unidad 1 de control tiene asociado un temporizador 16 que genera una temporización que se aplica a la transmisión de los datos desde la unidad 1 de control a la unidad periférica 2. La temporización correspondiente se puede recuperar en el lado de la unidad periférica 2 y conducir a un control 24 de ciclos asociado con la unidad periférica 2. De este modo se puede generar una trama temporal definida de la transmisión y el procesamiento de datos. Para ello, la temporización generada por el temporizador 16 y/o una señal 18 de control de un control 14 de ciclos activado con la señal de temporización se conducen en particular al control 10 de procesos de la unidad 1 de control.

Para que pueda tener lugar una regulación definida fiable de los actuadores 22 en la unidad periférica 2 por medio de la unidad 1 de control sobre la base de los valores de medición obtenidos por los sensores 23, está prevista una sincronización temporal del procesamiento de datos en la unidad 1 de control, por un lado, y en la unidad periférica 2, por otro lado. Para ello, la unidad 1 de control envía símbolos de sincronización, por ejemplo de forma recurrente en el tiempo, a la unidad periférica 2. Éstos sincronizan las tramas temporales (definidas por el temporizador 16) en las que se procesan datos en el lado de la unidad periférica 2, por ejemplo para regular o controlar la operación de los actuadores 22 o para dar lugar a la lectura de valores de medición de los sensores 23, con el procesamiento de datos por la unidad 1 de control.

Para activar una sincronización, el control 14 de ciclos asociado con la unidad 1 de control genera un impulso de sincronización que da lugar a la transmisión de un símbolo de sincronización en el flujo de datos desde la unidad 1 de control a la unidad periférica 2 (y que para ello se pasa a la unidad 11 de transmisión de datos). En la unidad periférica 2, a partir del símbolo de sincronización se recupera un impulso de sincronización correspondiente, que se conduce al control 24 de ciclos de la misma.

La unidad periférica 2, controlada por la unidad 1 de control, en particular por su control 10 de procesos, puede funcionar por ejemplo de la siguiente manera: Los datos que llegan a la unidad periférica 2 procedentes de la unidad 1 de control, entre ellos también instrucciones, son transmitidos por su unidad 21 de transmisión de datos a la unidad 20 de procesamiento. A la inversa, la unidad 21 de transmisión de datos recibe datos de respuesta generados en la unidad periférica 2, por ejemplo valores de medición de los sensores 22, que han de ser transmitidos a su vez a la unidad 1 de control. Además, la unidad 21 de transmisión de datos extrae del flujo de datos entrante procedente de la unidad 1 de control la señal de temporización (generada por el temporizador 16) así como los símbolos de sincronización (producidos por el control 14 de ciclos mediante la generación de un impulso de sincronización), a partir de los cuales se obtienen a su vez impulsos de sincronización en la unidad periférica 2. Tanto la señal de temporización como los impulsos de sincronización se ponen a disposición del control 24 de ciclos de la unidad periférica 2.

Por medio de un impulso de sincronización respectivo, el reloj interno de la unidad periférica 2 se sincroniza con el de la unidad 1 de control, de modo que, como resultado de ello, el procesamiento de datos (temporizado mediante la señal de temporización generada en la unidad 1 de control) está sincronizado en el lado de la unidad de control y de la unidad periférica 2.

El control 24 de ciclos de la unidad periférica 2, utilizando la temporización predeterminada por la unidad 1 de control, genera diferentes señales 26, 27, 28 de control, que se transmiten por ejemplo a la unidad 20 de procesamiento así como a los actuadores 22 y sensores 23. De este modo, los procesos en la unidad periférica 2 se pueden escalonar en el tiempo. Por ejemplo, en primer lugar se puede comunicar a un sensor 23 en forma de un medidor de corriente por medio de una señal 28 que ha de poner a disposición un valor de medición; a continuación, la unidad 20 de procesamiento recibe a través de una señal 26 la instrucción de recoger dicho valor de medición y transmitir el mismo a la unidad 21 de transmisión de datos de la unidad periférica 2; etc.

Mediante la sincronización de los procesos temporales en la unidad 1 de control, por un lado, y la unidad periférica 2, por otro lado, la trama temporal en la que se controlan los procesos en la unidad periférica 2 por medio de la unidad 20 de procesamiento coincide con la otra trama utilizada por la unidad 1 de control.

5 Si por medio de una unidad 1 de control se operan varias unidades periféricas 2 conectadas a la misma, tal como está representado en la Figura 6, con el modo de proceder previamente descrito se pueden sincronizar los procesos temporales entre la unidad 1 de control y cada una de las unidades periféricas 2 asociadas.

10 A continuación, por medio de las Figuras 2A a 3C se describirán detalles sobre la transmisión de los símbolos de sincronización desde la unidad 1 de control a la unidad periférica 2, y en concreto sin prever para ello una línea de conexión independiente y sin interrumpir la transmisión de datos en curso desde la unidad 1 de control a la unidad periférica 2.

La Figura 2A muestra el flujo S1 de datos desde la unidad 1 de control a una unidad periférica 2 en operación normal y sin sincronización, en concreto en el ejemplo de la emisión de un marco de datos por parte de la unidad 1 de control.

15 El marco de datos (como parte del flujo S1 de datos) se representa en la Figura 2A mediante cuatro secuencias 100a, 101, 102 y 100b de datos. La primera secuencia 100a de datos identifica el comienzo del marco y la última secuencia 100b de datos el final del marco. Las secuencias 101 y 102 de datos situadas en medio pueden contener en cada caso, por ejemplo, datos útiles que han de ser transmitidos por la unidad 1 de control a la unidad periférica 2, por ejemplo para la operación de los actuadores 22 dispuestos en esta última o para dar lugar a la lectura de datos de los sensores 23 dispuestos en la misma, véase la Figura 1.

20 En este contexto, un marco de datos respectivo puede estar formado en particular por múltiples palabras de datos, a las que pueden pertenecer los símbolos 100a y 100b, que representan el comienzo y el final de un marco, así como otras palabras de datos (secuencias 101, 102 de datos). Además, algunas palabras de datos pueden estar definidas en forma de espacios en blanco o símbolos de pausa, que han de ser transmitidos siempre que no se deba provocar ninguna actividad en la unidad periférica 2.

25 En caso de una codificación 8b/10b usual del flujo de datos que ha de ser enviado por la unidad 1 de control a la unidad periférica 2, por ejemplo puede estar prevista en cada caso, entre otras, una palabra-k de 8b/10b para identificar respectivamente el comienzo de un marco, para identificar el final de un marco, para formar un símbolo de sincronización y para la definición de un espacio en blanco o símbolo de pausa ("coma").

30 El flujo S1 de datos pasa por un multiplexor 15 en el lado de la unidad de control sin experimentar modificaciones y se transmite a la unidad periférica 2 en la forma generada original. Es recibido en ésta de modo correspondiente, tal como está representado en la Figura 3A.

En cambio, la Figura 2B muestra una situación en la que en el lado de la unidad 1 de control, véase la Figura 1, se ha de insertar un símbolo 105 de sincronización en el flujo S1 de datos, es decir, en este caso por ejemplo en el marco de datos anteriormente ilustrado por medio de la Figura 2A. Esto tiene lugar en un multiplexor 15 de la unidad 1 de control.

35 En dicho multiplexor 15, el símbolo 105 de sincronización se añade a una primera secuencia 101 de datos del flujo S1 de datos.

40 En este contexto, el concepto "primera secuencia de datos" designa una secuencia de datos cualquiera del flujo S1 de datos, que se caracteriza únicamente por que la transmisión de un símbolo de sincronización activada por el control 14 de ciclos ha de tener lugar en un momento inmediatamente siguiente a la emisión de la primera secuencia 101 de datos. Por lo tanto, la secuencia de datos correspondiente puede estar situada en principio, en función del momento de su inserción, en cualquier lugar del flujo S1 de datos que ha de ser emitido.

45 En este contexto se ha de asegurar que la segunda secuencia 102 de datos, que originalmente se ha de transmitir dentro del flujo S1 de datos inmediatamente detrás de la primera secuencia 101 de datos, no se pierda por la inserción del símbolo 105 de sincronización, sino que más bien sea emitida directamente detrás de dicho símbolo 105 de sincronización. Para ello, tal como está representado en la Figura 2B, se crea una copia del flujo S1 de datos que ha de ser transmitido, que está retrasada en el tiempo (exactamente) en una medida correspondiente a la duración del símbolo 105 de sincronización con respecto al flujo S1 de datos que ha de ser transmitido originalmente. Esta copia retrasada del flujo de datos original está representada en la Figura 2B en la segunda línea, la línea inferior. Los datos individuales de dicho flujo S2 de datos retrasado son iguales a los del flujo S2 de datos no retrasado; únicamente existe un retraso en el tiempo en una medida correspondiente a la duración del símbolo 105 de sincronización.

55 El flujo S2 de datos retrasado se conduce al multiplexor 15, al igual que el flujo S1 de datos no retrasado. En cuanto el símbolo 105 de sincronización ha sido añadido a la primera secuencia 101 de datos del flujo S1 de datos no retrasado, el multiplexor 15 se conmuta y, en lugar de seguir emitiendo datos de este flujo S1 de datos, ahora emite los datos del flujo S2 de datos retrasado. De este modo, en la salida del multiplexor 15 hay un flujo S3 de datos que incluye el símbolo 105 de sincronización entre la primera secuencia 101 de datos y la segunda secuencia 102 de

datos, en donde los datos emitidos delante del símbolo 105 de sincronización proceden del flujo S1 de datos no retrasado y los datos emitidos detrás del símbolo 105 de sincronización proceden del flujo S2 de datos retrasado.

El modo de proceder anteriormente descrito por medio de la Figura 2B se explica más detalladamente a continuación por medio de procesos de conmutación concretos ejemplares en el multiplexor 15.

5 El estado básico del multiplexor 15 está designado en la Figura 2C con "0". En este estado, el multiplexor 15 emite el flujo S1 de datos no retrasado. Si por medio de un impulso de sincronización del control 14 de ciclos se solicita la transmisión de un símbolo 105 de sincronización, el multiplexor se conmuta al estado "1" en el momento t_1 correspondiente. En este estado, el multiplexor 15 emite el símbolo 105 de sincronización. Después de la emisión del símbolo 105 de sincronización, a partir del momento t_2 correspondiente el multiplexor se conmuta al estado "2", en el que emite el flujo S2 de datos retrasado.

10 Si posteriormente se detecta un espacio en blanco o símbolo de pausa en el flujo de datos no retrasado, el mismo puede ser utilizado para conmutar el multiplexor en el momento t_3 correspondiente de nuevo al estado "0", en el que transmite el flujo de datos no retrasado. La pérdida consiguiente de un espacio en blanco o símbolo de pausa no representa ningún problema, ya que estos símbolos de todos modos no dan lugar a ninguna acción en el lado de la unidad periférica 2.

15 Los procesos de conmutación descritos en la presente memoria pueden ser iniciados por un control de procesos de emisión, tal como se describirá con mayor detalle más abajo en un ejemplo de realización por medio de la Figura 4.

Ahora se ha de extraer de nuevo el símbolo 105 de sincronización del flujo S3 de datos en el lado de la unidad periférica 2, tal como está representado en las Figuras 3B y 3C, después de que se haya detectado el primero y de este modo se haya dado lugar a la generación de un impulso de sincronización, y en concreto sin que por ello se produzca un hueco (interrupción) en el flujo de datos. En la Figura 3B se muestra una primera posibilidad para ello.

Después se introduce en la unidad periférica 2 una copia del flujo S3 de datos entrante retrasada en una medida correspondiente a la duración del símbolo 105 de sincronización, de forma correspondiente al modo de proceder en la unidad 1 de control. Los dos flujos S3, S4 de datos, tanto el flujo de datos entrante procedente de la unidad 1 de control como la copia del mismo retrasada en el tiempo, se conducen a un multiplexor 25 de la unidad periférica 2 conforme a la Figura 3B. Sin embargo, a diferencia de la Figura 2B, según la Figura 3B el multiplexor 25 emite en primer lugar (hasta la aparición de un símbolo de sincronización en el flujo de datos) el flujo S4 de datos retrasado. Con la detección del símbolo 105 de sincronización en el flujo S4 de datos retrasado, el multiplexor 25 se conmuta y en su salida ya no se encuentran los datos del flujo S4 de datos retrasado, sino más bien los datos del flujo S3 de datos no retrasado entrante procedente de la unidad 1 de control (que está adelantado en el tiempo con respecto al flujo S4 de datos retrasado). Correspondientemente, las primeras secuencias 100a, 101 de datos (que han sido transmitidas delante del símbolo 105 de sincronización) del flujo S5 de datos presente en la salida del multiplexor 25 según la Figura 3B, proceden del flujo S4 de datos retrasado, mientras que los otros datos 102, 100b,... situados a continuación de los mismos proceden del flujo S3 de datos no retrasado generado en la unidad 1 de control.

35 Como resultado de ello, la salida del multiplexor 25 consiste en conjunto en un flujo S5 de datos que corresponde exactamente al flujo S1 de datos generado en la unidad 1 de control antes de la inserción del símbolo 105 de sincronización y que ha de ser enviado desde el mismo a la unidad periférica 2.

La Figura 3C muestra una modificación del ejemplo de realización representado en la Figura 3B. Después, en el lado de la unidad periférica 2, por medio del multiplexor 25 se inserta, en lugar del símbolo 105 de sincronización extraído, un espacio en blanco o símbolo 106 de pausa en el flujo S4 de datos recibido. Este último no provoca ninguna actividad en el lado de la unidad periférica 2, de modo que mediante este procedimiento no se modifica el contenido de información del flujo de datos.

En el ejemplo de realización según la Figura 3C solo se conduce al multiplexor 25 de la unidad periférica 2 un flujo de datos (por ejemplo el flujo S4 de datos retrasado) así como un espacio en blanco o símbolo de pausa, y el símbolo 105 de sincronización en el flujo S4 de datos se sustituye por un espacio en blanco o símbolo 106 de pausa con el fin de extraer el símbolo 105 de sincronización del flujo S4 de datos.

Para una configuración concreta posible del multiplexor 25 de la unidad periférica 2 y de los procesos de conmutación relacionados con el mismo, véase la descripción correspondiente del multiplexor 15 de la unidad 2 de control por medio de la Figura 1.

50 Debido al retraso del flujo S1 de datos generado por la unidad 1 de control al insertar un símbolo de sincronización en dicho flujo S1 de datos, el flujo de datos resultante se ha de hacer retroceder de nuevo en el tiempo si no se desea añadir otro retraso en el tiempo de forma aditiva con cada transmisión de un símbolo de sincronización. Un retroceso del flujo de datos se puede lograr fácilmente extrayendo un espacio en blanco o símbolo de pausa del flujo de datos generado en la unidad 1 de control.

55 Esto se puede llevar a cabo en la medida en que, después de la emisión de un símbolo de sincronización por el multiplexor 15, el siguiente espacio en blanco o símbolo de pausa se puede utilizar para el retroceso del flujo de datos.

Si después de la emisión de un símbolo de sincronización por el multiplexor 15 se detecta un espacio en blanco o símbolo de pausa en el flujo de datos conducido al multiplexor 15, el multiplexor 15 se conmuta o se pasa al estado anterior de tal modo que ahora emite de nuevo el flujo de datos no retrasado. En este contexto, el espacio en blanco o símbolo de pausa correspondiente no se transmite, pero esto no representa ninguna pérdida de información, ya que un símbolo de este tipo de todos modos no da lugar a ninguna acción en el lado de la unidad periférica 2 respectiva.

De forma correspondiente al retroceso anteriormente descrito del multiplexor 15 de la unidad 1 de control, el retroceso del multiplexor 25 de una unidad periférica 2 puede tener lugar después de que ésta haya recibido un símbolo de sincronización. En este caso, el multiplexor 25 se conmuta de tal modo que ahora vuelve a transmitir el flujo de datos retrasado en lugar del flujo de datos no retrasado. Esto está en correspondencia con la adición de un espacio en blanco o símbolo de pausa en el flujo de datos correspondiente, lo que de nuevo no representa ninguna modificación del contenido de información, ya que los espacios en blanco o símbolos de pausa no provocan ninguna acción en la unidad periférica 2.

La Figura 4 muestra una construcción posible de una unidad emisora 40 de la unidad 1 de control. En este contexto, por medio de la Figura 4 se muestra claramente en particular también una posibilidad de la integración del multiplexor 15 en la unidad 1 de control.

Según la Figura 4, el multiplexor 15 está asociado a la unidad emisora 40. Delante del multiplexor 15 está conectada una unidad 42 de retraso, por medio de la cual se puede generar un flujo de datos retrasado con respecto al flujo de datos originalmente generado. Para la generación del flujo de datos original se utiliza un convertidor 44, que en el ejemplo de realización puede estar realizado como un convertidor de 8b10b y que obtiene los datos que han de ser emitidos de una memoria intermedia 45, que puede estar realizada por ejemplo como una memoria FIFO.

El multiplexor 15 recibe tanto el flujo de datos generado por el convertidor 44 como un flujo de datos retrasado con respecto a dicho flujo de datos por medio de la unidad 42 de retraso. También se puede conducir al multiplexor 15 un símbolo SYNC de sincronización que, tal como se ha descrito por medio de la Figura 1, se proporciona sobre la base de un impulso de sincronización emitido por un control 14 de ciclos.

Para el control de los procesos en la unidad emisora 40 se utiliza un control 43 de procesos de emisión que controla qué datos son emitidos en cada caso por el multiplexor 15. Para ello se conducen al control 43 de procesos de emisión en particular también los impulsos de sincronización emitidos por el control 14 de ciclos.

En la operación de la unidad 1 de control, el control 10 de procesos central del mismo escribe datos y sobre todo instrucciones en la memoria intermedia 45 de la unidad emisora 40, a partir de los cuales el convertidor 44 genera un flujo de datos. Por regla general, esto tiene lugar de tal modo que los datos/instrucciones obtenidos de la memoria intermedia 45 se insertan en un flujo de datos que, en ausencia de datos/instrucciones, consiste en espacios en blanco o símbolos de pausa.

Si llega un impulso de sincronización al control 43 de procesos de emisión, éste conmuta el multiplexor 15 (después de que se haya emitido por completo el símbolo actual que ha de ser transmitido) de tal modo que se transmite el símbolo de sincronización correspondiente en lugar del flujo de datos original. A continuación tiene lugar una conmutación al flujo de datos retrasado, tal como se ha descrito anteriormente por medio de las Figuras 2B y 2C.

Si el control 43 de procesos de emisión, después de la transmisión de un símbolo de sincronización, detecta un espacio en blanco o símbolo de pausa en el flujo de datos retrasado, conmuta el multiplexor 15 al estado anterior, de modo que éste transmite de nuevo el flujo de datos original, perdiéndose en el flujo de datos únicamente el espacio en blanco o símbolo de pausa.

La Figura 5A muestra una construcción posible de una unidad receptora 51 de la unidad periférica 2 de la Figura 1, que es adecuada para la realización del procedimiento según la Figura 3C. También se puede ver claramente una posibilidad de integración de un multiplexor 25 en la unidad periférica 2. Delante del multiplexor 25 está conectada una unidad 52 de retraso que, a partir del flujo de datos entrante procedente de la unidad emisora 1, genera un flujo de datos retrasado y lo suministra al multiplexor 25. También se pueden conducir al multiplexor 25 espacios en blanco o símbolos de pausa "IDLE" individuales.

Para controlar los procesos en la unidad receptora 51 se utiliza un control 53 de procesos de recepción. Éste puede además extraer la señal de temporización del flujo de datos entrante procedente de la unidad emisora 1. Además, el control de procesos de recepción genera un impulso de sincronización al recibir y detectar un símbolo de sincronización (como componente del flujo de datos transmitido por la unidad emisora 1).

Detrás del multiplexor 25 está conectado un convertidor 54, que descodifica el flujo de datos (que presenta una codificación 8b10b en el ejemplo de realización) y lo emite para su posterior procesamiento en la unidad 20 de procesamiento de la unidad periférica 2, véase la Figura 1. Complementariamente, el convertidor 54 puede tener asociada además una memoria intermedia.

En el ejemplo de realización de la Figura 5A, la unidad 52 de retraso está prevista por que, para la sustitución de un símbolo de sincronización por un espacio en blanco o símbolo de pausa, tal como se ha descrito previamente por

medio de la Figura 3C, primero se ha de detectar la llegada de un símbolo de sincronización antes de poder conmutar el multiplexor 25. Para ello, el flujo de datos entrante procedente de la unidad emisora 1 se conduce directamente al control 53 de procesos de recepción, es decir, sin retraso por medio de la unidad 52 de retraso. En una forma de realización alternativa, según la cual el convertidor 54 simplemente ignora un símbolo de sincronización respectivo, como un espacio en blanco o símbolo de pausa, se podría prescindir de la unidad 52 de retraso y también del multiplexor 25. En este caso, la unidad receptora 51 consistiría esencialmente en el convertidor 54 como componente central y en un control 53 de procesos de recepción.

La Figura 5B muestra otro ejemplo de realización de una unidad receptora 51 para la unidad periférica 2 de la Figura 1, en concreto en una configuración para la realización del procedimiento representado en la Figura 3B.

También en este caso, el multiplexor 25 de la unidad periférica 2 está asociado con la unidad receptora 51; y delante del multiplexor está conectada de nuevo una unidad 52 de retraso.

En el ejemplo de realización de la Figura 5B, el multiplexor 25 recibe el flujo de datos transmitido por la unidad 1 de control, por un lado en forma retrasada a través de la unidad 52 de retraso y, por otro lado, directamente en forma no retrasada. Antes de la transmisión de un símbolo de sincronización, el multiplexor 25 emite el flujo de datos retrasado, tal como se ha descrito por medio de la Figura 3B. Si el control 53 de procesos de recepción detecta un símbolo de sincronización en el flujo de datos no retrasado entrante, conmuta el multiplexor 25 de tal modo que a partir de ese momento éste transmite el flujo de datos no retrasado. Al mismo tiempo, el control 53 de procesos de recepción genera un impulso de sincronización.

Para continuar el procesamiento del flujo de datos emitido por el multiplexor 25, detrás de éste puede estar conectado de nuevo un convertidor 54.

Si el control 53 de procesos de recepción, después de la emisión de un símbolo de sincronización por parte del multiplexor 25, detecta un espacio en blanco o símbolo de pausa en el flujo de datos entrante, conmuta el multiplexor 25 de modo que éste transmite de nuevo el flujo de datos retrasado. Esto hace que el espacio en blanco o símbolo de pausa correspondiente sea transmitido una segunda vez, sin modificación del contenido de información en el flujo de datos.

REIVINDICACIONES

1. Procedimiento para sincronizar una unidad (1) de control y al menos una unidad periférica (2) que presenta actuadores y/o sensores, unidades que intercambian datos entre sí a través de una interfaz (3) en serie, en donde la unidad (1) de control envía datos a la al menos una unidad periférica (2), que son procesados en la unidad periférica (2) para la operación de los actuadores (22) y/o sensores (23), y en donde la unidad (1) de control transmite un símbolo (105) de sincronización a la unidad periférica (2) para la sincronización,
 5 caracterizado por que
 el símbolo (105) de sincronización se añade en el lado de la unidad (1) de control a una primera secuencia (101) de datos de un flujo de datos que ha de ser enviado por la unidad (1) de control a la unidad periférica (2), y por que en el
 10 lado de la unidad (1) de control se retrasa en el tiempo una segunda secuencia (102) de datos del flujo de datos que ha de ser emitida detrás de la primera secuencia (101) de datos, de modo que la unidad (1) de control envía a la unidad periférica (2) la segunda secuencia (102) de datos a continuación del símbolo (105) de sincronización, y por que para retrasar la segunda secuencia (102) de datos en el lado de la unidad (1) de control se genera otro flujo de datos retrasado en el tiempo con respecto al primer flujo de datos que ha de ser enviado a la unidad periférica (2), que
 15 constituye una copia del primer flujo de datos, al menos en lo que respecta a otras secuencias (102, 100b) de datos que siguen a la primera secuencia (101) de datos, en donde el retraso en el tiempo del otro flujo de datos corresponde a la duración del símbolo (105) de sincronización, y en donde, después de agregar el símbolo (105) de sincronización a la primera secuencia (101) de datos del primer flujo de datos, se envían a la unidad periférica (2) los datos del otro flujo de datos retrasado comenzando con la segunda secuencia (102) de datos, en lugar de los datos del primer flujo
 20 de datos.
2. Procedimiento según la reivindicación 1, caracterizado por que, antes de la inserción del símbolo (105) de sincronización en el flujo de datos, la primera y la segunda secuencias (101, 102) de datos son directamente consecutivas.
3. Procedimiento según una de las reivindicaciones precedentes, caracterizado por que el símbolo (105) de
 25 sincronización se extrae del flujo de datos en el lado de la unidad periférica (2) después de que se haya generado un impulso de sincronización sobre la base del símbolo (105) de sincronización para sincronizar los procesos temporales de la unidad periférica (2) con los de la unidad (1) de control.
4. Procedimiento según la reivindicación 3, caracterizado por que, en el lado de la unidad periférica (2), en lugar del símbolo (105) de sincronización se inserta otro símbolo, en particular un símbolo (106) de pausa, en el flujo de datos.
5. Procedimiento según la reivindicación 3, caracterizado por que, en el lado de la unidad periférica (2), la segunda
 30 secuencia (102) de datos que sigue al símbolo (105) de sincronización se adelanta en el tiempo en relación con la primera secuencia (101) de datos transmitida inmediatamente delante del símbolo (105) de sincronización, de modo que la segunda secuencia (102) de datos sigue inmediatamente a la primera secuencia (101) de datos transmitida delante del símbolo (105) de sincronización extraído.
6. Procedimiento según la reivindicación 5, caracterizado por que en la unidad periférica (2) se genera otro flujo de
 35 datos retrasado en el tiempo con respecto al flujo de datos transmitido desde la unidad (1) de control a la unidad periférica (2), que constituye una copia del flujo de datos mencionado en primer lugar, al menos en lo que respecta a las secuencias (100a, 101) de datos transmitidas delante del símbolo (105) de sincronización, en donde el retraso en el tiempo del otro flujo de datos corresponde a la duración del símbolo (105) de sincronización, y en donde antes de la detección del símbolo (105) de sincronización en la unidad periférica (2) se utiliza el otro flujo de datos retrasado en el tiempo y después de la detección del símbolo (105) de sincronización, comenzando con la segunda secuencia (102) de datos, se utiliza el flujo de datos mencionado en primer lugar para el procesamiento en la unidad periférica (2).
7. Procedimiento según una de las reivindicaciones 1 a 6, caracterizado por que se lleva a cabo un retroceso del
 40 flujo de datos retrasado transmitido por la unidad (1) de control después de la inserción del símbolo (105) de sincronización, en la medida en que se transmite de nuevo el primer flujo de datos a la unidad periférica (2).
8. Procedimiento según una de las reivindicaciones 1 a 7, caracterizado por que, en el flujo de datos transmitido por la unidad (1) de control después de la inserción del símbolo (105) de sincronización, para compensar el retraso se extrae un símbolo (108) de pausa después de la emisión del símbolo (105) de sincronización.
9. Dispositivo para sincronizar una unidad (1) de control y al menos una unidad periférica (2) que presenta
 50 actuadores y/o sensores, que están conectadas entre sí a través de una interfaz (3) en serie, en donde el dispositivo presenta la unidad (1) de control y la unidad periférica (2), en donde la unidad periférica (2) presenta una unidad (20) de procesamiento mediante la cual se pueden procesar los datos transmitidos por la unidad (1) de control a la unidad periférica (2) para la operación de los actuadores (22) y/o sensores (23), y en donde la unidad (1) de control, para la sincronización con la unidad periférica (2), presenta un control (14) de ciclos desde el que se puede dar lugar a la
 55 transmisión de al menos un símbolo (105) de sincronización desde la unidad (1) de control a la unidad periférica (2),
 caracterizado por que

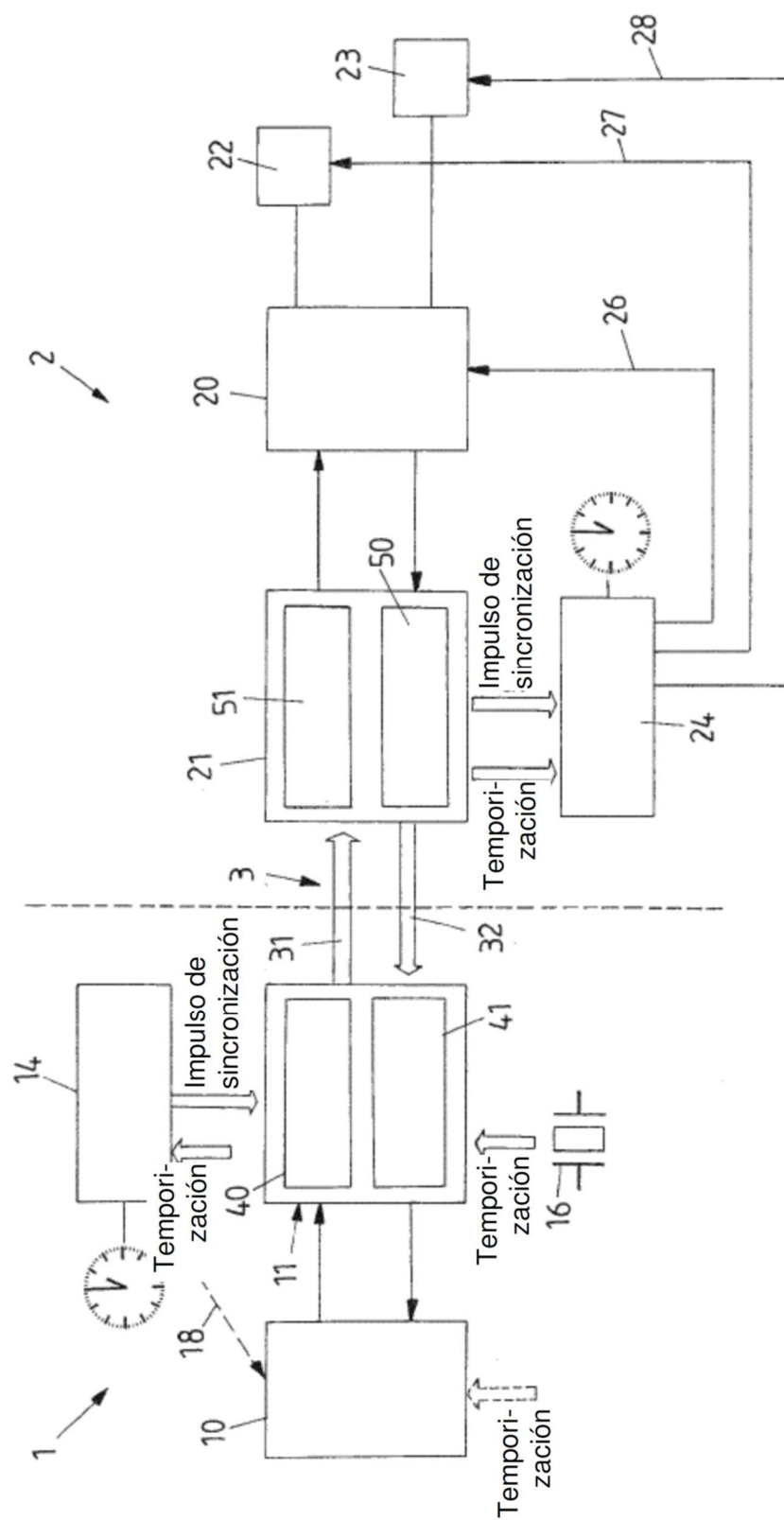
en el lado de la unidad (1) de control está prevista una unidad emisora (40) con cuya cooperación se puede agregar el símbolo (105) de sincronización a una primera secuencia (101) de datos de un flujo de datos que ha de ser enviado por la unidad (1) de control a la unidad periférica (2) y se puede retrasar en el tiempo la emisión de una segunda secuencia (102) de datos del flujo de datos que ha de ser emitido, que debe ser transmitida detrás de la primera secuencia (101) de datos, de modo que la segunda secuencia (102) de datos puede ser enviada por la unidad (1) de control a la unidad periférica (2) a continuación del símbolo (105) de sincronización, y por que la unidad emisora (40) tiene asociada una unidad (42) de retraso para generar un flujo de datos retrasado con respecto al primer flujo de datos con el fin de poder transmitir la segunda secuencia (102) de datos con un retraso en el tiempo, y por que la unidad emisora (40) tiene asociado un multiplexor (15) para la conmutación entre el primer flujo de datos y el flujo de datos retrasado.

10. Dispositivo según la reivindicación 9, caracterizado por que el multiplexor (15) está configurado y previsto además para insertar el símbolo (105) de sincronización en el flujo de datos que ha de ser emitido.

11. Dispositivo según una de las reivindicaciones 9 a 10, caracterizado por que la unidad periférica (2) presenta una unidad receptora (51) para recibir datos transmitidos por la unidad emisora (1), y por que la unidad receptora (51) tiene asociada una unidad (52) de retraso para generar un flujo de datos retrasado con respecto al flujo de datos entrante procedente de la unidad emisora (1), con el fin de poder extraer de nuevo el símbolo de sincronización del flujo de datos.

12. Dispositivo según una de las reivindicaciones 9 a 11, configurado y previsto para la realización del procedimiento según una de las reivindicaciones 2 a 5 o 7 u 8.

FIG1



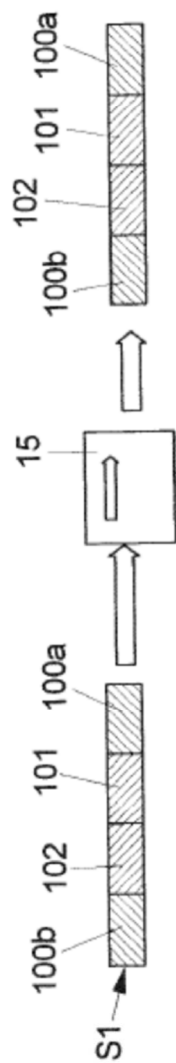
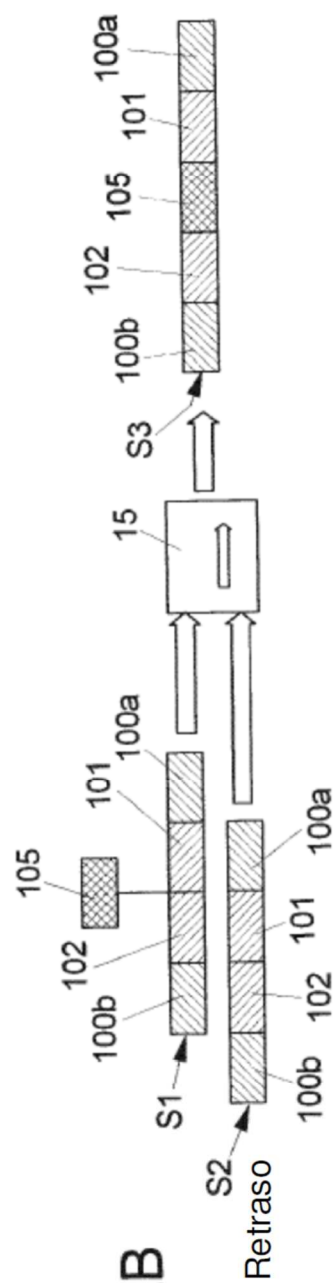
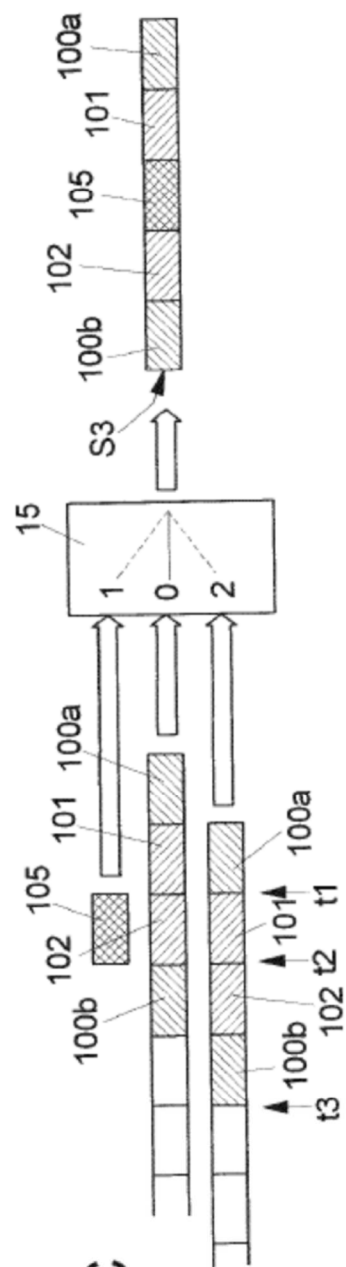


FIG 3A

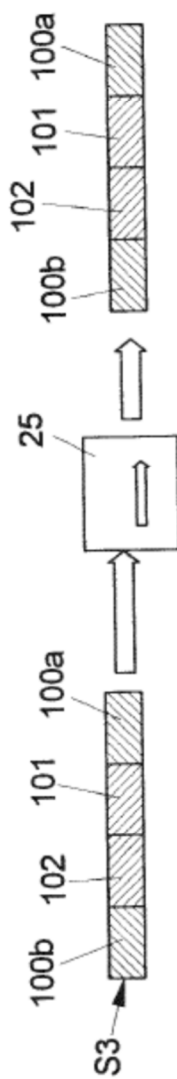


FIG 3B

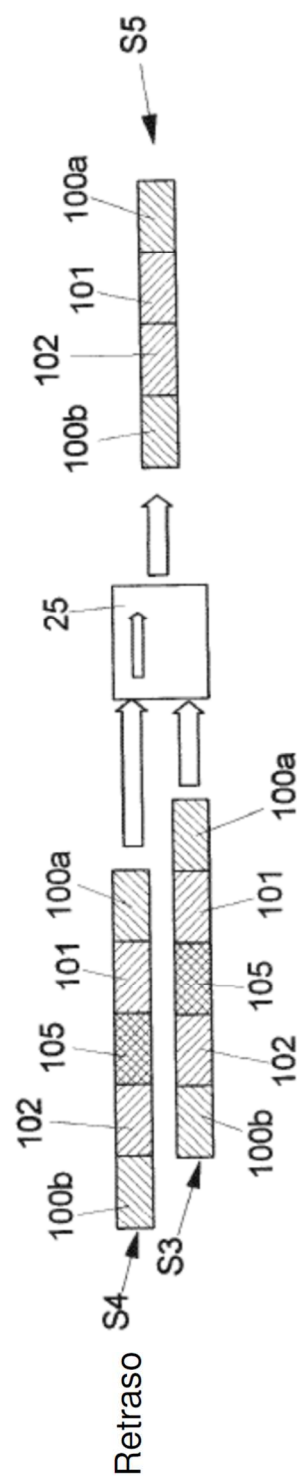
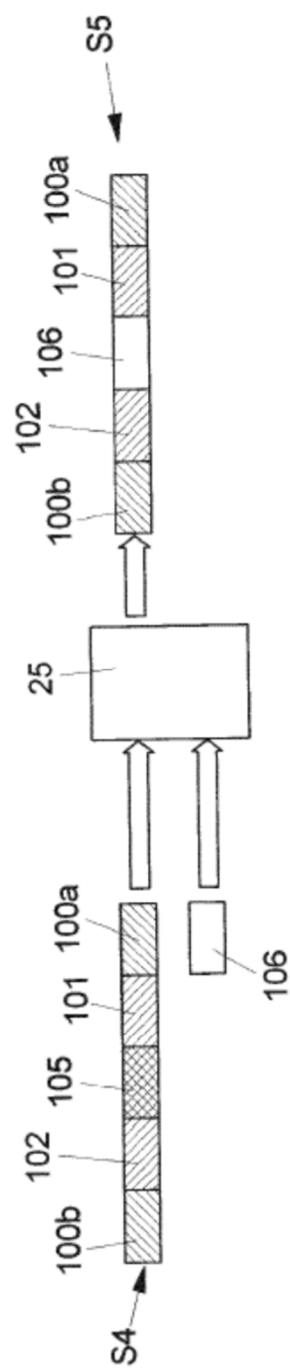


FIG 3C



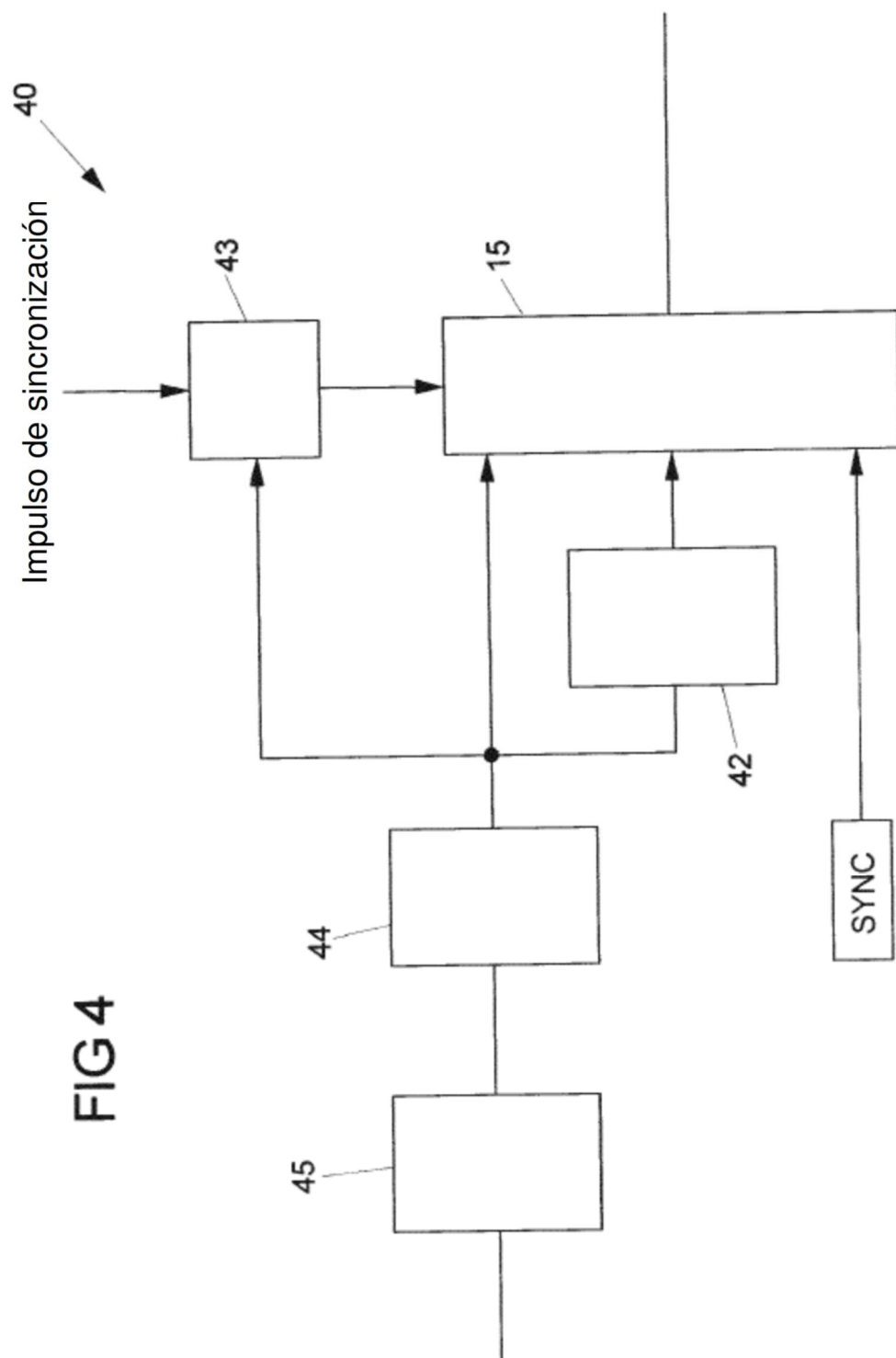


FIG 4

FIG 5A

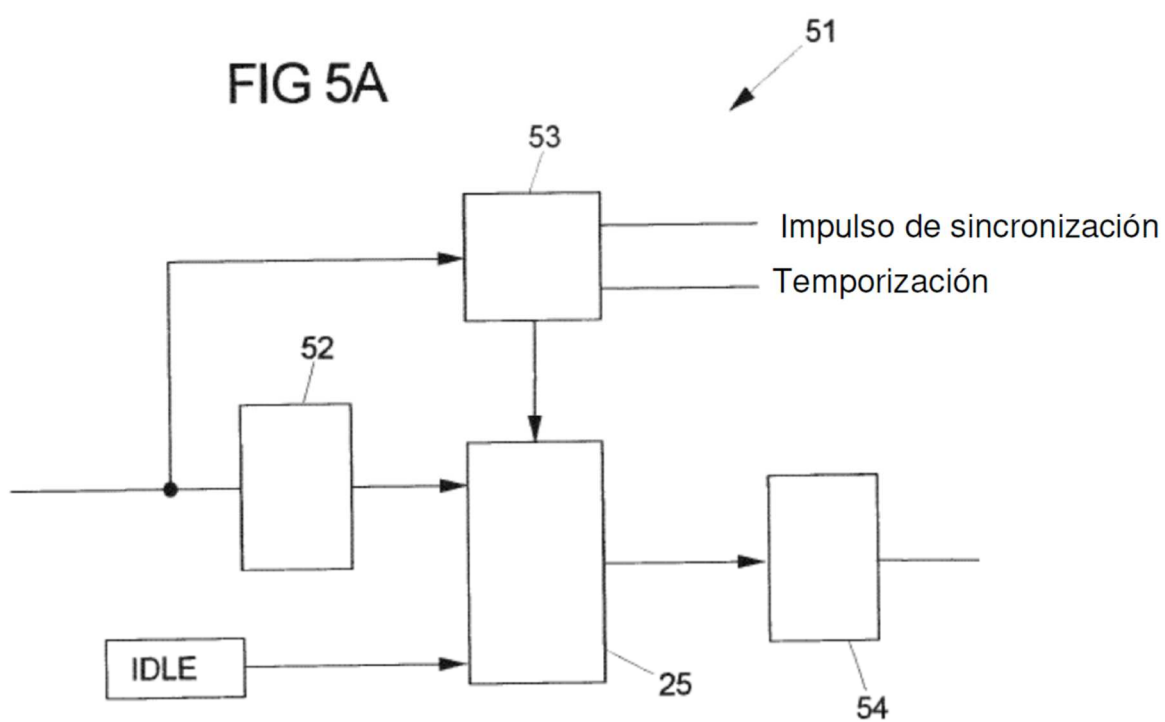


FIG 5B

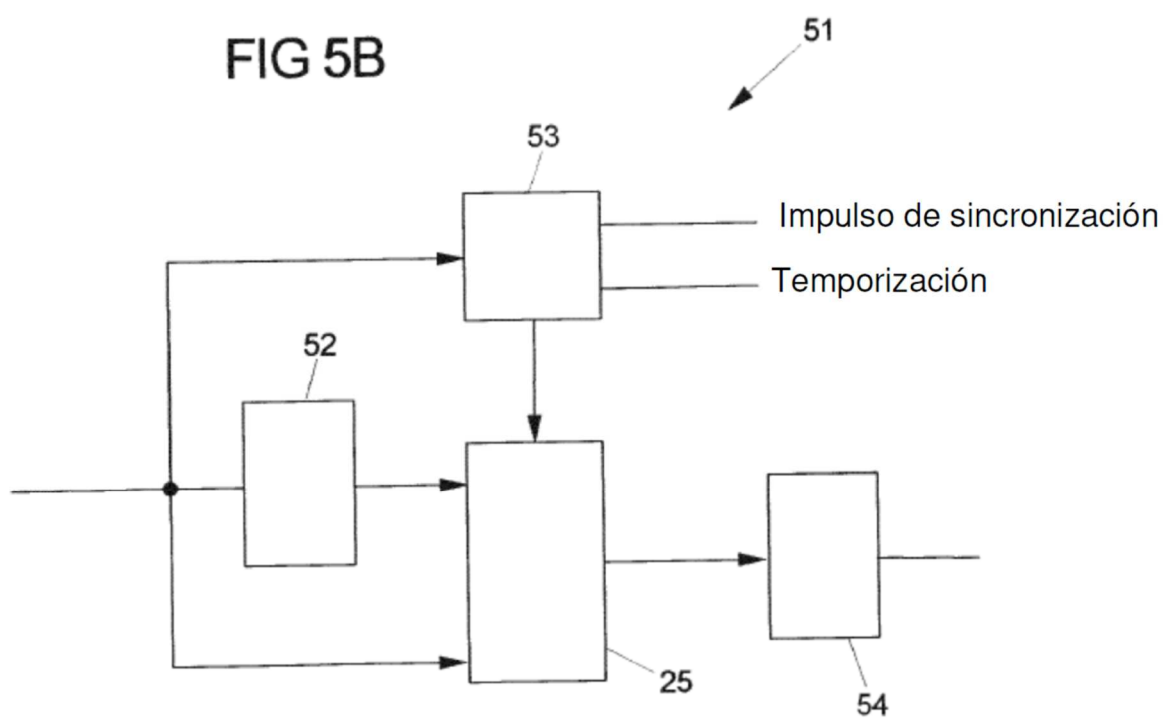


FIG 6

