(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2014 년 9 월 12 일 (12.09.2014)

WIPO | PCT

(10) 국제공개번호
WO 2014/137202 A1

(51) 국제특허분류:
*G06F 11/10* (2006.01)

(21) 국제출원번호: PCT/KR2014/001926

(22) 국제출원일: 2014 년 3 월 10 일 (10.03.2014)

(25) 출원언어: 한국어

(26) 공개언어: 한국어

(30) 우선권정보:
10-2013-0025034 2013 년 3 월 8 일 (08.03.2013) KR

(71) 출원인: **고려대학교 산학협력단 (KOREA UNIVERSITY RESEARCH AND BUSINESS FOUNDATION)** [KR/KR]; 136-701 서울시 성북구 안암로 145 (안암동), Seoul (KR).

(72) 발명자: **박종선 (PARK, Jong Sun)**; 137-040 서울시 서초구 신반포로 9, 85 동 403 호 (반포동, 반포주공아파트), Seoul (KR). **박장원 (PARK, Jang Won)**; 130-824 서울시 동대문구 무학로 197, 608 호 (용두동), Seoul (KR).

(74) 대리인: **특허법인 엠에이피에스 (MAPS INTELLECTUAL PROPERTY LAW FIRM)**; 137-810 서울시 서초구 사평대로 343, 4 층(반포동, 제일약품빌딩), Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

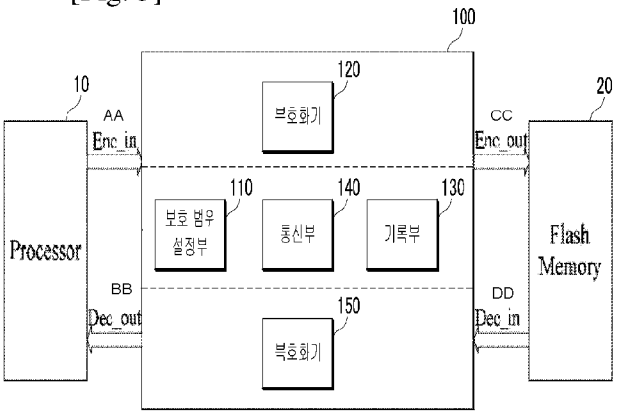
(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[다음 쪽 계속]

(54) **Title**: ERROR CORRECTION PROCESSING CIRCUIT IN MEMORY AND ERROR CORRECTION PROCESSING METHOD

(54) **발명의 명칭** : 메모리에서의 에러 정정 처리 회로 및 에러 정정 처리 방법

[Fig. 3]




10 ... Processor
20 ... Flash memory
110 ... Protection range setting unit
120 ... Encoder
130 ... Recording unit
140 ... Communication unit
150 ... Decoder
AA ... Enc_in
BB ... Dec_out
CC ... Ence_out
DD ... Den_in

(57) **Abstract**: An error correction processing circuit in a memory and an error correction processing method are disclosed. In particular, an error correction processing method, according to one embodiment of the present invention, comprises the steps for: setting a protection range of unit data to be recorded in a memory according to an operation voltage of the memory; performing error correction encoding on protection data corresponding to the protection range of the unit data; and matching the unit data with parity data generated according to the error correction encoding and recording the parity data-matched unit data in the memory.

(57) **요약서**: 본 발명은, 메모리에서의 에러 정정 처리 회로 및 에러 정정 처리 방법에 대해 개시한다. 특히, 본 발명의 일 실시예에 따른 에러 정정 처리 방법은 메모리의 동작 전압에 따라 상기 메모리에 기록할 단위 데이터 중 보호 범위를 설정하는 단계; 상기 단위 데이터 중 상기 보호 범위에 대응하는 보호 데이터에 대하여 에러 정정 인코딩을 수행하는 단계; 및 상기 단위 데이터를 상기 에러 정정 인코딩에 따라 생성된 패리티 데이터와 매칭하여 상기 메모리에 기록하는 단계를 포함한다.

WO 2014/137202 A1

**공개**:

— 국제조사보고서와 함께 (조약 제 21 조(3))

# 명세서

# 발명의 명칭: 메모리에서의 에러 정정 처리 회로 및 에러 정정 처리 방법

## 기술분야

[1] 본 발명은 에러 정정 처리 회로 및 에러 정정 처리 방법에 관한 것이고, 보다 구체적으로 메모리에 발생하는 에러를 정정 및 처리하는 회로 및 메모리에 발생하는 에러를 정정 및 처리하는 방법에 관한 것이다.

## 배경기술

[2] 에러 정정 부호(Error Correction Code; ECC)는, 수신기가 전송되는 문자가 무엇인가를 추론할 수 있도록 전송되는 데이터 블록에 충분한 여분의 정보(Redundancy)를 포함시키는 부호화(채널부호화) 방식을 말한다. 에러 정정 부호는 디지털 통신에서 중요한 위치를 차지하고, 데이터 저장 및 전송을 위한 하드웨어 내에도 적용되고 있다.

[3] 도 1은 메모리에 발생하는 에러 및 이러한 에러를 정정 및 처리하는 에러 정정 처리 회로에 대한 개념을 설명하기 위한 도면이다.

[4] 도 1처럼 입력 데이터는 채널 내 메모리 셀에 기록되기 위해 기록 회로를 거치고, 출력 데이터는 독출 회로를 거쳐 메모리 셀로부터 독출된다. 이때, 기록 회로, 독출 회로 및 메모리 셀을 포함하는 메모리에서 에러가 발생할 수 있다. 이렇게 발생된 에러를 정정하기 위해 에러 정정 부호가 적용된 회로가 연결될 수 있다.

[5] 한국공개특허 제2009-0091179호(발명의 명칭: 작은 데이터 구조의 ECC 보호 장치, 방법 및 시스템)는 상이한 크기의 데이터 구조에 대한 에러 정정 동작을 지원하는 에러 정정 부호 엔진에 대해 개시하고 있다.

[6] 한편, 최근 저전력 하드웨어에 대한 연구가 활발하게 이루어지고 있다. 이때, 하드웨어의 동작 전압을 낮추는 방법이 가장 효과적일 수 있다.

[7] 다만, 메모리의 경우 동작 전압이 낮아질수록 에러가 발생할 확률이 도 2처럼 증가한다는 문제점이 있다. 도 2는 메모리의 동작 전압에 따라 달라지는 에러 확률을 나타내는 그래프이다. 즉, 하드웨어의 동작 전압을 감소시키면 전력 소비를 감소시킬 수 있지만, 메모리 부근에 에러 발생 확률이 증가하여 전체적인 출력 품질이 떨어진다는 문제점이 있다.

## 발명의 상세한 설명

## 기술적 과제

[8] 본 발명은 전술한 종래 기술의 문제점을 해결하기 위한 것으로서, 본 발명의 일부 실시예는 메모리에 기록할 데이터 중 중요도가 높은 데이터에 대하여 발생된 에러를 우선적으로 정정할 수 있는 에러 정정 처리 회로 및 에러 정정 처리 방법을 제공하는 데에 그 목적이 있다.

[9] 또한, 본 발명의 일부 실시예는 디코딩을 수행하는 복호화기의 일부 구성을 턴-오프시켜 전체적인 전력소비를 저감시킬 수 있는 에러 정정 처리 회로 및 에러 정정 처리 방법을 제공하는 데에 다른 목적이 있다.

[10] 다만, 본 실시예가 이루고자 하는 기술적 과제는 상기된 바와 같은 기술적 과제로 한정되지 않으며, 또 다른 기술적 과제들이 존재할 수 있다.

## 과제 해결 수단

[11] 상술한 기술적 과제를 달성하기 위한 기술적 수단으로서, 본 발명의 일 실시예에 따른 메모리에서의 에러 정정 처리 방법은, 상기 메모리의 동작 전압에 따라 상기 메모리에 기록할 단위 데이터 중 보호 범위를 설정하는 단계; 상기 단위 데이터 중 상기 보호 범위에 대응하는 보호 데이터에 대하여 에러 정정 인코딩을 수행하는 단계; 및 상기 단위 데이터를 상기 에러 정정 인코딩에 따라 생성된 패리티 데이터와 매칭하여 상기 메모리에 기록하는 단계를 포함한다.

[12] 또한, 본 발명의 다른 실시예에 따른 메모리에서의 에러 정정 처리 회로는, 상기 메모리의 동작 전압에 따라 상기 메모리에 기록할 단위 데이터 중 보호 범위를 설정하는 보호 범위 설정부; 상기 단위 데이터 중 상기 보호 범위에 대응하는 보호 데이터에 대하여 에러 정정 인코딩을 수행하는 부호화기; 및 상기 단위 데이터를 상기 에러 정정 인코딩에 따라 생성된 패리티 데이터와 매칭하여 상기 메모리에 기록하는 기록부를 포함한다.

## 발명의 효과

[13] 전술한 본 발명의 과제 해결 수단 중 어느 하나인 에러 정정 처리 회로 및 에러 정정 처리 방법은 단위 데이터 중 보호 범위에 대응하는 보호 데이터에 대하여 에러 정정 인코딩을 수행함으로써, 전력 소모 및 계산 결과 오차를 최소화시킬 수 있다는 장점이 있다.

[14] 또한, 전술한 본 발명의 에러를 명확하게 정정할 수 있다. 또한, 에러 정정 디코딩을 수행함에 있어서, 과제 해결 수단 중 어느 하나인 에러 정정 처리 회로 및 에러 정정 처리 방법은 독출된 패리티 데이터 및 보호 범위에 대한 정보를 기초로 에러 정정 인코딩이 수행된 보호 데이터에 대하여 에러 정정 디코딩을 수행함으로써, 보호 데이터에 발생된 불필요한 구성에 대하여 턴-오프 처리하여 전체적인 전력 소비를 감소시킬 수 있다.

## 도면의 간단한 설명

[15] 도 1은 메모리에 발생하는 에러 및 이러한 에러를 정정 및 처리하는 에러 정정 처리 회로에 대한 개념을 설명하기 위한 도면,

[16] 도 2는 메모리의 동작 전압에 따라 달라지는 에러 확률을 나타내는 그래프,

[17] 도 3은 본 발명의 일 실시예에 따른 에러 정정 처리 회로의 구조를 전체적으로 도시한 블록도,

[18] 도 4는 단위 데이터, 보호 데이터 및 비보호 데이터에 대하여 설명하기 위한 도면,

[19] 도 5는 도 3에 도시된 구성 중 부호화기의 동작을 설명하기 위한 도면,

[20] 도 6은 도 5의 부호화기에 의한 인코딩 과정을 구체적으로 설명하기 위한 도면,

[21] 도 7은 도 3에 도시된 구성 중 복호화기의 세부 구조를 설명하기 위한 도면,

[22] 도 8은 도 7에 도시된 구성 중 신드롬 생성기의 세부 구조를 설명하기 위한 도면,

[23] 도 9는 도 7에 도시된 구성 중 에러 검출기의 세부 구조를 설명하기 위한 도면,

[24] 도 10은 본 발명의 일 실시예에 따른 에러 정정 처리 방법을 설명하기 위한 순서도,

[25] 도 11은 메모리의 동작 전압이 1000mV인 경우와 700mV인 경우 메모리에 발생된 에러를 정정 및 처리하는 과정을 각각 설명하기 위한 도면,

[26] 도 12는 도 8 및 도 9와 같은 제어를 통해 얻을 수 있는 효과를 보여주는 그래프,

[27] 도 13은 H.264 회로 및 FFT 처리 회로 상에서 도 3에 도시된 에러 정정 처리 회로가 실제로 적용될 수 있는 위치를 설명하기 위한 도면,

[28] 도 14는 H.264 회로에 에러 정정 처리 회로 및 그 방법을 적용시킨 경우 성능 변화를 나타내기 위한 그래프,

[29] 도 15는 FFT 처리 회로에 에러 정정 처리 회로 및 그 방법을 적용시킨 경우 성능 변화를 나타내기 위한 그래프이다.

## 발명의 실시를 위한 형태

[30] 아래에서는 첨부한 도면을 참조하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본 발명의 실시예를 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.

[31] 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.

[32] 도 3은 본 발명의 일 실시예에 따른 에러 정정 처리 회로의 구조를 전체적으로 도시한 블록도이다.

[33] 에러 정정 처리 회로(100)는 메모리에 발생하는 에러를 정정 및 처리하는 회로로서, 보호 범위 설정부(110), 부호화기(120), 기록부(130), 통신부(140) 및 복호화기(150)를 포함한다.

[34] 에러 정정 처리 회로(100)는 프로세서(10)와 메모리(20) 사이에 배치되어 인코딩된 데이터, 디코딩된 데이터를 포함하는 데이터를 처리하고, 전달할 수 있다. 다만, 도 3에 도시된 에러 정정 처리 회로(100)는 구현될 수 있는 한가지 예시 형태일 뿐이므로, 이에 한정되는 것은 아니고, 각 구성 혹은 각 구성의 동작을 수행하는 별개의 회로가 분리된 상태로 구현되어 서로 연결될 수도 있다.

[35] 구체적으로 에러 정정 처리 회로(100)에 포함된 각 구성에 대해 설명하기에 앞서서, 도 4를 참고하여 본 명세서에서 사용되는 용어에 대해 설명하기로 한다. 도 4는 단위 데이터, 보호 데이터 및 비보호 데이터에 대하여 설명하기 위한 도면이다.

[36] 메모리(20)에 기록할 데이터는 본 명세서에서 단위 데이터라 지칭되고, 프로세서(10)에서 메모리(20)로 전달되는 데이터일 수 있으며, 도 4는 8비트로 이루어진 단위 데이터의 일 예를 나타내고 있다. 이때, 도 4에 도시된 것처럼 단위 데이터에 a, b, c와 같은 복수의 에러들이 어플리케이션 상태나 환경에 따라 가변적으로 발생할 수 있고, 이러한 에러는 에러 정정 처리 회로(100)가 정정 및 처리할 수 있는 최대 비트(예를 들어, 2비트 또는 미리 설정된 비트 값)를 초과할 수 있다. 이러한 경우 단위 데이터에 발생된 모든 에러에 대한 정정 및 처리가 불가능해지고, 도 4의 좌측 도면처럼 d와 같은 에러가 추가적으로 발생할 수도 있다.

[37] 따라서 본 발명의 일 실시예에 따른 에러 정정 처리 회로(100)가 정정 및 처리할 수 있는 범위를 고려하여 단위 데이터에 발생된 에러를 정정 및 처리한다. 이때, 에러를 정정 및 처리할 수 있는 범위는 후술할 보호 범위 설정부(110)에 의해 설정되고, 보호 범위라 지칭된다. 보호 범위는 동작 전압 및 가변적인 데이터 길이 구조와 밀접한 연관을 가진다. 또한, 본 명세서에서는 이러한 보호 범위 이외의 범위를 비보호 범위라 지칭한다. 도 4의 우측 도면에 도시된 것처럼, 단위 데이터 중 보호 범위에 대응하는 데이터는 보호 데이터라고 할 수 있고, 비보호 범위에 대응하는 데이터는 비보호 데이터라고 할 수 있다. 즉, 보호 데이터에 발생한 에러(a, b)는 에러 정정 처리 회로(100)에 의해 정정되지만, 비보호 데이터에 발생한 에러(c)는 에러 정정 처리 회로(100)에 의해 정정되지 않는다. 이는 에러 정정 처리 회로(100)에서 정정 및 처리할 수 있는 데이터의 길이를 의도적으로 감소시킨 결과이고, 이를 통해 에러 발생 확률을 크게 감소시킬 수 있다.

[38] 이하, 도 3 에 도시된 각 구성의 구체적인 동작에 대하여 설명하기로 한다.

[39] 보호 범위 설정부(110)는 메모리(20)의 동작 전압에 따라 메모리(20)에 기록할 단위 데이터 중 보호 범위를 설정한다. 즉, 소정의 데이터에 에러가 발생하고, 보호 범위 설정부(110)에 의해 설정된 보호 범위가 소정의 데이터를 포함하는 경우, 본 발명의 일 실시예에 따른 에러 정정 처리 회로(100)는 소정의 데이터에 발생된 에러를 확실하게 정정 및 처리할 수 있다. 이렇게 보호 범위 설정부(110)에 의해 설정되는 보호 범위는 메모리(20)의 동작 전압에 따라 달라질 수 있다. 예를 들면, 메모리(20)의 동작 전압이 1000mV인 경우 보호 범위 설정부(110)는 제 1 보호 범위를 설정하고, 메모리(20)의 동작 전압이 700mV인 경우 보호 범위 설정부(110)는 제 2 보호 범위를 설정할 수 있으며, 제 1 보호 범위보다 제 2 보호 범위가 작을 수 있다.

[40] 부호화기(Encoder, 120)는 단위 데이터 중 보호 범위에 대응하는 보호 데이터에

대하여 에러 정정 인코딩을 수행하고, 에러 정정 인코딩을 통해 패리티 데이터(parity data)를 생성한다. 즉, 부호화기(120)는 단위 데이터 중 보호 데이터에 대하여 에러 정정 인코딩을 수행하고, 비보호 데이터에 대하여 에러 정정 인코딩을 수행하지 않을 수 있다. 이로 인해 에러 정정 인코딩이 수행된 보호 데이터에 대해서만 후술할 에러 정정 디코딩이 필요할 수 있고, 에러 정정 디코딩을 통해 보호 데이터에 발생된 에러가 정정 및 처리될 수 있다.

[41] 구체적으로, 부호화기(120)는 도 5에 도시된 일 예처럼 에러 정정 인코딩을 수행할 수 있다. 도 5는 도 3에 도시된 구성 중 부호화기의 동작을 설명하기 위한 도면이다. 종래의 경우 128비트의 단위 데이터는 부호화기(120)에 의해 에러 정정 인코딩 될 수 있고, ①과 같이 에러 정정 인코딩이 수행된 128비트의 단위 데이터 및 패리티 데이터가 생성된다. 본 발명의 일 실시예에 따르면 메모리(20)의 동작 전압에 따라 보호 범위가 설정된다. 이로 인해, ②와 같이 128비트의 단위 데이터 중 32비트의 보호 범위와 6비트의 비보호 범위가 설정된다. 이들 중 보호 범위에 대응하는 32비트의 보호 데이터는 부호화기(120)에 의해 에러 정정 인코딩 되고, 비보호 범위에 대응하는 96비트의 비보호 데이터는 제로 패딩(Zero-padding)을 통해 0으로 처리된 후 에러 정정 인코딩이 수행될 수 있다. 결국 에러 정정 인코딩이 수행된 32비트의 보호 데이터 및 패리티 데이터가 생성된다.

[42] 보다 구체적으로, 부호화기(120)는 입력되는 데이터에 제너레이터 행렬(Generator Matrix)가 곱해져 에러 정정 인코딩이 수행된 데이터와 패리티 데이터를 포함하는 코드워드(Codeword)를 도 6처럼 생성할 수 있다. 도 6은 도 5의 부호화기에 의한 인코딩 과정을 구체적으로 설명하기 위한 도면이다. 이때, 패리티 데이터는 입력되는 데이터의 크기와 보정 가능한 비트 수에 따라 달라질 수 있고, 제너레이터 행렬은 입력되는 데이터가 그대로 전달되는 아이덴티티 행렬(Identity Matrix)과 패리티 데이터를 생성하는 패리티 행렬로 이루어질 수 있다.

[43] 기록부(130)는 단위 데이터를 에러 정정 인코딩에 따라 생성된 패리티 데이터와 매칭하여 메모리(20)에 기록한다. 기록부(130)가 메모리(20)에 데이터를 기록하는 방식이나 단위 데이터와 패리티 데이터를 서로 매칭시키는 방식은 종래에 공개된 방식을 따를 수 있고, 특별히 제한된 것은 아니다.

[44] 통신부(140)는 단위 데이터를 메모리(20)로 전달한 프로세서(10)로부터 독출 신호를 수신하는데, 독출 신호는 메모리(20)에 기록된 단위 데이터를 독출하거나 읽어오기 위한 신호이다. 또한, 통신부(140)는 보호 범위 설정부(110)로부터 보호 범위에 대한 정보를 수신한다. 이때, 보호 범위에 대한 정보는 단위 데이터 중 어떤 데이터가 보호 데이터 혹은 비보호 데이터에 해당하는지 판단할 수 있는 기초 자료가 될 수 있고, 복호화기(150)로 전달될 수 있다.

[45] 복호화기(Decoder, 150)는 독출 신호에 대응하는 단위 데이터 및 독출 신호에 대응하는 단위 데이터에 매칭된 패리티 데이터를 독출하고, 독출된 패리티

데이터 및 보호 범위에 대한 정보를 기초로 에러 정정 인코딩이 수행된 보호 데이터에 대하여 에러 정정 디코딩을 수행한다.

[46] 구체적으로, 복호화기(150)는 독출된 패리티 데이터를 기초로 에러 정정 인코딩이 수행된 보호 데이터에 에러가 발생했는지 여부를 체크할 수 있다. 패리티 데이터는 기록부(130)에 의해 단위 데이터와 매칭되어 메모리(20)에 기록되므로, 복호화기(150)는 독출 신호에 대응하는 단위 데이터 및 그에 매칭된 패리티 데이터를 독출할 수 있다. 또한, 복호화기(150)는 독출 신호에 대응하는 단위 데이터 중 에러 정정 인코딩이 수행된 보호 데이터가 어떤 데이터인지 보호 범위에 대한 정보를 기초로 판단할 수 있고, 에러 정정 인코딩이 수행된 보호 데이터로 판단된 데이터에 대해 에러가 발생했는지 여부를 독출된 패리티 데이터를 기초로 체크할 수 있다. 이때, 에러 정정 인코딩이 수행된 보호 데이터에 에러가 발생한 것으로 판단되면, 복호화기(150)는 발생된 에러를 정정하는 동작을 수행할 수 있다.

[47] 도 7은 도 3에 도시된 구성 중 복호화기의 세부 구조를 설명하기 위한 도면이다.

[48] 보다 구체적으로, 복호화기(150)는 신드롬 생성기(151), 에러 검출기(152), 에러 정정기(153), 제어부(154) 및 선입선출(FIFO) 제어기(155)를 포함할 수 있다.

[49] 신드롬 생성기(151)는 메모리(20)에 기록된 단위 데이터로부터 신드롬(syndrome)을 생성할 수 있고, 에러 검출기(152)는 생성된 신드롬 및 다항식을 이용하여 에러 정정 인코딩이 수행된 보호 데이터 내 에러 비트의 위치를 검출할 수 있다. 또한, 신드롬 생성기(151) 및 에러 검출기(152)에 BCH(Bose-Chaudhuri-Hocquenghem) 코드가 적용될 수 있고, 에러 검출기(152)는 벌레캠프-매씨 알고리즘(Berlekamp-Massey algorithm)을 이용해 다항식을 산출할 수 있고, 치엔 탐색 알고리즘(Chien search algorithm)을 이용하여 에러 비트의 위치를 검출할 수 있다. 벌레캠프-매씨 알고리즘은 KES(key equation solver)를 구현하는 하나의 방법으로, 그러나 구현 알고리즘이 여기에 한정되는 것은 아니다. 덧붙여, 에러 정정기(153)는 에러 비트의 비트 값을 반전시켜 에러 비트를 정정할 수 있고, 선입선출 제어기(155)로부터 전달된 데이터를 활용할 수 있다.

[50] 도 8은 도 7에 도시된 구성 중 신드롬 생성기의 세부 구조를 설명하기 위한 도면이고, 도 9는 도 7에 도시된 구성 중 에러 검출기의 세부 구조를 설명하기 위한 도면이다.

[51] 신드롬 생성기(151)는 도 8처럼 메모리(20)에 기록된 단위 데이터 중 에러 정정 인코딩이 수행된 보호 데이터(a)로부터 신드롬(S)을 생성할 수 있다. 또한, 제어부(154)는 비보호 데이터(b)에 대하여 신드롬을 생성하는 동작을 멈추도록 보호 범위에 대한 정보를 기초로 신드롬 생성기(151)를 제어할 수 있다. 이때, 비보호 데이터(b)는 메모리(20)에 기록된 단위 데이터 중 에러 정정 인코딩이 수행된 보호 데이터 이외의 데이터를 의미할 수 있다. 예를 들어, 신드롬 생성기(151)는 최대 128비트를 처리할 수 있고, 제어부(154)는 단위 데이터에

대한 보호 범위가 32/64/96/128비트 중 어느 정도인지에 따라 신드롬 생성기(151)를 제어할 수 있다. 만약 도 8처럼 MSB(Most Significant Bit) 부근의 32비트가 보호 데이터에 포함되도록 보호 범위를 설정한 경우라면, 제어부(154)는 신드롬 생성기(151) 내 비보호 데이터(b)를 위한 구성을 턴-오프시키고, 신드롬 생성기(151)가 비보호 데이터(b)를 항상 0으로 처리하도록 제어 신호를 송신할 수 있다. 이로 인하여 본 발명의 일 실시예에 따른 에러 정정 처리 회로(100)는 전력 소모 및 계산 결과 오차를 최소화시킬 수 있다.

[52] 또한, 에러 검출기(152)는 도 9처럼 BCH 코드의 치엔 탐색 알고리즘을 통해 에러 정정 인코딩이 수행된 보호 데이터(a) 내 에러 비트의 위치를 검출할 수 있다. 또한, 제어부(154)는 비보호 데이터(b)에 대하여 에러 비트의 위치를 검출하는 동작을 멈추도록 보호 범위에 대한 정보를 기초로 에러 검출기(152)를 제어할 수 있다. 이때, 비보호 데이터(b)는 메모리(20)에 기록된 단위 데이터 중 에러 정정 인코딩이 수행된 보호 데이터 이외의 데이터를 의미할 수 있다. 예를 들어, 에러 검출기(152)는 최대 128비트를 처리할 수 있고, 제어부(154)는 단위 데이터에 대한 보호 범위가 32/64/96/128비트 중 어느 정도인지에 따라 에러 검출기(152)를 제어할 수 있다. 만약 도 9처럼 MSB(Most Significant Bit) 부근의 32비트가 보호 데이터에 포함되도록 보호 범위를 설정한 경우라면, 제어부(154)는 에러 검출기(152) 내 비보호 데이터(b)를 위한 구성을 턴-오프시키고, 에러 검출기(152)가 비보호 데이터(b)를 항상 0으로 처리하도록 제어 신호를 송신할 수 있다. 이로 인하여 본 발명의 일 실시예에 따른 에러 정정 처리 회로(100)는 전력 소모 및 계산 결과 오차를 최소화시킬 수 있다.

[53] 한편, 본 발명의 각 실시예에 따른 에러 정정 처리 방법을 도 10 내지 도 12를 참고하여 설명하기로 한다.

[54] 도 10은 본 발명의 일 실시예에 따른 에러 정정 처리 방법을 설명하기 위한 순서도이다.

[55] 메모리에서 발생하는 에러를 정정 및 처리하기 위해, 에러 정정 처리 회로(100) 혹은 동일한 동작을 수행할 수 있는 소정의 회로는 메모리(20)에 기록할 단위 데이터 중 보호 범위를 설정한다(S1010). 이때, 설정된 보호 범위는 메모리(20)의 동작 전압에 종속적인 관계를 이루고, 메모리(20)의 동작 전압과 비례 관계를 이룰 수 있다. 즉, 설정하는 단계(S1010)는 동작 전압이 낮을수록 보호 범위를 상대적으로 감소시킬 수 있다. 또한, 설정하는 단계(S1010)는 보호 데이터에 MSB(Most Significant Bit)가 포함되도록 보호 범위를 설정할 수 있다.

[56] 이어서, 에러 정정 처리 회로(100) 혹은 동일한 동작을 수행할 수 있는 소정의 회로는 단위 데이터 중 보호 범위에 대응하는 보호 데이터에 대하여 에러 정정 인코딩을 수행한다(S1020). 구체적으로, 수행하는 단계(S1020)는 단위 데이터 중 보호 데이터 이외의 데이터인 비보호 데이터를 0으로 설정하여 에러 정정 인코딩을 수행할 수 있다. 이와 같은 제로 패딩(Zero-padding) 방식을 통해 단위

데이터에 발생된 에러 중 보호 범위 내 데이터에 발생된 에러는 절대적으로 정정할 수 있고, 비보호 범위 내 데이터에 발생된 에러는 무시할 수 있다. 상술한 것처럼 보호 데이터에 MSB가 포함되도록 보호 범위를 설정할 수 있으므로, 제로 패딩 방식은 상대적으로 치명적인 오류/에러 발생을 방지하는 데에 기여할 수 있다.

[57] 계속해서, 상술한 회로는 단위 데이터를 에러 정정 인코딩에 따라 생성된 패리티 데이터와 매칭하여 메모리(20)에 기록한다(S1030). 에러 정정 인코딩이 수행된 단위 데이터(보호 데이터) 및 패리티 데이터를 코드워드(Codeword)라고 부를 수 있다.

[58] 나아가, 메모리(20)에 기록된 단위 데이터를 독출하는 경우에 대한 과정을 설명하면 다음과 같다. 후술할 과정들은 도 10을 참고하여 상술한 기록하는 단계(S1030) 이후에 이루어질 수 있다.

[59] 메모리(20)에 기록된 단위 데이터를 독출하는 경우, 에러 정정 처리 회로(100) 혹은 동일한 동작을 수행할 수 있는 소정의 회로는 에러 정정 인코딩이 수행된 보호 데이터에 대하여 에러 정정 디코딩을 수행한다. 이러한 에러 정정 디코딩은 독출되는 단위 데이터에 매칭된 패리티 데이터 및 보호 범위에 대한 정보를 기초로 이루어진다.

[60] 특히, 에러 정정 디코딩은 상술한 에러 정정 처리 회로(100)의 복호화기(150)에 의해 수행될 수 있는데, 에러 정정 처리 회로(100)는 에러 정정 디코딩이 수행되기에 앞서 복호화기(150)의 제어부(154)로 보호 범위에 대한 정보를 전송할 수 있다. 또한, 독출하고자 하는 단위 데이터에 대한 정보를 포함하는 독출 신호는 프로세서(10)로부터 전달된 것일 수 있다.

[61] 에러 정정 디코딩을 수행함에 있어서, 상술한 회로는 다음과 같은 과정을 거쳐 수행할 수 있다. 우선, 패리티 데이터를 기초로 에러 정정 인코딩이 수행된 보호 데이터에 에러가 발생했는지 여부를 체크한다. 이때, 에러 정정 인코딩이 수행된 보호 데이터에 에러가 발생한 경우, 그 발생된 에러를 정정한다.

[62] 구체적으로, 메모리(20)에 기록된 단위 데이터로부터 신드롬(syndrome)을 생성하고, 그 생성된 신드롬을 이용하여 에러 정정 인코딩이 수행된 보호 데이터 내 에러 비트의 위치를 검출하며, 에러 비트의 비트 값을 반전시켜 에러 비트를 정정할 수 있다. 에러 비트를 정정하는 과정을 통해 에러가 정정된 데이터에 대하여 에러 정정 디코딩을 수행할 수 있다. 이어서, 단위 데이터를 메모리(20)로 전달한 프로세서(10)로 상술한 회로는 에러 정정 디코딩의 결과 데이터 및 메모리(20)에 기록된 단위 데이터 중 에러 정정 인코딩이 수행된 보호 데이터 이외의 데이터인 비보호 데이터를 전송할 수 있다.

[63] 이와 같은 본 발명의 일 실시예에 따른 에러 정정 처리 방법을 도 11에 도시된 구체적인 예시를 통해 설명하기로 한다. 도 11은 메모리의 동작 전압이 1000mV인 경우와 700mV인 경우 메모리에 발생된 에러를 정정 및 처리하는 과정을 각각 설명하기 위한 도면이다.

[64] 도 11의 ①은 메모리(20)의 동작 전압이 1000mV인 경우 종래 회로가 한 개의 워드 데이터 길이(word data length)가 64비트인 단위 데이터에 발생된 에러를 정정 및 처리하는 과정을 나타낸다. 부호화기(120)는 64비트인 단위 데이터 전체를 인코딩하고, 기록부(130)는 인코딩이 수행된 단위 데이터 및 패리티 데이터를 포함하는 코드워드를 메모리(20)에 기록한다. 이후에 복호화기(150)는 독출 신호를 기초로 기록된 코드워드를 독출하고, 디코딩 과정을 수행하여 단위 데이터를 얻는다. 다만, 코드워드 내 에러(a)가 발생할 수 있고, 기존의 방식은 발생된 에러(a)에 대한 정정 및 처리를 보장할 수 없으며, 발생된 에러(a)로 인해 최종적으로 얻는 단위 데이터는 심각한 오류를 가질 수 있다.

[65] 도 11의 ②는 메모리(20)의 동작 전압이 700mV인 경우 에러 정정 처리 회로(100)가 단위 데이터 중 보호 범위를 설정한 후 단위 데이터에 발생된 에러를 정정 및 처리하는 과정을 나타낸다. 보호 범위 설정부(110)는 64비트인 단위 데이터 중 32비트만큼을 보호 범위로 설정하고, 부호화기(120)는 비보호 범위에 해당되는 나머지 32비트를 0으로 처리한다(Zero-padding). 부호화기(120)는 32비트인 보호 데이터만을 에러 정정 인코딩한다. 또한, 기록부(130)는 에러 정정 인코딩이 수행된 보호 데이터 및 패리티 데이터를 포함하는 코드워드와, 비보호 데이터를 메모리(20)에 각각 기록한다. 이후에 복호화기(150)는 독출 신호를 기초로 기록된 코드워드 및 비보호 데이터를 독출하고, 독출되는 단위 데이터에 매칭된 패리티 데이터 및 보호 범위에 대한 정보를 기초로 디코딩 과정을 수행하여 에러 정정 디코딩의 결과 데이터 및 비보호 데이터를 얻는다. 이때, 에러 정정 디코딩의 결과 데이터 및 비보호 데이터는 초기 단위 데이터와 실질적으로 동일하다. 코드워드 내 발생된 에러(a)는 에러 정정 처리 회로(100)에 의해 확실하게 정정된다. 비보호 데이터 내 발생된 에러(b)는 에러 정정 처리 회로(100)에 의해 정정될 수 없으나, 정정된 비트보다 상대적으로 중요도가 낮은 비트이므로 에러 정정 처리 회로(100)는 치명적인 오류를 방지할 수 있다.

[66] 한편, 도 3에서 도시된 각각의 구성요소는 일종의 '모듈'로 구성될 수 있다. 상기 '모듈'은 소프트웨어 또는 Field Programmable Gate Array(FPGA) 또는 주문형 반도체(ASIC, Application Specific Integrated Circuit)과 같은 하드웨어 구성요소를 의미하며, 모듈은 어떤 역할들을 수행한다. 그렇지만 모듈은 소프트웨어 또는 하드웨어에 한정되는 의미는 아니다. 모듈은 어드레싱할 수 있는 저장 매체에 있도록 구성될 수도 있고 하나 또는 그 이상의 프로세서들을 실행시키도록 구성될 수도 있다. 구성요소들과 모듈들에서 제공되는 기능은 더 작은 수의 구성요소들 및 모듈들로 결합되거나 추가적인 구성요소들과 모듈들로 더 분리될 수 있다.

[67] 또한, 도 3에서 상술한 메모리(20)는 캐쉬, ROM(Read Only Memory), PROM(Programmable ROM), EPROM(Erasable Programmable ROM), EEPROM(Electrically Erasable Programmable ROM) 및 플래쉬 메모리(Flash memory)와 같은 비휘발성 메모리 소자 또는 RAM(Random Access Memory)과

같은 휘발성 메모리 소자 또는 하드디스크 드라이브(HDD, Hard Disk Drive), CD-ROM과 같은 저장 매체 중 적어도 하나로 구현될 수 있으나 이에 한정되지는 않는다.

[68] 이하에서는, 본 발명의 일 실시예에 따른 에러 정정 처리 회로 및 에러 정정 처리 방법을 실제로 적용시킨 예에 대해 설명하기로 한다.

[69] 도 12는 도 8 및 도 9와 같은 제어를 통해 얻을 수 있는 효과를 보여주는 그래프이다.

[70] 이미 상술한 것처럼, 제어부(154)는 도 8처럼 신드롬 생성기(151) 내 비보호 데이터(b)를 위한 구성을 턴-오프시키고, 신드롬 생성기(151)가 비보호 데이터(b)를 항상 0으로 처리하도록 제어 신호를 송신할 수 있다. 또한, 제어부(154)는 도 9처럼 에러 검출기(152) 내 비보호 데이터(b)를 위한 구성을 턴-오프시키고, 에러 검출기(152)가 비보호 데이터(b)를 항상 0으로 처리하도록 제어 신호를 송신할 수 있다. 이로 인해 도 12처럼 복호화기(150)에서의 전력 소모량이 턴-오프시키는 데이터 길이에 따라 감소할 수 있다.

[71] 도 13은 H.264 회로 및 FFT 처리 회로 상에서 도 3에 도시된 에러 정정 처리 회로가 실제로 적용될 수 있는 위치를 설명하기 위한 도면이다. 도 13의 위에 나타낸 블록도는 H.264 회로의 구조를 간략하게 도시한 것으로서, 본 발명에서 제안된 에러 정정 처리 회로(100)가 Residual Frame Buffer SRAM, DCT Buffer, Quantization Buffer 등에 실제로 적용될 수 있다. 도 13의 아래에 나타낸 블록도는 FFT 처리 회로의 구조를 간략하게 도시한 것으로서, 본 발명에서 제안된 에러 정정 처리 회로(100)가 8K Embedded SRAM 등에 실제로 적용될 수 있다. 도 13에 도시된 예시는 적용될 수 있는 일 예를 나타내는 것일 뿐, 이와 같은 구현 형태로 제한되는 것은 아니다.

[72] 도 14는 H.264 회로에 에러 정정 처리 회로 및 그 방법을 적용시킨 경우 성능 변화를 나타내기 위한 그래프이다. H.264 회로 또는 모듈은 영상 압축 동작을 수행하므로, 결과 영상의 최대 신호 대 잡음비(Peak Signal to Noise Ratio; PSNR)를 통해 동작 품질을 판단할 수 있다. 본 발명에서 제안하는 방식(VL-ECC)을 적용한 경우의 성능이 종래 BCH(Bose-Chaudhuri-Hocquenghem) 코드 방식(conventional ECC)을 적용한 경우의 성능보다 뛰어나다는 것을 확인할 수 있고, 이러한 성능 향상은 낮은 동작 전압이 인가될수록 두드러진다는 것을 알 수 있다.

[73] 도 15는 FFT 처리 회로에 에러 정정 처리 회로 및 그 방법을 적용시킨 경우 성능 변화를 나타내기 위한 그래프이다. 24비트가 하나의 워드인 FFT 처리 회로에서 데이터 길이를 변화시키면서 신호 대 양자화 잡음비(Signal to Quantization Noise Ration; SQNR)를 이용하여 출력 품질을 측정한 것이다. 24비트에 해당하는 부분인 종래 BCH 코드 방식(conventional ECC)을 적용한 경우의 성능보다 점선 원에 해당하는 본 발명에서 제안하는 방식(VL-ECC)을 적용한 경우의 성능이 월등하게 높다는 것을 확인할 수 있다.

[74] 전술한 본 발명의 설명은 예시를 위한 것이며, 본 발명이 속하는 기술분야의 통상의 지식을 가진 자는 본 발명의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 쉽게 변형이 가능하다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 예를 들어, 단일형으로 설명되어 있는 각 구성 요소는 분산되어 실시될 수도 있으며, 마찬가지로 분산된 것으로 설명되어 있는 구성 요소들도 결합된 형태로 실시될 수 있다.

[75] 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 균등 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

# 청구범위

[청구항 1] 메모리에서의 에러 정정 처리 방법에 있어서,
상기 메모리의 동작 전압에 따라 상기 메모리에 기록할 단위 데이터 중 보호 범위를 설정하는 단계;
상기 단위 데이터 중 상기 보호 범위에 대응하는 보호 데이터에 대하여 에러 정정 인코딩을 수행하는 단계; 및
상기 단위 데이터를 상기 에러 정정 인코딩에 따라 생성된 패리티 데이터와 매칭하여 상기 메모리에 기록하는 단계를 포함하는 에러 정정 처리 방법.

[청구항 2] 제 1 항에 있어서,
상기 설정하는 단계는 상기 동작 전압이 낮을수록 상기 보호 범위를 감소시키는, 에러 정정 처리 방법.

[청구항 3] 제 1 항에 있어서,
상기 설정하는 단계는 상기 보호 데이터에 MSB(Most Significant Bit)가 포함되도록 상기 보호 범위를 설정하는, 에러 정정 처리 방법.

[청구항 4] 제 1 항에 있어서,
상기 수행하는 단계는 상기 단위 데이터 중 상기 보호 데이터 이외의 데이터인 비보호 데이터를 0으로 설정하여 상기 에러 정정 인코딩을 수행하는, 에러 정정 처리 방법.

[청구항 5] 제 1 항에 있어서,
상기 에러 정정 인코딩이 수행된 보호 데이터에 대하여 에러 정정 디코딩을 수행하는 복호화기의 제어부로 상기 보호 범위에 대한 정보를 전송하는 단계를 더 포함하는, 에러 정정 처리 방법.

[청구항 6] 제 1 항에 있어서,
상기 메모리에 기록된 단위 데이터를 독출하는 경우, 상기 독출되는 단위 데이터에 매칭된 패리티 데이터 및 상기 보호 범위에 대한 정보를 기초로 상기 에러 정정 인코딩이 수행된 보호 데이터에 대하여 에러 정정 디코딩을 수행하는 단계를 더 포함하는, 에러 정정 처리 방법.

[청구항 7] 제 6 항에 있어서, 상기 에러 정정 디코딩을 수행하는 단계는
상기 패리티 데이터를 기초로 상기 에러 정정 인코딩이 수행된 보호 데이터에 에러가 발생했는지 여부를 체크하는 단계;
상기 에러 정정 인코딩이 수행된 보호 데이터에 에러가 발생한 경우 상기 에러를 정정하는 단계를 포함하는, 에러 정정 처리 방법.

[청구항 8] 제 7 항에 있어서, 상기 정정하는 단계는
상기 메모리에 기록된 단위 데이터로부터 신드롬(syndrome)을

생성하는 단계;
상기 생성된 신드롬을 이용하여 상기 에러 정정 인코딩이 수행된 보호 데이터 내 에러 비트의 위치를 검출하는 단계; 및
상기 에러 비트의 비트 값을 반전시켜 상기 에러 비트를 정정하는 단계를 포함하는, 에러 정정 처리 방법.

[청구항 9] 제 7 항에 있어서,
상기 정정하는 단계에서 상기 에러가 정정된 데이터에 대하여 상기 에러 정정 디코딩을 수행하는 단계; 및
상기 단위 데이터를 상기 메모리로 전달한 프로세서로 상기 에러 정정 디코딩의 결과 데이터 및 상기 메모리에 기록된 단위 데이터 중 상기 에러 정정 인코딩이 수행된 보호 데이터 이외의 데이터인 비보호 데이터를 전송하는 단계를 더 포함하는, 에러 정정 처리 방법.

[청구항 10] 메모리에서의 에러 정정 처리 회로에 있어서,
상기 메모리의 동작 전압에 따라 상기 메모리에 기록할 단위 데이터 중 보호 범위를 설정하는 보호 범위 설정부;
상기 단위 데이터 중 상기 보호 범위에 대응하는 보호 데이터에 대하여 에러 정정 인코딩을 수행하는 부호화기; 및
상기 단위 데이터를 상기 에러 정정 인코딩에 따라 생성된 패리티 데이터와 매칭하여 상기 메모리에 기록하는 기록부를 포함하는 에러 정정 처리 회로.

[청구항 11] 제 10 항에 있어서,
상기 단위 데이터를 상기 메모리로 전달한 프로세서로부터 상기 메모리에 기록된 단위 데이터를 독출하기 위한 독출 신호를 수신하고, 상기 보호 범위 설정부로부터 상기 보호 범위에 대한 정보를 수신하는 통신부;
상기 독출 신호에 대응하는 단위 데이터 및 상기 독출 신호에 대응하는 단위 데이터에 매칭된 패리티 데이터를 독출하고, 상기 독출된 패리티 데이터 및 상기 보호 범위에 대한 정보를 기초로 상기 에러 정정 인코딩이 수행된 보호 데이터에 대하여 에러 정정 디코딩을 수행하는 복호화기를 더 포함하는, 에러 정정 처리 회로.

[청구항 12] 제 11 항에 있어서, 상기 복호화기는 상기 독출된 패리티 데이터를 기초로 상기 에러 정정 인코딩이 수행된 보호 데이터에 에러가 발생했는지 여부를 체크하고, 상기 에러가 발생한 경우 상기 에러를 정정하는, 에러 정정 처리 회로.

[청구항 13] 제 12 항에 있어서, 상기 복호화기는
BCH(Bose-Chaudhuri-Hocquenghem) 코드가 적용되고, 상기 메모리에 기록된 단위 데이터로부터 신드롬(syndrome)을

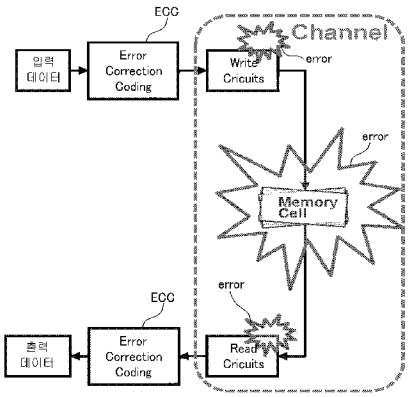
생성하는 신드롬 생성기;
상기 BCH 코드가 적용되고, 상기 생성된 신드롬을 이용하여 상기 에러 정정 인코딩이 수행된 보호 데이터 내 에러 비트의 위치를 검출하는 에러 검출기; 및
상기 에러 비트의 비트 값을 반전시켜 상기 에러 비트를 정정하는 에러 정정기를 포함하는, 에러 정정 처리 회로.

[청구항 14] 제 13 항에 있어서,
상기 신드롬 생성기는 상기 메모리에 기록된 단위 데이터 중 상기 에러 정정 인코딩이 수행된 보호 데이터로부터 상기 신드롬을 생성하고,
상기 에러 정정 인코딩이 수행된 보호 데이터 이외의 데이터인 비보호 데이터에 대하여 상기 신드롬을 생성하는 동작을 멈추도록 상기 보호 범위에 대한 정보를 기초로 상기 신드롬 생성기를 제어하는 제어부를 더 포함하는, 에러 정정 처리 회로.

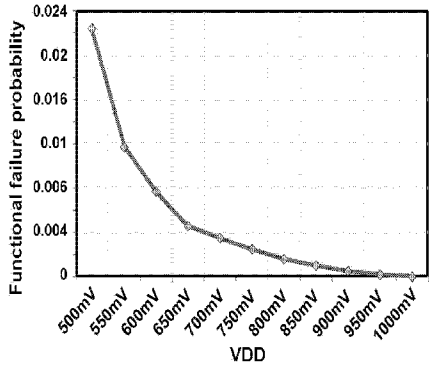
[청구항 15] 제 13 항에 있어서, 상기 에러 검출기는 벌레캠프-매씨 알고리즘(Berlekamp-Massey algorithm) 및 치엔 탐색 알고리즘(Chien search algorithm)을 이용하여 구현되는 것인, 에러 정정 처리 회로.

[청구항 16] 제 15 항에 있어서, 상기 에러 검출기는 상기 BCH 코드의 상기 치엔 탐색 알고리즘을 통해 상기 에러 정정 인코딩이 수행된 보호 데이터 내 상기 에러 비트의 위치를 검출하고,
상기 메모리에 기록된 단위 데이터 중 상기 에러 정정 인코딩이 수행된 보호 데이터 이외의 데이터인 비보호 데이터에 대하여 상기 에러 비트의 위치를 검출하는 동작을 멈추도록 상기 보호 범위에 대한 정보를 기초로 상기 에러 검출기를 제어하는 제어부를 더 포함하는, 에러 정정 처리 회로.

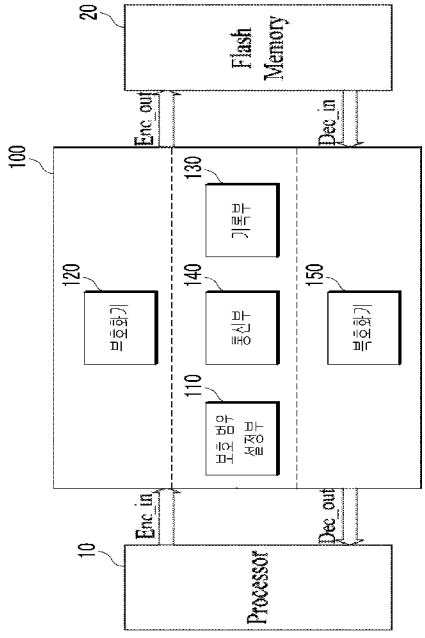
[Fig. 1]



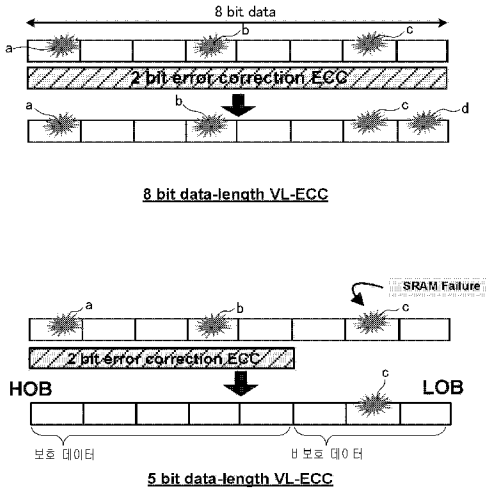

[Fig. 2]



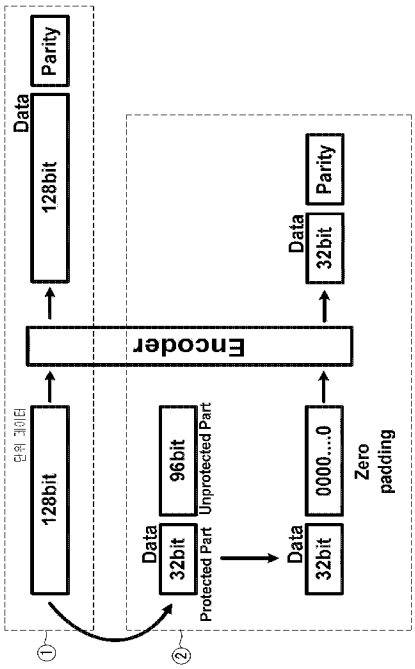

[Fig. 3]



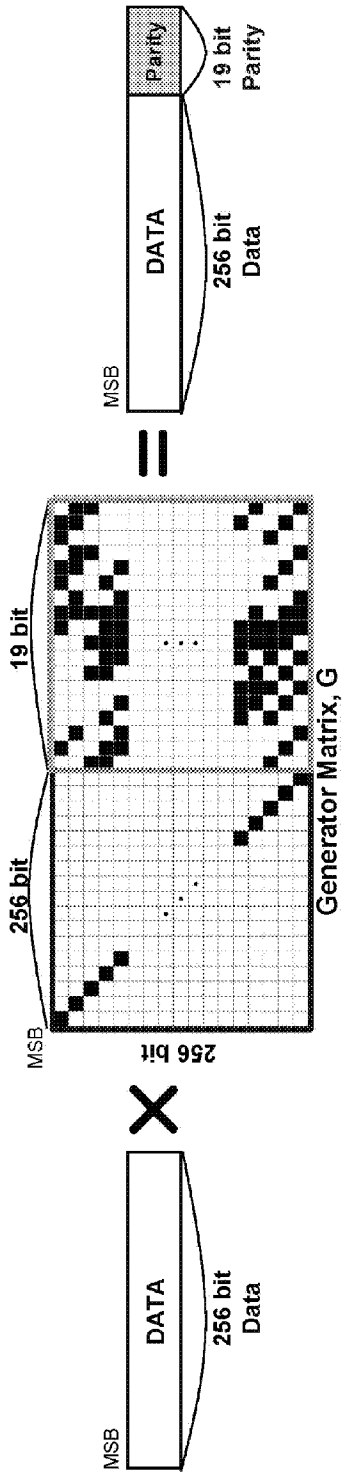
[Fig. 4]


8 bit data
a
b
c
2 bit error correction ECC
a
b
c
d
8 bit data-length VL-ECC
SRAM Failure
a
b
c
2 bit error correction ECC
HOB
c
LOB
보호 데이터
비보호 데이터
5 bit data-length VL-ECC

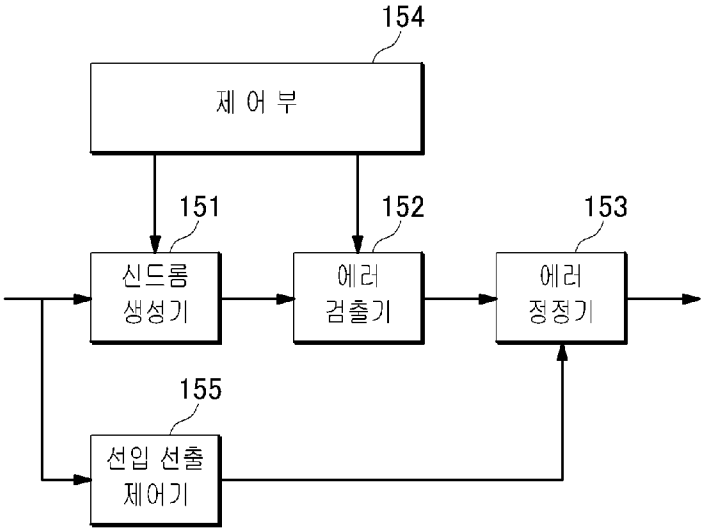
[Fig. 5]


Parity
Data
128bit
Encoder
Parity
Data
32bit
원위 데이터
128bit
96bit
Unprotected Part
Data
32bit
Protected Part
Data
32bit
0000....0
Zero padding
①
②

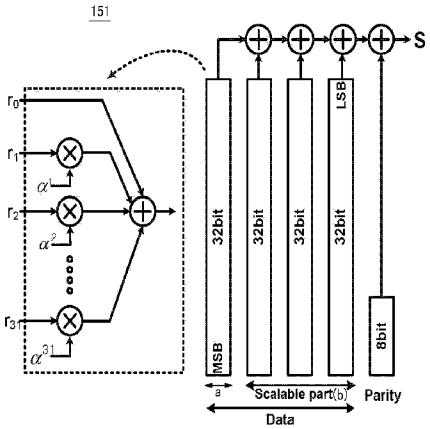
[Fig. 6]


Parity
19 bit
Parity
DATA
256 bit
Data
MSB
=
19 bit
256 bit
Generator Matrix, G
MSB
256 bit
X
DATA
256 bit
Data
MSB

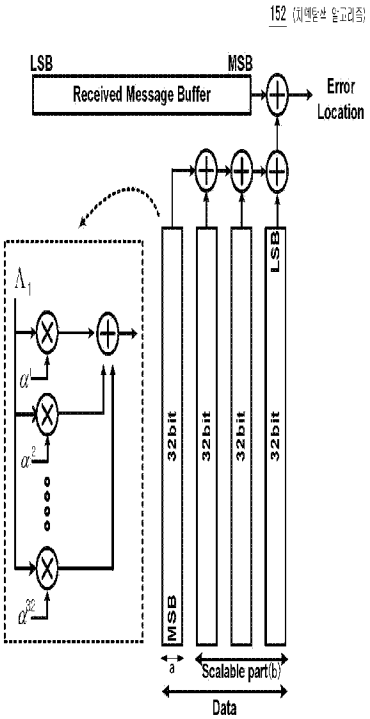
[Fig. 7]



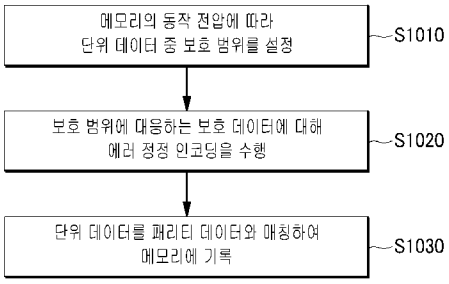

[Fig. 8]



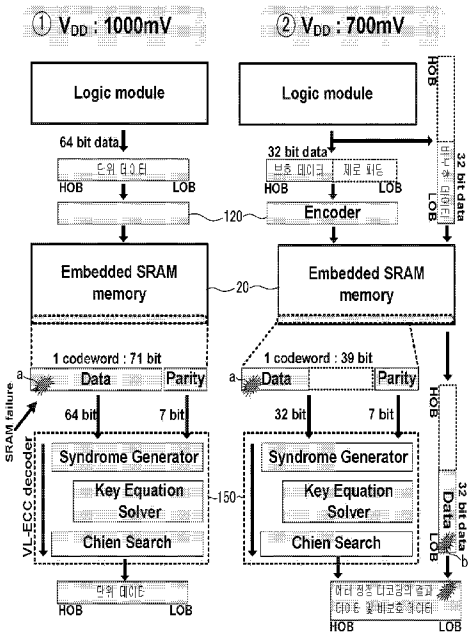

[Fig. 9]



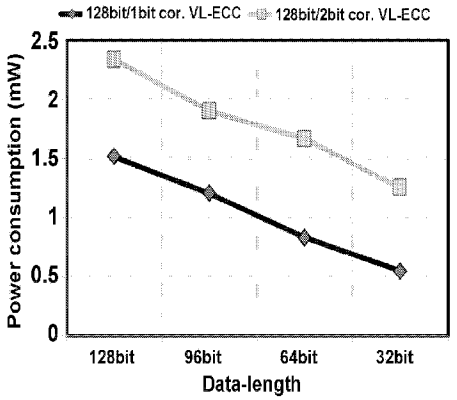
[Fig. 10]



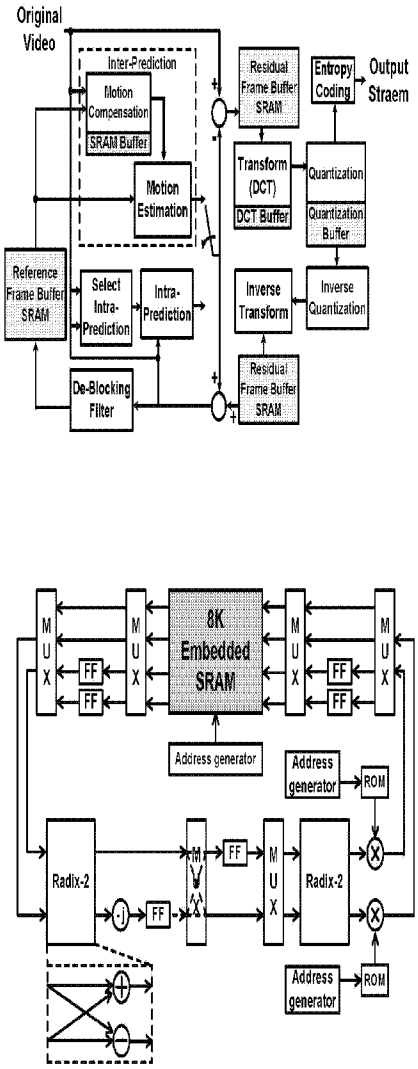

[Fig. 11]



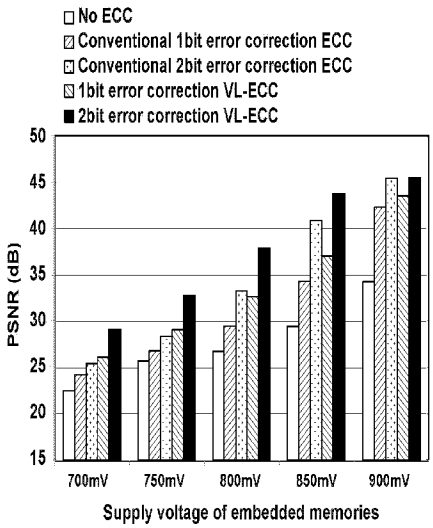

[Fig. 12]



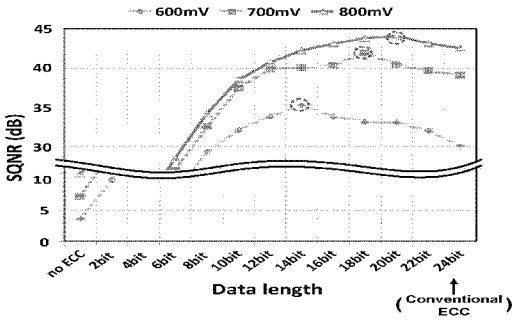
[Fig. 13]


Original Video
Inter-Prediction
Motion Compensation
SRAM Buffer
Motion Estimation
Residual Frame Buffer SRAM
Entropy Coding
Output Straem
Transform (DCT)
DCT Buffer
Quantization
Quantization Buffer
Reference Frame Buffer SRAM
Select Intra-Prediction
Intra-Prediction
Inverse Transform
Inverse Quantization
De-Blocking Filter
Residual Frame Buffer SRAM
8K Embedded SRAM
MUX
FF
Address generator
ROM
Radix-2
-j

[Fig. 14]


No ECC
Conventional 1bit error correction ECC
Conventional 2bit error correction ECC
1bit error correction VL-ECC
2bit error correction VL-ECC
PSNR (dB)
50
45
40
35
30
25
20
15
700mV
750mV
800mV
850mV
900mV
Supply voltage of embedded memories

[Fig. 15]


600mV
700mV
800mV
SQNR (dB)
45
40
35
30
10
5
0
no ECC
2bit
4bit
6bit
8bit
10bit
12bit
14bit
16bit
18bit
20bit
22bit
24bit
Data length
(Conventional ECC)

# INTERNATIONAL SEARCH REPORT

International application No.
**PCT/KR2014/001926**

A. CLASSIFICATION OF SUBJECT MATTER

***G06F 11/10(2006.01)i***

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F 11/10; G06F 12/02; G06F 11/07; G06F 12/16; G06F 12/00; G06F 11/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Korean Utility models and applications for Utility models: IPC as above
Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: memory, error, correction, encoding

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|---|---|---|
| Y | KR 10-1995-0033822 A (SIEMENS AKTIENGESELLSCHAFT) 26 December 1995<br>See abstract, claims 1-20, figure 2. | 1-7,10-12 |
| A | | 8-9,13-16 |
| Y | KR 10-2011-0100465 A (SAMSUNG ELECTRONICS CO., LTD.) 14 September 2011<br>See abstract, pages 3-7, claims 1-10, figures 3-4. | 1-7,10-12 |
| A | | 8-9,13-16 |
| A | JP 2010-191761 A (NEC COMPUTERTECHNO LTD) 02 September 2010<br>See abstract, pages 1-4, claims 1-5, figure 1. | 1-16 |
| A | KR 10-2012-0096749 A (SAMSUNG ELECTRONICS CO., LTD.) 31 August 2012<br>See abstract, pages 5-9, claims 1-7, figures 1-3. | 1-16 |

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

| Date of the actual completion of the international search | Date of mailing of the international search report |
|---|---|
| 03 JUNE 2014 (03.06.2014) | **05 JUNE 2014 (05.06.2014)** |

| Name and mailing address of the ISA/KR | Authorized officer |
|---|---|
| Korean Intellectual Property Office<br>Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701, Republic of Korea<br>Facsimile No. 82-42-472-7140 | Telephone No. |

Form PCT/ISA/210 (second sheet) (July 2009)

**INTERNATIONAL SEARCH REPORT**
Information on patent family members

International application No.
**PCT/KR2014/001926**

| Patent document cited in search report | Publication date | Patent family member | Publication date |
|---|---|---|---|
| KR 10-1995-0033822 A | 26/12/1995 | EP 0668561 A2 | 23/08/1995 |
| | | EP 0668561 B1 | 10/04/2002 |
| | | JP 07-254300 A | 03/10/1995 |
| | | US 05966389 A | 12/10/1999 |
| KR 10-2011-0100465 A | 14/09/2011 | US 2011-0219274 A1 | 08/09/2011 |
| | | US 8499206 B2 | 30/07/2013 |
| JP 2010-191761 A | 02/09/2010 | JP 5344577 B2 | 20/11/2013 |
| KR 10-2012-0096749 A | 31/08/2012 | US 2012-0216096 A1 | 23/08/2012 |

# 국 제 조 사 보 고 서

국제출원번호
**PCT/KR2014/001926**

**A. 발명이 속하는 기술분류(국제특허분류(IPC))**

**G06F 11/10(2006.01)i**

**B. 조사된 분야**

조사된 최소문헌(국제특허분류를 기재)

G06F 11/10; G06F 12/02; G06F 11/07; G06F 12/16; G06F 12/00; G06F 11/00

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 메모리, 에러, 정정, 인코딩

**C. 관련 문헌**

| 카테고리* | 인용문헌명 및 관련 구절(해당하는 경우)의 기재 | 관련 청구항 |
|---|---|---|
| Y | KR 10-1995-0033822 A (지멘스악티엔게젤샤프트) 1995.12.26.<br>요약, 청구항 1-20, 도면 2 참조. | 1-7,10-12 |
| A | | 8-9,13-16 |
| Y | KR 10-2011-0100465 A (삼성전자주식회사) 2011.09.14.<br>요약, 페이지 3-7, 청구항 1-10, 도면 3-4 참조. | 1-7,10-12 |
| A | | 8-9,13-16 |
| A | JP 2010-191761 A (NEC COMPUTERTECHNO LTD) 2010.09.02.<br>요약, 페이지 1-4, 청구항 1-5, 도면 1 참조. | 1-16 |
| A | KR 10-2012-0096749 A (삼성전자주식회사) 2012.08.31.<br>요약, 페이지 5-9, 청구항 1-7, 도면 1-3 참조. | 1-16 |

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

"A" 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

"E" 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

"L" 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

"O" 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

"P" 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

"T" 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

"X" 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

"Y" 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

"&" 동일한 대응특허문헌에 속하는 문헌

| 국제조사의 실제 완료일 | 국제조사보고서 발송일 |
|---|---|
| 2014년 06월 03일 (03.06.2014) | 2014년 06월 05일 (05.06.2014) |


ISA/KR의 명칭 및 우편주소
대한민국 특허청
(302-701) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)
팩스 번호 +82-42-472-7140

심사관
계원호
전화번호 +82-42-481-8375

# 국제조사보고서
대응특허에 관한 정보

국제출원번호
**PCT/KR2014/001926**

| 국제조사보고서에서 인용된 특허문헌 | 공개일 | 대응특허문헌 | 공개일 |
|---|---|---|---|
| KR 10-1995-0033822 A | 1995/12/26 | EP 0668561 A2 | 1995/08/23 |
| | | EP 0668561 B1 | 2002/04/10 |
| | | JP 07-254300 A | 1995/10/03 |
| | | US 05966389 A | 1999/10/12 |
| KR 10-2011-0100465 A | 2011/09/14 | US 2011-0219274 A1 | 2011/09/08 |
| | | US 8499206 B2 | 2013/07/30 |
| JP 2010-191761 A | 2010/09/02 | JP 5344577 B2 | 2013/11/20 |
| KR 10-2012-0096749 A | 2012/08/31 | US 2012-0216096 A1 | 2012/08/23 |