

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4828537号
(P4828537)

(45) 発行日 平成23年11月30日(2011.11.30)

(24) 登録日 平成23年9月22日(2011.9.22)

(51) Int.Cl.	F I	
HO 1 L 27/00 (2006.01)	HO 1 L 27/00	3 O 1 C
HO 1 L 25/065 (2006.01)	HO 1 L 27/00	3 O 1 B
HO 1 L 25/07 (2006.01)	HO 1 L 25/08	Z
HO 1 L 25/18 (2006.01)	HO 1 L 27/08	3 2 1 G
HO 1 L 27/092 (2006.01)	HO 1 L 27/08	3 2 1 F

請求項の数 9 (全 19 頁) 最終頁に続く

(21) 出願番号	特願2007-532208 (P2007-532208)	(73) 特許権者	000005108 株式会社日立製作所 東京都千代田区丸の内一丁目6番6号
(86) (22) 出願日	平成18年8月25日(2006.8.25)	(73) 特許権者	000005326 本田技研工業株式会社 東京都港区南青山二丁目1番1号
(86) 国際出願番号	PCT/JP2006/316770	(74) 代理人	100080001 弁理士 筒井 大和
(87) 国際公開番号	W02007/023963	(72) 発明者	齋藤 敏男 東京都青梅市新町六丁目16番地の3 株 式会社日立製作所 マイクロデバイス事業 部内
(87) 国際公開日	平成19年3月1日(2007.3.1)		
審査請求日	平成20年2月21日(2008.2.21)		
(31) 優先権主張番号	特願2005-245553 (P2005-245553)		
(32) 優先日	平成17年8月26日(2005.8.26)		
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

主面に形成された複数の第1集積回路素子と、前記主面および裏面を貫通するように形成された複数の第1貫通孔と、前記複数の第1貫通孔のそれぞれの内部に形成され、前記複数の集積回路素子のいずれかに電気的に接続された第1導電膜とを有する第1半導体基板を備えた半導体装置であって、

前記主面における前記複数の第1貫通孔のそれぞれの開口形状は、長方形であり、

前記複数の第1貫通孔は、その長辺が前記主面の第1方向に沿って配向された第1群の貫通孔と、前記長辺が前記主面の第1方向とは異なる第2方向に沿って配向された第2群の貫通孔とを含み、

前記主面における前記第1群の貫通孔の数と前記第2群の貫通孔の数は、等しく、

前記第1群の貫通孔と前記第2群の貫通孔は、電気的に分離されており、

前記第1群の貫通孔の開口形状と前記第2群の貫通孔の開口形状は、等しいことを特徴とする半導体装置。

【請求項2】

前記主面における前記第1方向と前記第2方向とのなす角は、90度であることを特徴とする請求項1記載の半導体装置。

【請求項3】

前記主面における前記第1方向と前記第2方向とのなす角は、45度であることを特徴とする請求項1記載の半導体装置。

【請求項 4】

前記複数の第 1 貫通孔は、それぞれの長辺が同一方向に配向され、かつそれぞれの短辺方向に沿って一列に配列された 2 個の第 1 貫通孔を一組とする複数組の貫通孔によって構成されることを特徴とする請求項 1 記載の半導体装置。

【請求項 5】

主面に複数の第 2 集積回路素子が形成された第 2 半導体基板をさらに備え、前記第 2 半導体基板上に前記第 1 半導体基板が積層され、前記第 1 半導体基板の主面に形成された前記第 1 集積回路素子のいずれかと、前記第 2 半導体基板の主面に形成された前記第 2 集積回路素子のいずれかとが、前記複数の第 1 貫通孔を介して互いに電氣的に接続されていることを特徴とする請求項 1 記載の半導体装置。

10

【請求項 6】

前記第 1 半導体基板の厚さと前記第 2 半導体基板の厚さは異なることを特徴とする請求項 5 記載の半導体装置。

【請求項 7】

前記第 2 半導体基板は、その主面および裏面を貫通するように形成された複数の第 2 貫通孔と、前記複数の第 2 貫通孔のそれぞれの内部に形成され、前記複数の第 2 集積回路素子のいずれかに電氣的に接続された第 2 導電膜とをさらに有することを特徴とする請求項 5 記載の半導体装置。

【請求項 8】

前記第 1 貫通孔は、短辺の長さが $1 \mu\text{m}$ 以上であり、深さは短辺の長さの $1/2$ よりも深いことを特徴とする請求項 5 記載の半導体装置。

20

【請求項 9】

前記第 1 導電膜は、タングステンを主成分とする導電膜であることを特徴とする請求項 1 記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関し、特に、複数枚のチップを積層して貼り合わせた 3 次元構造の半導体装置に適用して有効な技術に関するものである。

【背景技術】

30

【0002】

3 次元構造の半導体装置は、半導体活性層を多層に積み重ねた構造に 3 次元的に半導体素子を集積化することにより、2 次元構造の半導体装置が直面する種々の障壁、例えばリソグラフィ技術の限界、配線抵抗の増大や寄生効果による動作速度の飽和傾向、素子寸法の微細化による高電界効果等を回避し、集積度の向上を維持する有力な構造として注目されている。

【0003】

3 次元構造の半導体装置については、例えば特開平 11 - 261000 号公報（特許文献 1）および特開 2002 - 334967 号公報（特許文献 2）に記載があり、半導体素子が形成された半導体基板を貼り合わせることにより 3 次元構造の半導体装置を製造する方法が開示されている。また、これらの文献には、所望の半導体基板の主裏面間を貫通する溝内に垂直相互接続体または埋込接続電極と称する貫通電極を形成し、半導体基板の主裏面間を導通可能なようにする構成が開示されている。

40

【0004】

「デンソーテクニカルレビュー Vol.6 No.2 2001」（非特許文献 1）の図 15 には、3 次元構造の半導体装置の接続孔にメッキ法で銅（Cu）を埋め込む技術が開示されている。

【特許文献 1】特開平 11 - 261000 号公報

【特許文献 2】特開 2002 - 334967 号公報

【非特許文献 1】「デンソーテクニカルレビュー Vol.6 No.2 2001」（図 15）

50

【発明の開示】

【発明が解決しようとする課題】

【0005】

一般に、半導体装置の製造工程では、下層の配線と上層の配線（または配線と半導体基板）とを電氣的に接続する接続孔の電気抵抗を低減する方法として、径の小さな正方形の接続孔を近接して多数配置する方法が採用されている。

【0006】

しかし、複数枚のチップを積層して貼り合わせた3次元構造の半導体装置の製造工程では、ウエハにアスペクト比が20～30程度の深い導電溝を形成してその内部に上下のチップ間を接続する導電膜を埋め込まなければならない。

10

【0007】

このような深い導電溝は、その径を小さくすると導電膜の埋め込みが困難となるので、開口面積を大きくする必要はある。しかし、単純に導電溝の開口面積を大きくすると、埋め込みに必要な導電膜の膜厚（＝孔径の1/2）も大きくなるので、成膜直後の温度変化によって導電膜中に発生する応力が大きくなる。その結果、導電膜と絶縁膜との界面で剥離が発生したり、導電膜中に多数のマイクロクラックが発生したりするという問題を引き起こす。また、上記応力によってウエハに反りが発生し、最悪の場合、ウエハが割れることもある。

【0008】

本発明の目的は、3次元構造の半導体装置の信頼性を向上させることのできる技術を提供することにある。

20

【0009】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0010】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0011】

本発明は、主面に形成された複数の第1集積回路素子と、前記主面および裏面を貫通するように形成された複数の第1貫通孔と、前記複数の第1貫通孔のそれぞれの内部に形成され、前記複数の集積回路素子のいずれかに電氣的に接続された第1導電膜とを有する第1半導体基板を備えた半導体装置であって、前記主面における前記複数の第1貫通孔のそれぞれの開口形状は、長方形であり、前記複数の第1貫通孔は、その長辺が前記主面の第1方向に沿って配向された第1群の貫通孔と、前記長辺が前記主面の第1方向とは異なる第2方向に沿って配向された第2群の貫通孔とを含み、前記主面における前記第1群の貫通孔の数と前記第2群の貫通孔の数は、等しく、前記第1群の貫通孔と前記第2群の貫通孔は、電氣的に分離されており、前記第1群の貫通孔の開口形状と前記第2群の貫通孔の開口形状は、等しいものである。

30

【0012】

また、上記本発明の一つの態様は、前記複数の第1貫通孔を、その長辺が前記主面の第1方向に沿って配向された第1群の貫通孔と、その長辺が前記主面の前記第1方向とは異なる第2方向に沿って配向された第2群の貫通孔とで構成したものである。

40

【発明の効果】

【0013】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0014】

複数枚のチップを積層して貼り合わせた3次元構造の半導体装置の製造過程で、導電膜の剥離やマイクロクラックの発生、ウエハの反りや割れなどを防ぐことができるので、3

50

次元構造の半導体装置の信頼性が向上する。

【図面の簡単な説明】

【0015】

【図1】本発明の一実施の形態である半導体装置を配線基板に実装して樹脂封止したパッケージの一例を示す断面図である。

【図2】本発明の一実施の形態である半導体装置の製造工程を示すフロー図である。

【図3】本発明の一実施の形態である半導体装置の製造工程を示す半導体ウエハの要部断面図である。

【図4】図3に続く半導体装置の製造工程を示す半導体ウエハの要部断面図である。

【図5】溝の平面形状を示す半導体ウエハの要部平面図である。

10

【図6】図4に続く半導体装置の製造工程を示す半導体ウエハの要部断面図である。

【図7】図6に続く半導体装置の製造工程を示す半導体ウエハの要部断面図である。

【図8】絶縁溝の平面形状を示す半導体ウエハの要部平面図である。

【図9】図7に続く半導体装置の製造工程を示す半導体ウエハの要部断面図である。

【図10】図9に続く半導体装置の製造工程を示す半導体ウエハの要部断面図である。

【図11】図10に続く半導体装置の製造工程を示す半導体ウエハの要部断面図である。

【図12】図11に続く半導体装置の製造工程を示す半導体ウエハの要部断面図である。

【図13】図12に続く半導体装置の製造工程を示す半導体ウエハの要部断面図である。

【図14】図13に続く半導体装置の製造工程を示す半導体ウエハの要部断面図である。

【図15】導電溝の平面形状を示す半導体ウエハの要部平面図である。

20

【図16】導電溝の平面レイアウトを示す半導体ウエハの要部平面図である。

【図17】導電溝の平面レイアウトの別例を示す半導体ウエハの要部平面図である。

【図18】導電溝の平面レイアウトの別例を示す半導体ウエハの要部平面図である。

【図19】導電溝の平面レイアウトの別例を示す半導体ウエハの要部平面図である。

【図20】導電溝の平面レイアウトの別例を示す半導体ウエハの要部平面図である。

【図21】導電溝の平面レイアウトの別例を示す半導体ウエハの要部平面図である。

【図22】図14に続く半導体装置の製造工程を示す半導体ウエハの要部拡大断面図である。

【図23】図22に続く半導体装置の製造工程を示す半導体ウエハの要部拡大断面図である。

30

【図24】図23に続く半導体装置の製造工程を示す半導体ウエハの要部拡大断面図である。

【図25】成膜装置のチャンバ構造を示す模式図である。

【図26】図24に続く半導体装置の製造工程を示す半導体ウエハの要部拡大断面図である。

【図27】図26に続く半導体装置の製造工程を示す半導体ウエハの要部拡大断面図である。

【図28】図27に続く半導体装置の製造工程を示す半導体ウエハの要部拡大断面図である。

【図29】図28に続く半導体装置の製造工程を示す半導体ウエハの要部拡大断面図である。

40

【図30】図29に続く半導体装置の製造工程を示す半導体ウエハの要部拡大断面図である。

【図31】図30に続く半導体装置の製造工程を示す半導体ウエハの要部拡大断面図である。

【図32】図31に続く半導体装置の製造工程を示す半導体ウエハの要部拡大断面図である。

【発明を実施するための最良の形態】

【0016】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明

50

するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。

【 0 0 1 7 】

本実施の形態の半導体装置は、互いに異なる集積回路が形成された3枚の半導体チップ（以下、単にチップという）C1、C2、C3を積層して貼り合わせた三次元構造を有している。図1は、この半導体装置を配線基板1に実装してモールド樹脂2で封止したパッケージの一例を示す断面図である。

【 0 0 1 8 】

配線基板1に実装された3枚のチップC1、C2、C3のうち、最下層のチップC1は、接着剤3を介して配線基板1に接着されている。また、中間のチップC2は、接着剤3を介してチップC1に接着されており、最上層のチップC3は、接着剤3を介してチップC2に接着されている。後に詳しく説明するが、最下層のチップC1に形成された集積回路と中間層のチップC2に形成された集積回路は、チップC2に形成された複数の貫通孔4を介して電氣的に接続され、中間のチップC2に形成された集積回路と最上層のチップC3に形成された集積回路は、チップC3に形成された複数の貫通孔4を介して電氣的に接続されている。すなわち、本実施の形態の半導体装置は、チップC1、C2、C3に形成された集積回路を貫通孔4を介して互いに接続することによって、所望のシステムを実現している。

【 0 0 1 9 】

上記チップC1、C2、C3と配線基板1は、最上層のチップC3に形成された複数のボンディングパッド5と配線基板1上に形成された複数の電極6との間にボンディングされた複数本のAuワイヤ7を介して電氣的に接続されている。電極6は、配線基板1内の銅(Cu)配線8を介して、配線基板1の裏面の半田バンプ9に電氣的に接続されている。半田バンプ9は、図1に示すパッケージをマザーボードなどに実装する際の外部接続端子を構成している。

【 0 0 2 0 】

図2は、本実施の形態の半導体装置の製造工程を示すフロー図である。この半導体装置の製造工程は、3枚の半導体ウエハ（以下、単にウエハという）W1、W2、W3に異なる集積回路を形成し、2枚のウエハW2、W3に導電溝を形成する工程と、ウエハW1、W2にバンプ電極を形成する工程と、ウエハW2、W3の裏面を研磨して導電溝を露出させることによって貫通孔4を形成する工程と、ウエハW1、W2、W3を貼り合わせ、貫通孔4とバンプ電極とを介して集積回路同士を電氣的に接続する工程と、ウエハW1、W2、W3をダイシングすることによって、三次元構造のチップC1、C2、C3を形成する工程と、チップC1、C2、C3をパッケージング（基板実装、ワイヤボンディング、樹脂封止）する工程とに大別される。

【 0 0 2 1 】

以下、3枚のウエハ（W1、W2、W3）を用いた半導体装置の製造方法を工程順に説明する。各ウエハに集積回路と貫通孔4とを形成する工程は、主としてウエハW2（貼り合わせた時に中間に位置するウエハ）を用いて説明する。

【 0 0 2 2 】

まず、図3に示すように、単結晶シリコンからなる厚さ780 μ m程度のウエハW2を用意する。そして、このウエハW2を熱処理してその主面（集積回路を形成する面）に膜厚10nm程度の薄い酸化シリコン膜20を形成し、続いて酸化シリコン膜20上にCVD (Chemical Vapor Deposition)法で窒化シリコン膜21を堆積した後、フォトレジスト膜（図示せず）をマスクにしたドライエッチングで素子分離溝形成領域の窒化シリコン膜21と酸化シリコン膜20とを除去する。ウエハW2と窒化シリコン膜21との間に形成する酸化シリコン膜20は、ウエハW2と窒化シリコン膜21との界面に生じる応力を緩和し、この応力に起因してウエハW2の表面に転位などの欠陥が発生するのを防ぐためのバッファ層である。

【 0 0 2 3 】

次に、図 4 に示すように、窒化シリコン膜 2 1 をマスクにしたドライエッチングにより、素子分離溝形成領域のウエハ W 2 に深さ 3 5 0 n m 程度の素子分離溝 2 2 を形成し、後に貫通孔 4 を形成する領域の近傍のウエハ W 2 に深さ 3 5 0 n m 程度の溝 2 3 を形成する。溝 2 3 の平面形状は、例えば図 5 に示すような四角枠状とする。

【 0 0 2 4 】

次に、図 6 に示すように、ウエハ W 2 上に C V D 法で酸化シリコン膜 2 4 を堆積した後、素子分離溝 2 2 および溝 2 3 のそれぞれの外部の酸化シリコン膜 2 4 を C M P (Chemical Mechanical Polishing) 法で研磨、除去することによって、素子分離溝 2 2 の内部および溝 2 3 の内部に酸化シリコン膜 2 4 を残す。

【 0 0 2 5 】

次に、窒化シリコン膜 2 1 をエッチングして除去した後、図 7 に示すように、ウエハ W 2 上に C V D 法で窒化シリコン膜 2 5 を堆積する。続いて、フォトリジスト膜 (図示せず) をマスクにしたドライエッチングで溝 2 3 の上部の窒化シリコン膜 2 5 、溝 2 3 の内部の酸化シリコン膜 2 4 および溝 2 3 の下方のウエハ W 2 を順次エッチングすることにより、溝 2 3 の内側に深さ 4 0 μ m 程度の絶縁溝 2 6 を形成する。図 8 に示すように、絶縁溝 2 6 は、溝 2 3 に沿って形成し、その幅を溝 2 3 の幅よりも狭くする。絶縁溝 2 6 の幅は、例えば 2 μ m 程度である。

【 0 0 2 6 】

次に、図 9 に示すように、ウエハ W 2 を 1 0 0 0 程度で熱処理することによって、絶縁溝 2 6 の内壁に酸化シリコン膜 2 7 を形成する。続いて、図 1 0 に示すように、ウエハ W 2 上に C V D 法で多結晶シリコン膜 2 8 を堆積した後、絶縁溝 2 6 の外部の多結晶シリコン膜 2 8 をエッチバックで除去することにより、絶縁溝 2 6 の内部に多結晶シリコン膜 2 8 を残す。このとき、絶縁溝 2 6 の内部の多結晶シリコン膜 2 8 は、その表面の高さをウエハ W 2 の表面よりも低くする。

【 0 0 2 7 】

次に、ウエハ W 2 上に C V D 法で酸化シリコン膜を堆積した後、絶縁溝 2 6 の外部の酸化シリコン膜を C M P 法で研磨、除去することにより、図 1 1 に示すように、絶縁溝 2 6 の内部の多結晶シリコン膜 2 8 上に酸化シリコン膜からなるキャップ絶縁膜 2 9 を形成する。ここまでの工程により、多結晶シリコン膜 2 8 の周囲を酸化シリコン膜 2 7 とキャップ絶縁膜 2 9 とで囲んだ絶縁溝 2 6 が完成する。絶縁溝 2 6 は、後の工程でウエハ W 2 の主面に形成する集積回路素子と貫通孔 4 とを電氣的に分離するために形成する。また、絶縁溝 2 6 の内壁に酸化シリコン膜 2 7 を形成する際には、ウエハ W 2 を 1 0 0 0 程度で熱処理するので、絶縁溝 2 6 は、集積回路素子よりも先に形成しておくことが望ましい。

【 0 0 2 8 】

次に、窒化シリコン膜 2 5 をエッチングして除去した後、図 1 2 に示すように、ウエハ W 2 の素子形成領域に n 型不純物と p 型不純物とをイオン注入することによって、n 型ウエル 3 0 と p 型ウエル 3 1 とを形成する。

【 0 0 2 9 】

次に、ウエハ W 2 の表面をウェットエッチングして酸化シリコン膜 2 0 を除去し、続いてウエハ W 2 を熱処理してその表面にゲート酸化膜 3 2 を形成した後、図 1 3 に示すように、周知の M O S トランジスタ形成プロセスに従って p 型ウエル 3 1 に n チャネル型 M O S トランジスタ Q n を形成し、n 型ウエル 3 0 に p チャネル型 M O S トランジスタ Q p を形成する。n チャネル型 M O S トランジスタ Q n は、主としてゲート酸化膜 3 2 、ゲート電極 3 3 および n 型半導体領域 (ソース、ドレイン) 3 4 で構成され、p チャネル型 M O S トランジスタ Q p は、主としてゲート酸化膜 3 2 、ゲート電極 3 3 および p 型半導体領域 (ソース、ドレイン) 3 5 で構成される。ゲート電極 3 3 は、例えばゲート酸化膜 3 2 上に C V D 法で n 型多結晶シリコン膜を堆積した後、フォトリジスト膜 (図示せず) をマスクにしたドライエッチングで n 型多結晶シリコン膜をパターニングすることによって形成する。n 型半導体領域 (ソース、ドレイン) 3 4 は、p 型ウエル 3 1 に n 型不純物 (例えばリン) をイオン注入して形成し、p 型半導体領域 (ソース、ドレイン) 3 5 は、n 型

10

20

30

40

50

ウエル 30 に p 型不純物 (ホウ素) をイオン注入して形成する。

【 0 0 3 0 】

次に、図 1 4 に示すように、ウエハ W 2 上に C V D 法で酸化シリコン膜 3 6 を堆積し、続いて酸化シリコン膜 3 6 を C M P 法で研磨してその表面を平坦化した後、フォトレジスト膜 (図示せず) をマスクにして酸化シリコン膜 3 6 とその下部のウエハ W 2 とをドライエッチングすることにより、絶縁溝 2 6 の内側に導電溝 4 A を形成する。導電溝 4 A は、後の工程で貫通孔 4 となるものであり、ウエハ W 2 の表面から導電溝 4 A の底部までの深さは、絶縁溝 2 6 のそれとほぼ同じ (4 0 μ m 程度) である。

【 0 0 3 1 】

図 1 5 に示すように、導電溝 4 A の平面形状は長方形であり、その長辺は 5 . 6 μ m 程度、短辺は 1 . 7 μ m 程度である。この場合、導電溝 4 A の短辺方向におけるアスペクト比は、2 0 以上となる。

【 0 0 3 2 】

導電溝 4 A は、ウエハ W 2 から得られるチップ (C 2) 1 個当たり数千個ずつ形成される。また、特に限定はされないが、本実施の形態では、このような長方形の導電溝 4 A を 1 個の絶縁溝 2 6 の内側に 2 個ずつ並べて配置し、これら 2 個の導電溝 4 A を同一の集積回路に接続する構成を採用している。

【 0 0 3 3 】

一般に、半導体装置の製造工程では、下層の配線と上層の配線 (または配線と半導体基板) とを電氣的に接続する接続孔の電気抵抗を低減する方法として、径の小さな正方形の接続孔を近接して多数配置する方法が採用されている。しかし、4 0 μ m 程度の深さを有する高アスペクト比の導電溝 4 A の場合は、その径を小さくすると導電膜の埋め込みが困難となるので、開口面積を大きくする必要がある。しかし、単純に導電溝 4 A の開口面積を大きくすると、埋め込みに必要な導電膜の膜厚 (= 孔径の 1 / 2) も大きくなるので、成膜直後の温度変化によって導電膜中に発生する応力が大きくなる。その結果、導電膜と絶縁膜との界面で剥離が発生したり、導電膜中に多数のマイクロクラックが発生したりするという問題を引き起こす。また、上記応力によってウエハ W 2 に反りが発生し、最悪の場合、ウエハ W 2 が割れることもある。

【 0 0 3 4 】

そこで、本実施の形態では、導電溝 4 A の開口形状を長方形にする。このようにした場合は、径の小さな正方形の導電溝を近接して多数配置する場合に比べて導電膜の埋め込みが容易になり、かつ開口面積も大きくなるので電気抵抗を低減することもできる。また、導電溝 4 A の開口形状を長方形にすることにより、埋め込みに必要な導電膜の膜厚が短辺の 1 / 2 の厚さで済む。従って、成膜直後の温度変化によって膜中に発生する応力が小さくなるので、上記のような問題の発生を抑制することができる。

【 0 0 3 5 】

さらに、本実施の形態では、図 1 6 に示すように、ウエハ W 2 から得られる各チップ (C 2) 内に形成される導電溝 4 A のうち、長辺が Y 方向を向いた導電溝 4 A の数と、Y 方向に直交する X 方向を向いた導電溝 4 A の数をほぼ同じにする。すなわち、ウエハ W 2 の主面全体に形成される導電溝 4 A のうち、長辺が Y 方向を向いた導電溝 4 A の数と、Y 方向に直交する X 方向を向いた導電溝 4 A の数をほぼ同じにする。

【 0 0 3 6 】

導電溝 4 A の開口形状を長方形にした場合は、導電膜の堆積後にウエハ W 2 が常温に戻る際、導電溝 4 A 内における導電膜の収縮量が長辺方向と短辺方向とで異なってくる。そのため、ウエハ W 2 に形成される導電溝 4 A の長辺が全て同一方向 (例えば Y 方向) を向いていると、導電膜の収縮量が Y 方向 (長辺方向) と X 方向 (短辺方向) とで異なってくるので、ウエハ W 2 に反りが発生する。これに対し、図 1 6 に示すように、長辺が Y 方向を向いた導電溝 4 A の数と X 方向を向いた導電溝 4 A の数をウエハ W 2 全体でほぼ同一にした場合は、導電溝 4 A 内における導電膜の収縮量が Y 方向と X 方向とでほぼ同じになるので、ウエハ W 2 の反りを抑制することができる。

10

20

30

40

50

【 0 0 3 7 】

図 1 7 は、導電溝 4 A の各長辺を互いに 4 5 度ずつずれた 4 方向に配向した例である。また、図 1 8 は、1 個の絶縁溝 2 6 の内側に導電溝 4 A を 1 個ずつ並べて配置し、各長辺を 9 0 度ずつれた 2 方向 (X 方向および Y 方向) に配向した例である。これらの場合も、各方向を向いた導電溝 4 A の数をウエハ W 2 全体でほぼ同じにすることにより、ウエハ W 2 の反りを抑制することができる。さらに、導電溝 4 A を図 1 9 ~ 図 2 1 に示すような向きに配向した場合でも、同様の効果が得られる。

【 0 0 3 8 】

次に、以下のような方法を用いて導電溝 4 A の内部にタングステン (W) を主成分とする導電膜を充填する。まず、図 2 2 に示すように、ウエハ W 2 上にスパッタリング法で膜厚 1 0 0 n m 程度の窒化チタン (T i N) 膜 4 0 を堆積する。窒化チタン膜 4 0 は、酸化シリコン膜からなる酸化シリコン膜 3 6 と導電膜との接着性を向上させる機能がある。スパッタリング法で堆積した窒化チタン膜 4 0 は、ステップカバレッジ (段差被覆性) が低いので、導電溝 4 A の内部にはほとんど堆積せず、主として酸化シリコン膜 3 6 の表面および導電溝 4 A の開口部近傍に堆積する。窒化チタン膜 4 0 は、タングステン膜をエッチバックする際のエッチングストッパとしても機能するので、比較的厚い膜厚 (1 0 0 n m 程度) で堆積する。

【 0 0 3 9 】

次に、図 2 3 に示すように、窒化チタン膜 4 0 の表面と導電溝 4 A の内部に露出したウエハ W 2 の表面とに、C V D 法で膜厚 1 0 ~ 3 0 n m 程度のチタン (T i) 膜 4 1 を堆積する。チタン膜 4 1 は、後の熱処理工程で導電溝 4 A の内部に露出したウエハ W 2 (シリコン) と反応してチタンシリサイド層を形成するので、ウエハ W 2 と導電膜との接着性を向上させる機能がある。

【 0 0 4 0 】

次に、図 2 4 に示すように、チタン膜 4 1 の表面に C V D 法で膜厚 2 0 ~ 3 0 n m 程度の窒化チタン膜 4 2 を堆積する。窒化チタン膜 4 2 は、次の工程で堆積するタングステン膜とチタン膜 4 1 との接着性を向上させる機能がある。また、窒化チタン膜 4 2 は、タングステン膜とウエハ W 2 (シリコン) との反応を防ぐバリア層としても機能する。

【 0 0 4 1 】

次に、上記ウエハ W 2 を図 2 5 に示す成膜装置のチャンバ 5 0 内に挿入する。チャンバ 5 0 の内部には、ウエハ W 2 を水平に保持するサセプタ (ウエハ保持手段) 5 1、サセプタ 5 1 に保持されたウエハ W 2 を固定するクランプリング (ウエハ固定手段) 5 2、ウエハ W 2 の表面にソースガスおよびエッチングガスを供給するシャワープレート 5 3 などが設けられている。チャンバ 5 0 の下部には、ウエハ W 2 を所望の温度に加熱するランプ 5 4 が設けられている。

【 0 0 4 2 】

次に、ウエハ W 2 を 3 9 0 程度に加熱した後、シャワープレート 5 3 を通じてチャンバ 5 0 にソースガス (W F ₆) を供給し、ウエハ W 2 の表面近傍でソースガスを熱分解させることによって、窒化チタン膜 4 2 の表面にタングステン膜 4 3 a を堆積する (図 2 6)。このとき、導電溝 4 A の内部をタングステン膜 4 3 a で完全に埋め込まないことが好ましい。すなわち、一回の成膜で導電溝 4 A の内部を完全に埋め込もうとすると、タングステン膜 4 3 a の膜厚が厚くなるので、成膜工程から次のエッチバック工程までの温度変化によってタングステン膜 4 3 a に発生する応力が大きくなる。そのため、前述したように、タングステン膜 4 3 a が剥離やマイクロクラックを引き起こしたり、ウエハ W 2 が反りや割れを引き起こしたりする。また、前述したように、本実施の形態では、タングステン膜 4 3 a に発生する応力を小さくするために、導電溝 4 A の開口形状を長方形にするという対策も講じている。さらに、ウエハ W 2 の反りを低減する対策として、長辺が Y 方向を向いた導電溝 4 A の数と X 方向を向いた導電溝 4 A の数をウエハ W 2 全体でほぼ同一にしている。

【 0 0 4 3 】

10

20

30

40

50

次に、図 27 に示すように、導電溝 4 A の外部のタングステン膜 4 3 a をエッチバックして除去する。このエッチバックは、ドライエッチ装置にてウエハ W 2 の表面にエッチングガス (S F ₆) を供給し R F を印加することによって行う。また、このエッチバックは、酸化シリコン膜 3 6 の表面を覆っている窒化チタン膜 4 0 をエッチングストップに用いて行い、窒化チタン膜 4 0 が完全に除去されないようにする。窒化チタン膜 4 0 が完全に除去されて酸化シリコン膜 3 6 の表面が露出すると、次にタングステン膜を堆積した時に、酸化シリコン膜 3 6 とタングステン膜との界面で剥離が生じ易くなる。

【 0 0 4 4 】

次に、サセプタ 5 1 に保持されたウエハ W 2 を再び加熱し、シャワープレート 5 3 を通じてチャンバ 5 0 にソースガス (W F ₆) を供給することによって、タングステン膜 4 3 b を堆積する (図 2 8) 。これにより、導電溝 4 A の内部を 2 層のタングステン膜 4 3 a 、 4 3 b でほぼ完全に埋め込む。

10

【 0 0 4 5 】

次に、ドライエッチ装置にてウエハ W 2 の表面にエッチングガス (S F ₆) を供給し R F を印加し、導電溝 4 A の外部のタングステン膜 4 3 a をエッチバックして除去する。(図 2 9) このエッチバックを行うと、導電溝 4 A の内部のタングステン膜 4 3 a もエッチバックされてその表面が下方に後退する。そこで、チャンバ 5 0 内でさらにタングステン膜 4 3 c を堆積し、続いて導電溝 4 A の外部のタングステン膜 4 3 c と窒化チタン 4 0 とをエッチバックして除去することにより、導電溝 4 A の内部にタングステン膜 4 3 (4 3 a 、 4 3 b 、 4 3 c) を埋め込む (図 3 0) 。

20

【 0 0 4 6 】

このように、堆積とエッチバックとを複数回繰り返して導電溝 4 A の内部にタングステン膜 4 3 を埋め込むことにより、1 回の成膜工程で堆積するタングステン膜 4 3 (4 3 a 、 4 3 b 、 4 3 c) の膜厚を薄くすることができるので、タングステン膜 4 3 の剥離やマイクロクラックの発生、およびウエハ W 2 の反りや割れの発生といった問題を確実に回避することができる。なお、上の説明では、タングステン膜 4 3 の堆積とエッチバックを 3 回繰り返したが、タングステン膜 4 3 の堆積とエッチバックを 4 回以上繰り返し、1 回の成膜工程で堆積するタングステン膜 4 3 の膜厚をさらに薄くしてもよい。

【 0 0 4 7 】

また、別の方法として、同一のチャンバ 5 0 内でタングステン膜 4 3 a の成膜とエッチバックを連続して行う方法がある。成膜直後の温度変化によってタングステン膜 4 3 a 中に発生する応力を小さくできるので、ウエハ W 2 の反りをより確実に低減することができる。また、成膜中は、クランプリング 5 2 で固定している為、ウエハの反りが抑制される。このエッチバックは、前記チャンバ 5 0 のサセプタ 5 1 に保持されたウエハ W 2 の表面にエッチングガス (C l F ₃ または N F ₃) を供給することによって行う。また、このエッチバックは、酸化シリコン膜 3 6 の表面を覆っている窒化チタン膜 4 0 をエッチングストップに用いて行い、窒化チタン膜 4 0 が完全に除去されないようにする。タングステン膜 4 3 a のエッチバックは、タングステン膜 4 3 a の温度が常温に下がる前に行うことが望ましい。また、成膜開始からエッチバック完了までの間、ウエハ W 2 をクランプリング 5 2 で確実に固定しておくことが望ましい。

30

40

【 0 0 4 8 】

その後、C M P 研磨法にて表面のタングステン膜及び窒化チタン膜 4 0 を除去する。

【 0 0 4 9 】

次に、図 3 1 に示すように、酸化シリコン膜 3 6 上に C V D 法で酸化シリコン膜 3 7 を形成した後、酸化シリコン膜 3 7 上に n チャネル型 M O S トランジスタ Q n と p チャネル型 M O S トランジスタ Q p とを接続する第 1 層アルミニウム (A l) 配線 3 8 を形成する。また同時に、導電溝 4 A の内部のタングステン膜 4 3 と M O S トランジスタの一部 (例えば p チャネル型 M O S トランジスタ Q p) とを接続する第 1 層アルミニウム配線 3 9 を形成する。第 1 層アルミニウム配線 3 8 、 3 9 を形成するには、酸化シリコン膜 3 7 上にスパッタリング法でアルミニウム合金膜を堆積した後、フォトレジスト膜 (図示せず) を

50

マスクにしたドライエッチングでアルミニウム合金膜をパターニングする。

【0050】

次に、図32に示すように、第1層アルミニウム配線38、39の上層に酸化シリコン膜からなる第1層間絶縁膜44、第2層アルミニウム配線45、酸化シリコン膜からなる第2層間絶縁膜46、第3層アルミニウム配線47、酸化シリコン膜と窒化シリコン膜との積層膜からなる表面保護膜48を順次形成する。

【0051】

以下、上記と同様の方法で他の2枚のウエハ(W1、W3)にそれぞれ異なる集積回路を形成する。そして、周知の方法を用いて3枚のウエハW1、W2、W3を積層して貼り合わせた後、これらのウエハW1、W2、W3をダイシングして三次元構造のチップC1、C2、C3に個片化し、これを配線基板1に実装してモールド樹脂2で封止することにより、前記図1に示すパッケージが完成する。

10

【0052】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

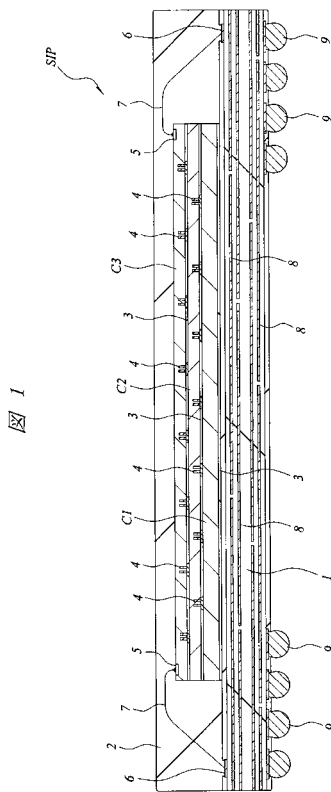
【産業上の利用可能性】

【0053】

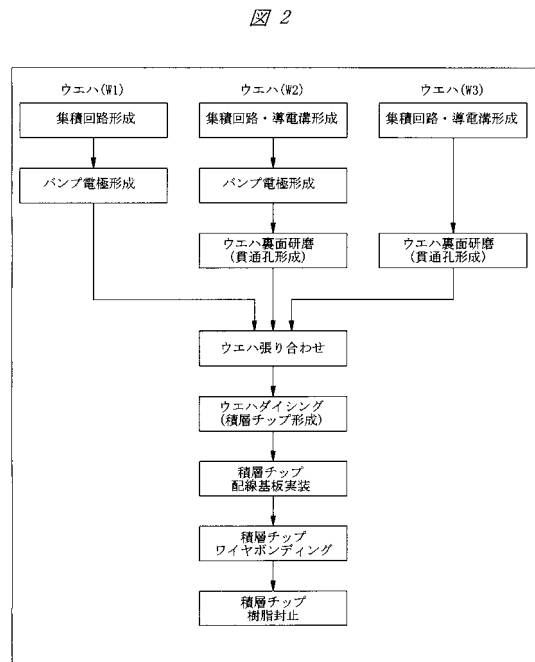
本発明は、複数枚のチップを積層して貼り合わせた三次元構造の半導体装置に適用することができる。

20

【図1】

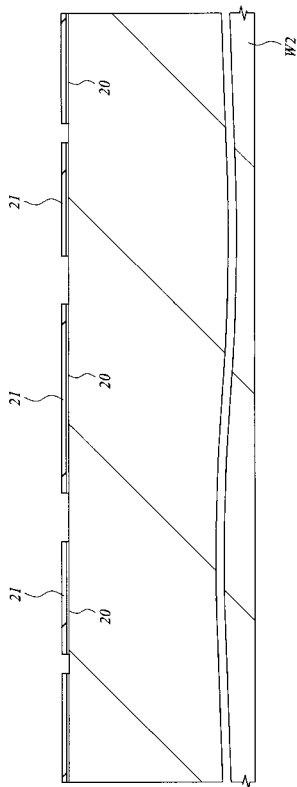


【図2】



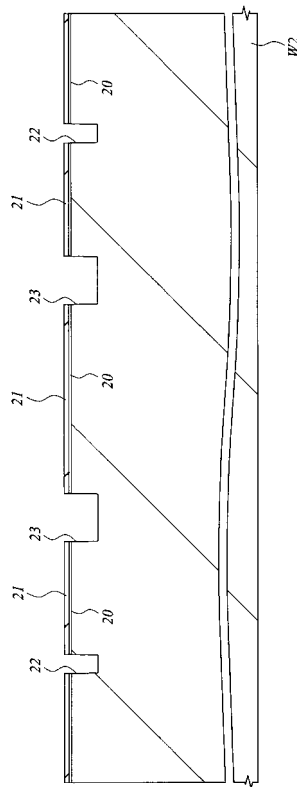
【図3】

図 3



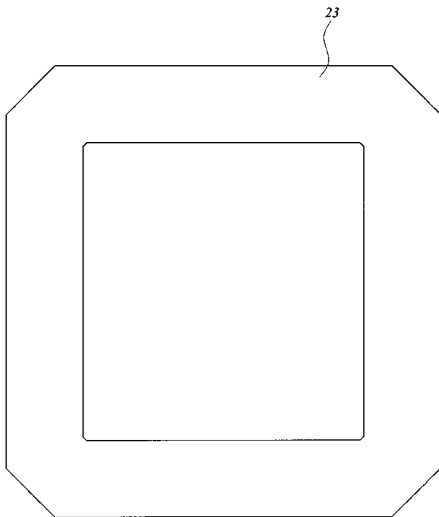
【図4】

図 4



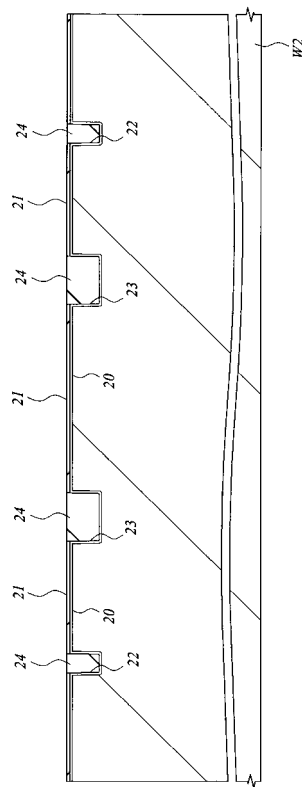
【図5】

図 5



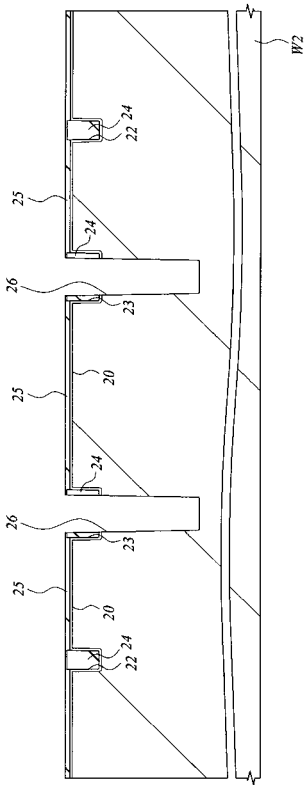
【図6】

図 6



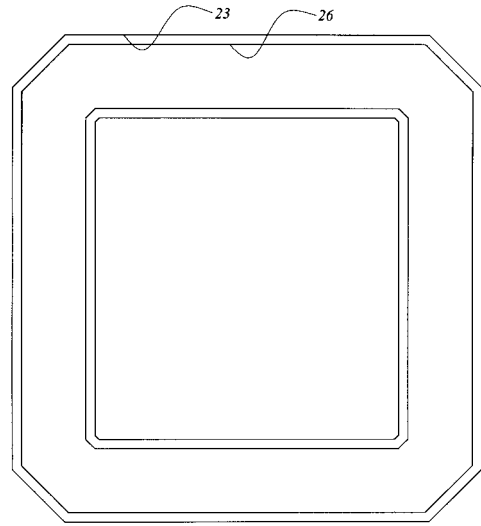
【図7】

図7



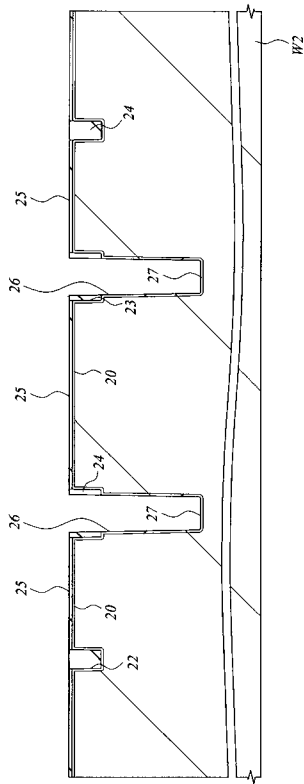
【図8】

図8



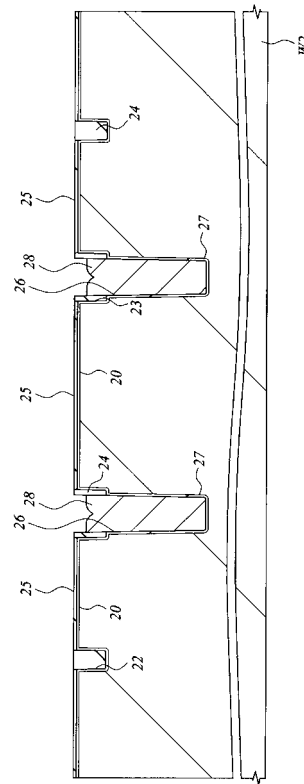
【図9】

図9



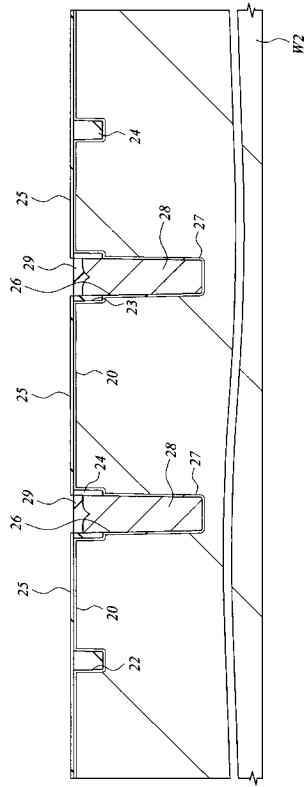
【図10】

図10



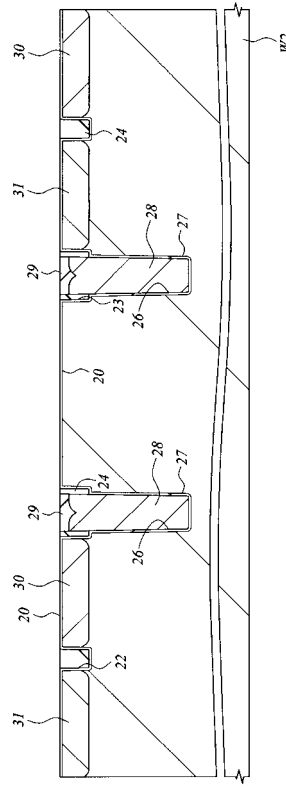
【図 11】

図 11



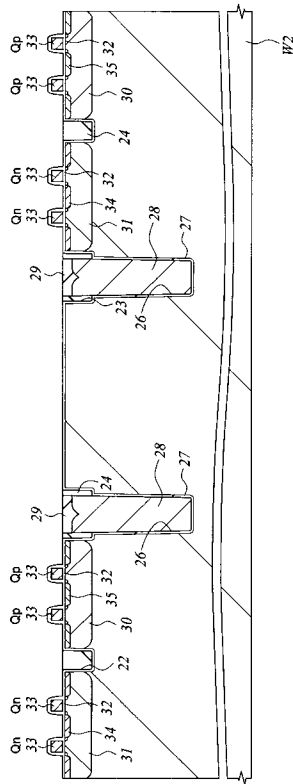
【図 12】

図 12



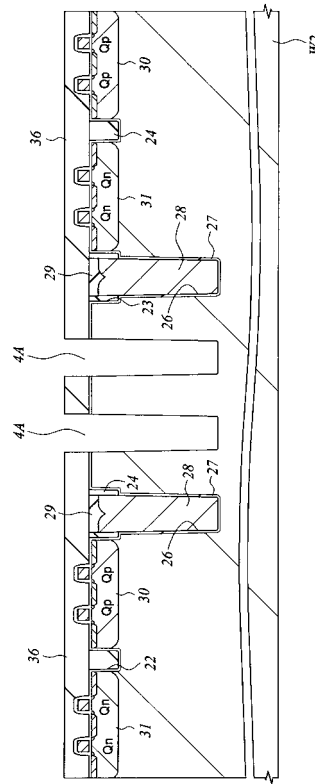
【図 13】

図 13

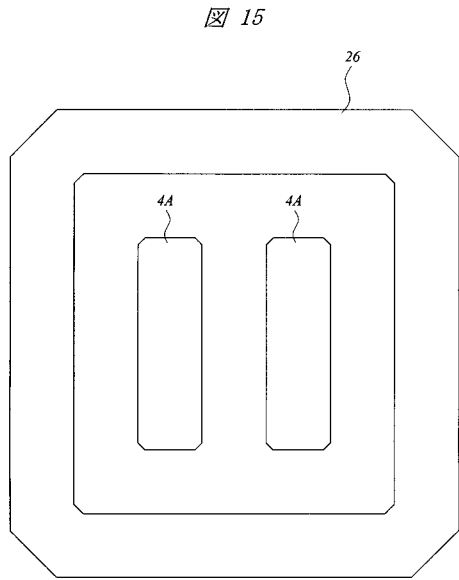


【図 14】

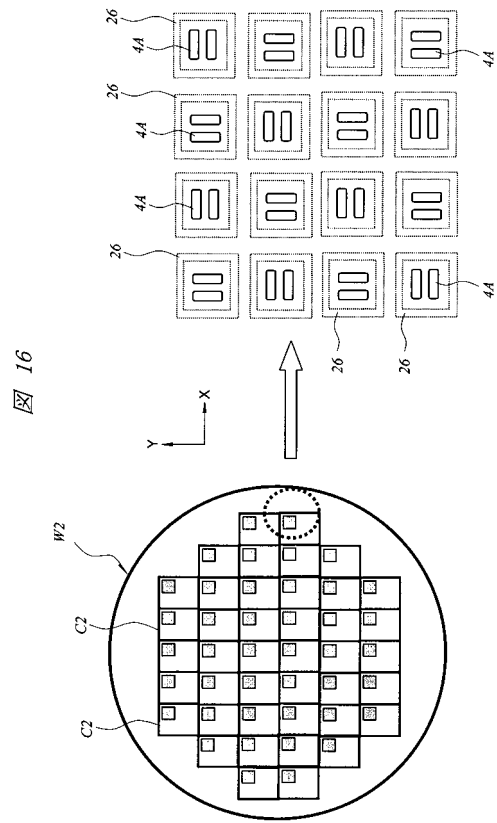
図 14



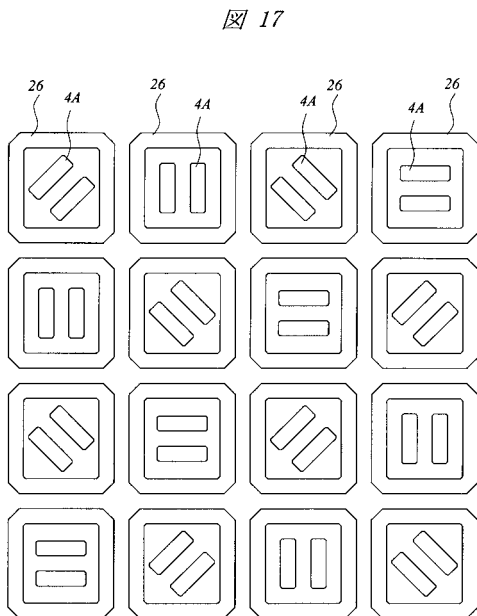
【図 15】



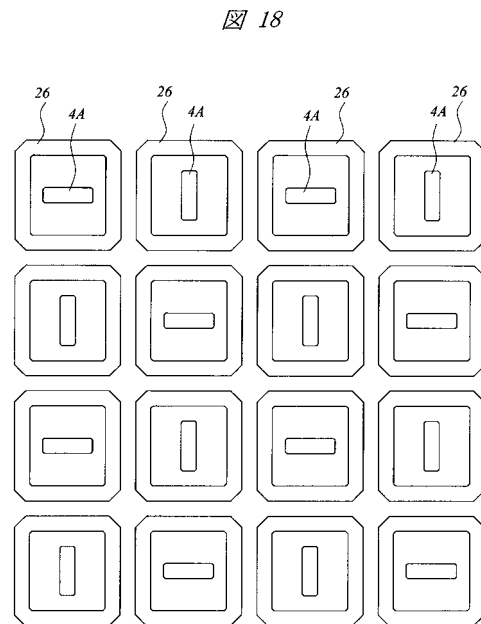
【図 16】



【図 17】

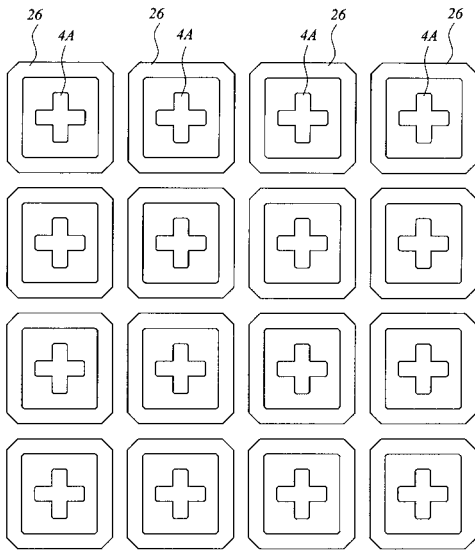


【図 18】



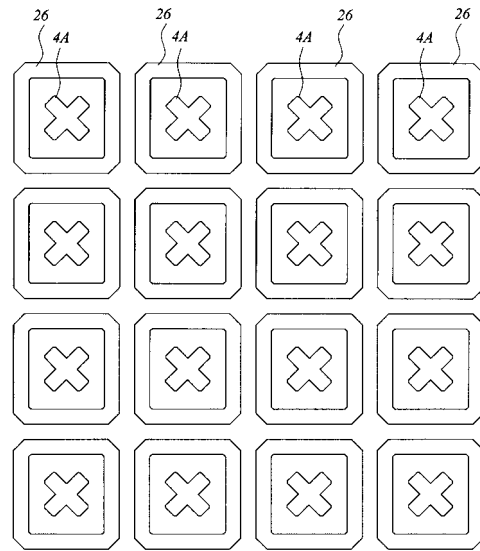
【図 19】

図 19



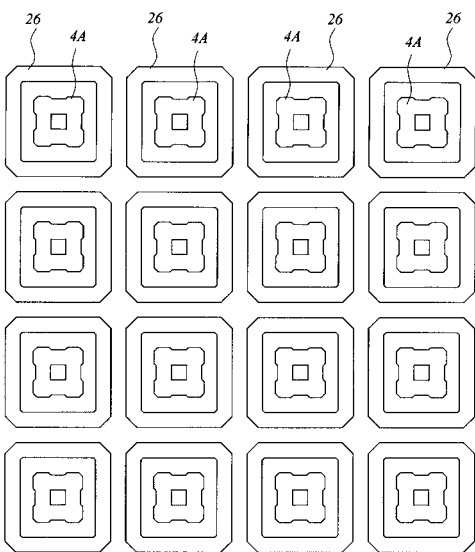
【図 20】

図 20



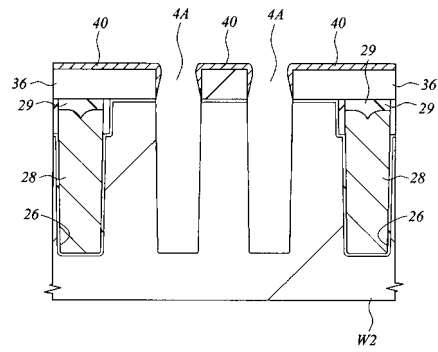
【図 21】

図 21

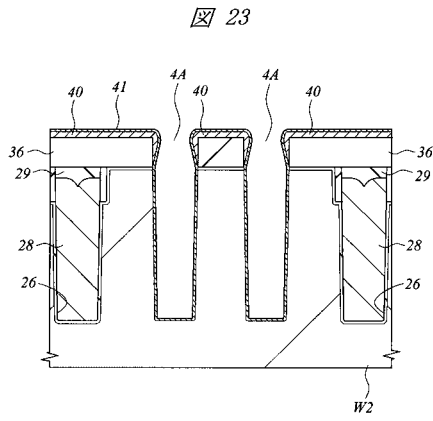


【図 22】

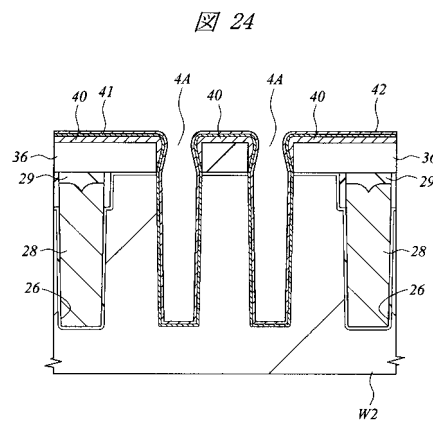
図 22



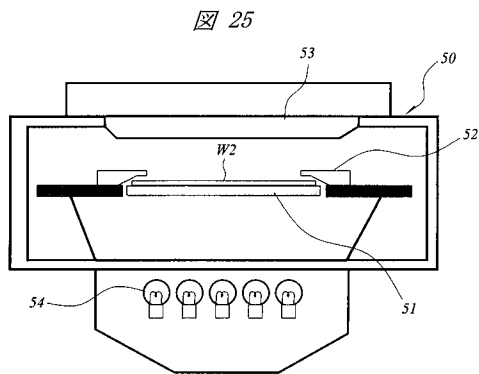
【図 23】



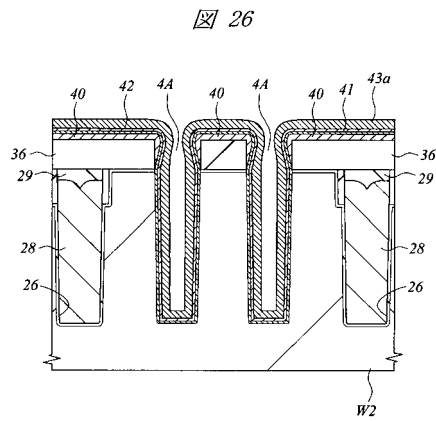
【図 24】



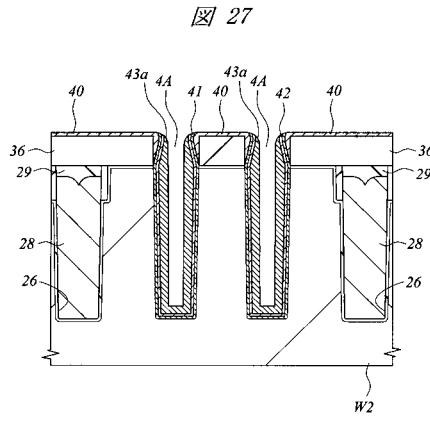
【図 25】



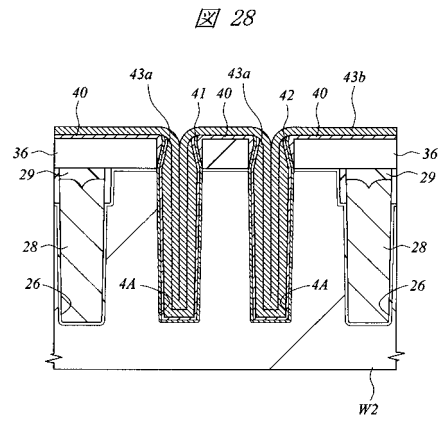
【図 26】



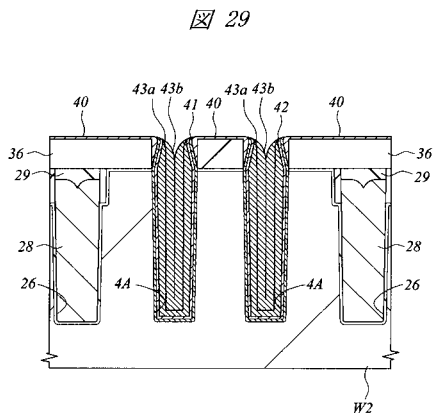
【図 27】



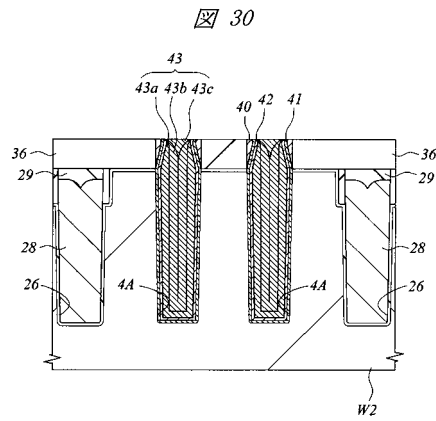
【図 28】



【図 29】

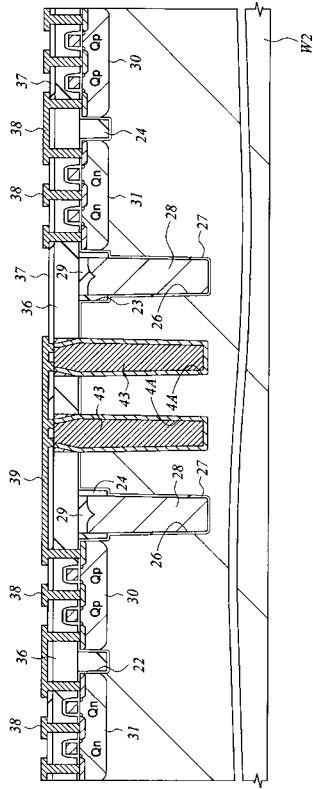


【図 30】



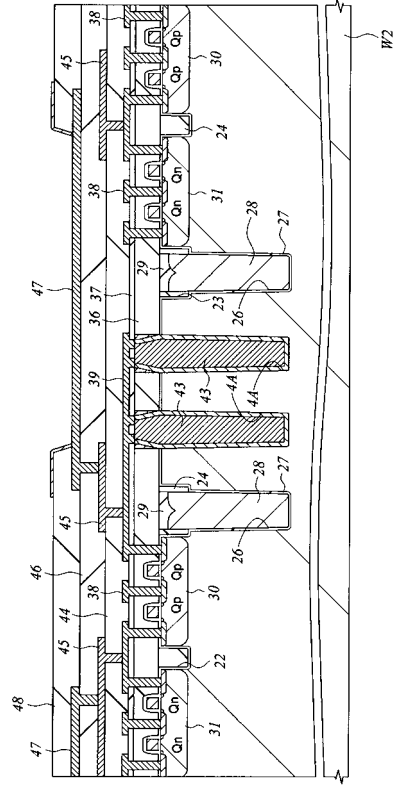
【 図 3 1 】

図 31



【 図 3 2 】

図 32



フロントページの続き

(51)Int.Cl. F I

H 0 1 L 21/8238 (2006.01)

(72)発明者 守屋 聡

東京都青梅市新町六丁目16番地の3 株式会社日立製作所 マイクロデバイス事業部内

(72)発明者 中村 守男

東京都青梅市新町六丁目16番地の3 株式会社日立製作所 マイクロデバイス事業部内

(72)発明者 横山 悟一

東京都青梅市新町六丁目16番地の3 株式会社日立製作所 マイクロデバイス事業部内

(72)発明者 齋藤 達之

東京都青梅市新町六丁目16番地の3 株式会社日立製作所 マイクロデバイス事業部内

(72)発明者 宮川 宣明

埼玉県和光市本町8-1 株式会社ホンダ・リサーチ・インスティテュート・ジャパン内

審査官 池淵 立

(56)参考文献 特開2002-043502(JP,A)

特開2004-221430(JP,A)

特開2004-179673(JP,A)

特開2006-165025(JP,A)

(58)調査した分野(Int.Cl.,DB名)

H01L 27/00

H01L 29/78

H01L 25/065

H01L 25/07

H01L 25/18